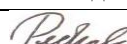


УТВЕРЖДЕН

ЮФКВ.431268.022РЭ-ЛУ

Микросхема интегральная 1888BC058  
Руководство по эксплуатации  
ЮФКВ.431268.022РЭ

Инв.№подл.	Подп. и дата	Взам.инв.№	Инв.№дубл.	Подп. и дата	Справ.№
38075-3	 16.10.2020	38075-2			

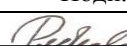
## Содержание

1	Описание и работа СБИС 1888BC058 .....	6
1.1	Назначение СБИС 1888BC058 .....	6
1.2	Основные характеристики СБИС 1888BC058 .....	8
1.3	Структурная схема СБИС 1888BC058.....	9
1.4	Внешние выводы СБИС 1888BC058 .....	12
1.5	Карта памяти СБИС 1888BC058 .....	15
1.5.1	Основная карта памяти СБИС 1888BC058.....	15
1.5.2	Карта памяти периферийных регистров периферийных устройств процессорной подсистемы ARMU.....	16
1.6	Устройство и работа СБИС 1888BC058 .....	18
1.6.1	Система подачи тактовых сигналов и система синхронизации СБИС 1888BC058 18	18
1.6.2	Процессорная система на базе ядра ARM Cortex-A5 (ARMU) .....	19
1.6.2.1	Управляющий скалярный процессор ARM Cortex-A5.....	19
1.6.2.2	Подсистема внутренней памяти процессорной системы ARMU .....	20
1.6.2.3	Блок контроллера прерываний (GIC) .....	21
1.6.2.4	Система синхронизации и сброса (CRG) .....	38
1.6.2.5	Контроллер интерфейса с внешней памятью (EMI).....	63
1.6.2.6	Контроллер прямого доступа в память (MDMAC).....	97
1.6.2.7	Блок сдвоенных интервальных таймеров (DIT) .....	106
1.6.2.8	Блок сторожевого таймера (WDOG).....	112
1.6.2.9	Контроллер интерфейса Ethernet (GRETH).....	117
1.6.2.10	Блоки контроллеров синхронного последовательного порта (SPI) .....	129
1.6.2.11	Блоки контроллеров асинхронного последовательного порта (UART).....	146
1.6.2.12	Контроллеры портов ввода/вывода общего назначения (GPIO) .....	162
1.6.2.13	Системный контроллер (SCTL) .....	169
1.6.3	Блок цифровой обработки сигналов на основе процессорных ядер с архитектурой NeuroMatrix (NMB) .....	182
1.6.3.1	Процессорная система NMU на базе DSP ядра NMC3 .....	182
1.6.3.2	Система разделяемой памяти (SMU).....	203
1.6.4	Блок формирования временных шкал и синхронизации с внешними событиями (ITU) .....	205
1.6.4.1	Принцип работы блока ITU.....	205
1.6.4.2	Конфигурационные регистры блока ITU .....	207
1.6.5	Устройство предварительной обработки данных (DDC).....	211
1.6.5.1	Блок прямого доступа в память по чтению данных (распаковщик) .....	212
1.6.5.2	Входной коммутатор канала .....	212
1.6.5.3	Схема формирования синуса и косинуса (гетеродин).....	213
1.6.5.4	Комплексный смеситель.....	215
1.6.5.5	Блок КИХ-фильтров.....	215
1.6.5.6	Дециматор (накапливающий сумматор).....	217
1.6.5.7	Блоки нормализации Н0, Н1.....	218
1.6.5.8	Блок БИХ-фильтров.....	219
1.6.5.9	Блок накопления и упаковки (БНУ) .....	221
1.6.5.10	Блок согласованных фильтров .....	221
1.6.5.11	Генератор ПСП на сдвиговых регистрах (PRS_GEN).....	224

Удостоверен ЮФКВ.431268.022РЭ-УД

ЮФКВ.431268.022РЭ											
Изм	Лист	№ докум.	Подп.	Дата							
Разраб.		Косоруков									
Пров.		Черников									
Нач.отд.											
Н.контр.		Шмакова									
Утв.											
Микросхема интегральная 1888BC058 Руководство по эксплуатации											
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№подл.		Подп. и дата		Перв. применен.	
38075-3		16.10.2020		38075-2						ЮФКВ.431268.022	

1.6.5.12	Блок вычисления пиков и порогов.....	225
1.6.5.13	Блок сравнения .....	227
1.6.5.14	Блок упаковки (БУ) .....	229
1.6.5.15	Блок управления .....	230
1.6.5.16	Арбитр транзакций записи в память .....	230
1.6.5.17	Программно доступные регистры блока предварительной обработки данных (DDC) .....	230
<b>1.6.6</b>	<b>Блок интерфейса с АЦП .....</b>	<b>272</b>
1.6.6.1	Общие сведения.....	272
1.6.6.2	Конфигурации интерфейса АЦП .....	273
1.6.6.3	Инициализация интерфейсов с АЦП.....	275
<b>1.6.7</b>	<b>Блок декодеров сообщения (CORB) .....</b>	<b>277</b>
1.6.7.1	Контроллер чтения данных (CORBDMA).....	278
1.6.7.2	Канал аппаратных корреляторов (CHx) .....	279
1.6.7.3	Генератор ПСП (PRS_GEN).....	279
1.6.7.4	Генератор Адамара (HADAMARD_GEN).....	281
1.6.7.5	Блок памяти (UD_MEM).....	282
1.6.7.6	Блок выбора максимумов (TMSSx) .....	283
1.6.7.7	Теневой буфер команд (SHADOW_FIFOx) .....	284
1.6.7.8	Буфер результатов (RES_FIFOx) .....	285
1.6.7.9	Программно доступные регистры блока CORB .....	286
<b>1.6.8</b>	<b>Блок формирования данных для передачи в ЦАП (TRNSMT).....</b>	<b>296</b>
1.6.8.1	Буфер команд.....	297
1.6.8.2	Генератор функций Уолша.....	297
1.6.8.3	Генератор псевдослучайной последовательности .....	298
1.6.8.4	КИХ-фильтр.....	298
1.6.8.5	Гетеродин.....	298
1.6.8.6	Контроллер ПДП.....	299
1.6.8.7	Блоки нормализации Н0, Н1.....	300
1.6.8.8	Блок интерфейса с ЦАП .....	302
1.6.8.9	Регистры блока .....	308
<b>1.6.9</b>	<b>Байтовый коммуникационный порт (COMi) .....</b>	<b>321</b>
1.6.9.1	Структурная схема интерфейсной части контроллера ПДП и коммуникационных портов.....	321
1.6.9.2	Внешние выводы коммуникационного порта.....	322
1.6.9.3	Организация обмена данными по коммуникационному порту .....	323
1.6.9.4	Арбитраж шины коммуникационного порта .....	324
<b>1.6.10</b>	<b>Контроллер прямого доступа к памяти (DMAC) .....</b>	<b>327</b>
1.6.10.1	Каналы коммуникационных портов .....	327
1.6.10.2	Каналы память-буфер и буфер-память .....	327
1.6.10.3	Программная модель контроллера ПДП .....	327
1.6.10.4	Прерывания.....	330
<b>1.6.11</b>	<b>Система отладки СБИС 1888BC058.....</b>	<b>331</b>
1.6.11.1	Интерфейс JTAG для сканирования внешних выводов СБИС.....	331
1.6.11.2	Последовательный порт доступа для тестовых и отладочных данных DAP .....	341
<b>2</b>	<b>Электрические, динамические и конструктивные характеристики СБИС 1888BC058.....</b>	<b>344</b>
2.1	Состав и расположение внешних выводов СБИС 1888BC058 .....	344
2.2	Конструктивные характеристики СБИС 1888BC058.....	351
2.3	Электрические характеристики СБИС 1888BC058.....	352
2.4	Временные характеристики СБИС 1888BC058.....	353
2.4.1	Временные диаграммы и временные параметры тактовых сигналов и сигналов общего назначения.....	353
2.4.2	Временные диаграммы и временные параметры сигналов интерфейса с внешней памятью (EMI).....	353
2.4.2.1	Временные диаграммы и временные параметры тактового сигнала внешней шины .....	353
2.4.2.2	Временные диаграммы и временные параметры циклов обмена с внешней памятью в режиме "Master" ...	354
2.4.2.3	Временные диаграммы и временные параметры циклов доступа к внутренней памяти микросхемы в режиме "Slave" .....	362
2.4.3	Временные диаграммы и временные параметры сигналов интерфейса SPI при работе контроллера SPI в режиме "Slave" .....	366
2.4.4	Временные диаграммы и временные параметры сигналов интерфейса с ЦАП.....	366
2.4.4.1	Временные диаграммы и временные параметры тактового сигнала интерфейса с ЦАП .....	366
2.4.4.2	Временные диаграммы и временные параметры передачи данных по интерфейсу с ЦАП .....	367

									Лист
									3
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					

2.4.5	Временные диаграммы и временные параметры сигналов интерфейса с АЦП.....	369
2.4.5.1	Временные диаграммы и временные параметры тактового сигнала интерфейса с АЦП .....	369
2.4.5.2	Временные диаграммы и временные параметры передачи данных по интерфейсу с АЦП .....	370
3	Применение СБИС 1888ВС058 .....	371
3.1	Рекомендуемые схемы включения СБИС 1888ВС058.....	371
3.1.1	Порядок подачи напряжения на выводы питания микросхемы.....	371
3.1.2	Рекомендации по подключению функциональных выводов микросхемы .....	372
3.1.2.1	Подключение микросхем внешней памяти .....	372
3.1.2.2	Подключение внешних АЦП.....	376
3.1.2.3	Подключение внешних ЦАП.....	379
3.1.3	Начальная загрузка программного обеспечения .....	384
3.1.3.1	Алгоритм работы начального загрузчика .....	385
3.1.3.2	Описание вторичного загрузчика .....	387
3.1.3.3	Хост-режим загрузки .....	390
3.1.3.4	Проверка совместимости и целостности образа исходного кода вторичного загрузчика .....	390
3.2	Хранение СБИС 1888ВС058.....	392
4	Транспортирование СБИС 1888ВС058 .....	393
5	Утилизация СБИС 1888ВС058 .....	394

									Лист
									4
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	<i>Редкол</i> 16.10.2020			38075-2					

## Введение

Микросхема интегральная 1888BC058 (далее по тексту - СБИС 1888BC058) предназначена для построения широкого класса систем цифровой обработки шумоподобных сигналов в радиолокации, навигации и связи.

В данном руководстве по эксплуатации представлено описание общей структуры и функционирования СБИС 1888BC058, описание устройства и функционирования отдельных узлов и блоков СБИС 1888BC058, отражены особенности ее применения, приведены ее электрические и конструктивные параметры.

					ЮФКВ.431268.022РЭ			Лист	
								5	
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редкол</i> 16.10.2020		38075-2					

# 1 Описание и работа СБИС 1888BC058

## 1.1 Назначение СБИС 1888BC058

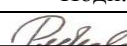
СБИС 1888BC058 предназначена для построения цифровой части тракта обработки информации в составе встраиваемой вычислительной техники радиолокационных и связных систем. Данная СБИС осуществляет первичную обработку данных поступающих с аналого-цифровых преобразователей (АЦП) в режиме реального времени, анализ полученной информации, формирование необходимых сообщений и передачу их на цифро-аналоговые преобразователи (ЦАП) в нужной последовательности.

Для выполнения данной задачи в СБИС 1888BC058 реализованы следующие функции:

- прием данных с четырех АЦП с частотой преобразования до 128 МГц и разрядностью до 14 бит;
- синхронизация всех АЦП с точностью до одного такта работы АЦП;
- цифровая фильтрация принимаемого сигнала на аппаратных БИХ фильтре первого порядка и КИХ фильтре 64 порядка с действительными коэффициентами;
- преобразование частоты входного сигнала на гетеродине с шагом изменения частоты гетеродина 0.03 Гц;
- согласованная фильтрация с заданной эталонной последовательностью размером до 1024 разряда;
- формирование временных меток принимаемого пакета данных и временных меток, определяющих перестройку каналов приема и передачи;
- декодирование входных сообщений с возможностью одновременного декодирования до 128 символов;
- программная обработка принятого и передаваемого сигналов на гетерогенной вычислительной системе, состоящей из управляющего ядра ARM Cortex A5 и двух DSP ядер NMC3;
- аппаратное формирование до двух передаваемых сигналов (цифровая фильтрация и преобразование частоты на гетеродине);
- передача сформированных сигналов на ЦАП с частотой обмена по шине до 512 МГц.

Кроме этого в микросхеме реализован ряд дополнительных устройств, выполняющих вспомогательные функции:

- гибкая многобанковая система внутренней памяти общим объемом 2,5 Мбайт;
- система контроллеров ПДП, позволяющая, в том числе, обслуживать аппаратные каналы обработки информации без привлечения вычислительных ресурсов процессорных ядер;
- интерфейс с внешней памятью, включающий 32-разрядную шину данных и 24-разрядную шину адреса с возможностью прямого подключения микросхем внешней памяти типа SRAM, SDRAM, SSRAM и возможностью доступа внешнего устройства к внутренней памяти СБИС;
- два байтовых коммуникационных порта с максимальной пропускной способностью 1.2 Гбит/сек каждый;
- пять независимых синхронных последовательных интерфейса типа SPI с частотой передачи данных до 50 Мбит/сек. каждый;
- два асинхронных последовательных порта типа UART;
- интерфейс Ethernet MAC 10/100 Мбит/сек. с поддержкой удаленной отладки (EDCL-интерфейс);
- интерфейс типа GPIO (32 вывода);

									Лист
									6
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата			Взам.инв.№	Инва.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					

- гибкая система межканальных и межпроцессорных прерываний;
- отладочный интерфейс JTAG для подключения стандартных устройств отладки программного обеспечения;
- отладочный интерфейс JTAG для диагностики состояния микросхемы в соответствии со стандартом JTAG IEEE 1149.1-2012.

					ЮФКВ.431268.022РЭ			Лист
								7
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
38075-3		<i>Редко</i> 16.10.2020		38075-2				

## 1.2 Основные характеристики СБИС 1888BC058

В данном разделе приводятся основные характеристики, дающие представление об особенностях микросхемы:

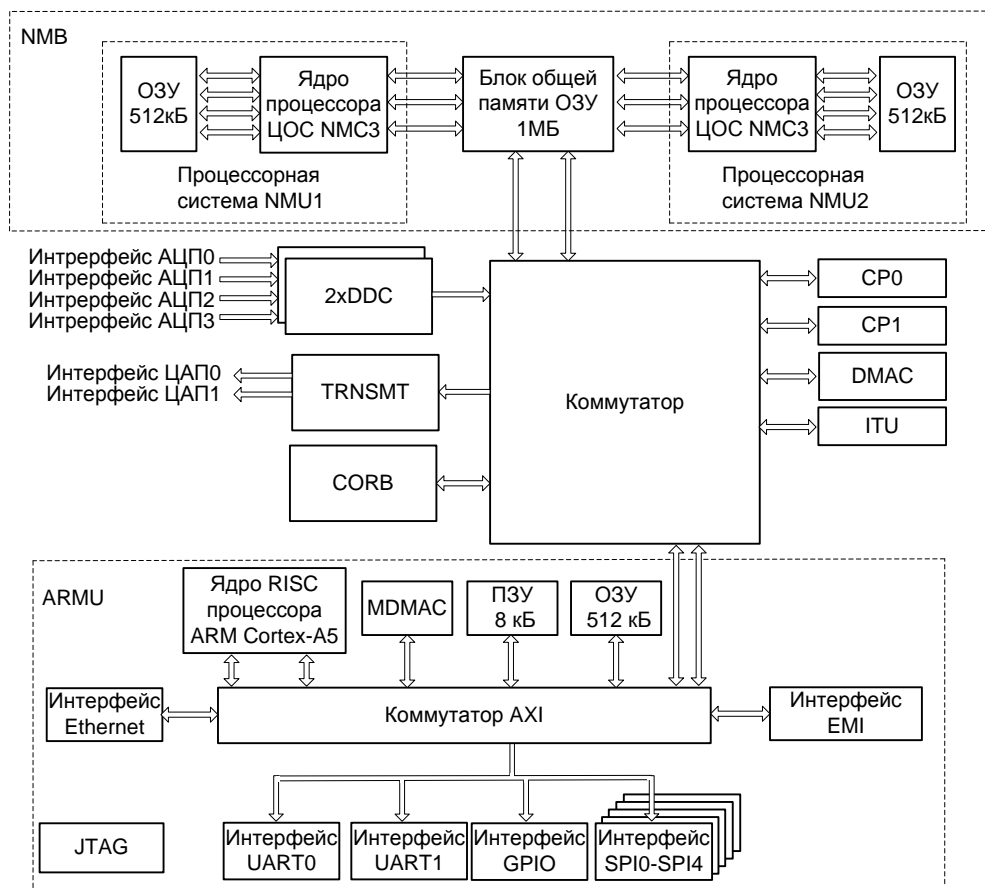
- Количество интерфейсов с АЦП – 4;
- Максимальная тактовая частота интерфейса с АЦП – 128 МГц;
- Максимальная разрядность подключаемых АЦП - 14;
- Тип буферов ввода/вывода интерфейса с АЦП – LVDS-1,8;
- Максимальная частота работы вычислительных ядер микросхемы – 512 МГц;
- Объем внутренней памяти СБИС – 2,5 Мбайт;
- Количество интерфейсов с ЦАП – 2;
- Максимальная тактовая частота интерфейса с ЦАП – 512 МГц;
- Максимальная разрядность подключаемых ЦАП - 16;
- Тип буферов ввода/вывода интерфейса с ЦАП – LVDS-1,8;
- Максимальная частота работы интерфейса с внешней памятью – 90 МГц;
- Максимальный объем подключаемой внешней памяти – 2 Гбайт;
- Тип подключаемой внешней памяти – SRAM, SDRAM, SSRAM;
- Тип буферов ввода/вывода (за исключением интерфейсов с АЦП и ЦАП) – CMOS-3,3;
- Напряжение питания цифровой части СБИС -  $0,9 \pm 0,05$  В;
- Напряжение питания LVDS буферов -  $1,8 \pm 0,18$  В;
- Напряжение питания CMOS буферов -  $3,3 \pm 0,3$  В;
- Максимальная потребляемая мощность – не более 3 Вт;
- Металлопластиковый корпус типа BGA (Bold Grid Array) 676 выводов с шагом расположения выводов – 1 мм;
- Габариты корпуса не более:  $27,0 \times 27,0 \times 3,21$  мм;
- Температурный диапазон работы микросхемы – от минус 60 до плюс 85 °С.

										Лист
										8
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редюк</i> 16.10.2020			38075-2					



### 1.3 Структурная схема СБИС 1888BC058

Структурная схема СБИС 1888BC058 представлена на рисунке 1.1.



**Рисунок 1.1 - Обобщенная структурная схема СБИС 1888BC058**

СБИС 1888BC058 состоит из следующих функциональных узлов:

- ARMU (ARM Unit) – процессорная система ядра ARM, включающая в себя следующие узлы и блоки:
- ARM Cortex-A5 – процессорное ядро с RISC архитектурой и системой команд ARM;
- AXI коммутатор – развитая шинная структура, объединяющая блоки системы, реализованная в соответствии со спецификациями AMBA AXI 3.0 и AMBA 3 APB;
- ОЗУ – внутренняя память подсистемы ARM, общим объемом 512 Кбайт, разделенная на два независимых банка памяти объемом 256 Кбайт каждый;
- ПЗУ – энергонезависимое ПЗУ, объемом 8 Кбайт, предназначенная для хранения программы начальной загрузки и программ самотестирования СБИС;
- MDMAC – контроллер прямого доступа в память подсистемы ARMU;
- EMI интерфейс – блок интерфейса с внешней памятью, позволяющий адресоваться к четырем банкам внешней памяти общим объемом до 2 Гбайт. Блок интерфейса также позволяет осуществлять доступ к внутренней памяти СБИС со стороны внешнего устройства (host- процессора);
- Ethernet интерфейс – блок контроллера Ethernet MAC 10/100 Мбит/сек. с поддержкой удаленной отладки (EDCL-интерфейс);

					Лист
					9
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		<i>Редук</i> 16.10.2020		38075-2	
			Подп. и дата		

- SP0 – SP4 – блоки контроллеров синхронного последовательного интерфейса типа SPI с пропускной способностью до 50 Мбит/сек каждый;
- UART0 – UART1 – блоки контроллеров асинхронного последовательного интерфейса;
- GPIO – блок контроллера выводов общего назначения;
- NMB - блок цифровой обработки сигналов на основе процессорных ядер NMC3 с векторно-конвейерной архитектурой NeuroMatrix. В состав блока входят два ядра NMC3 с внутренней памятью общим объемом 512 Кбайт, разделенной на четыре независимых одинаковых банка и разделяемая память общим объемом 1 Мбайт, состоящая из восьми банков памяти, объемом 128 Кбайт каждый. Банки разделяемой памяти предназначены для оперативного хранения входной и выходной информации;
- Интерфейс АЦПи – четыре одинаковых интерфейса с АЦП, позволяющих подключать АЦП с разрядностью до 14 бит и частотой преобразования до 128 МГц. Блоки интерфейса имеют возможность синхронизации приема данных с точностью до одного такта частоты преобразования АЦП;
- DDC (Digital Down Converter) - два одинаковых аппаратных блока каналов обработки входных данных. Блок каналов обработки входных данных выполняет следующие операции:
  - выбор источника сигнала;
  - цифровое преобразование частоты на гетеродине с последующим накоплением. Шаг изменения частоты гетеродина 0,03 Гц;
  - цифровую фильтрацию входных данных;
  - поиск стартового синхроимпульса;
  - упаковку данных в 64-разрядные слова и запись в память упакованных данных.
 Управление данным блоком может осуществляться любой процессорной системой.
- Интерфейс ЦАПи – два одинаковых интерфейса с ЦАП, позволяющих подключать ЦАП с разрядностью до 16 бит и частотой входной шины ЦАП до 512 МГц;
- TRNSMT (Transmission Block) – аппаратный блок формирования данных для передачи в ЦАП. Блок формирования выходных данных выполняет следующие операции:
  - считывание и распаковка выходных данных из памяти СБИС или аппаратное формирование выходных данных;
  - цифровую фильтрацию выходных данных;
  - цифровое преобразование частоты на гетеродине. Шаг изменения частоты гетеродина 0,03 Гц;
  - управление интерфейсами с ЦАП.
 Управление данным блоком может осуществляться любой процессорной системой.
- CORB (Correlation Block) – блок аппаратных декодеров с встроенным каналом ПДП, осуществляющий корреляционную обработку для формирования информационных символов. Управление данным блоком осуществляется всеми процессорными системами;
- CP0 – CP1 (Communication Port) – два одинаковых байтовых коммуникационных порта. С помощью этих портов можно реализовывать обмен между СБИС и внешними устройствами (процессорами) типа «точка-точка» без использования дополнительной аппаратуры. Передаваемые и принимаемые по портам данные читаются из памяти или пишутся в память процессора в режиме ПДП, не занимая тем самым вычислительные ресурсы процессорных ядер;
- DMAC (DMA Controller) – многоканальный контроллер ПДП, обеспечивающий обмен память – память, память – коммуникационные порты (CPi) и коммуникационные порты – память. Управление данным блоком осуществляется всеми процессорными системами.

										Лист
										10
Изм	Лист	№ докум.	Подп.	Дата						
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.		Подп. и дата			
38075-3	<i>Редук</i> 16.10.2020		38075-2							

- ITU (Interval Timer Unit) – блок формирования временных шкал и синхронизации с внешними событиями. Управление данным блоком осуществляется всеми процессорными системами;
- Коммутатор – коммутационный блок обеспечивающий пересылку данных и управляющих сигналов между узлами и блоками СБИС.
- JTAG – контроллер JTAG-интерфейса по стандарту IEEE 1149.1-2012.

Функциональное описание работы основных внутренних узлов и блоков СБИС 1888BC058 приведено в разделе 1.6 данного руководства по эксплуатации.

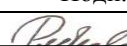
					ЮФКВ.431268.022РЭ			Лист
								11
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2				

## 1.4 Внешние выводы СБИС 1888BC058

СБИС 1888BC058 имеет 327 функциональных выводов, назначение которых приведено в таблице 1.1.

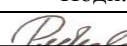
Таблица 1.1 – Функциональные выводы СБИС 1888BC058

Обозначение	Кол- во	Тип	Функциональное назначение
<b>Интерфейс с АЦП</b>			
ADCLKN, ADCLKP	2	I	Опорный тактовый сигнал для АЦП
AD3_CLKON - AD0_CLKON	4	O	Выходной тактовый сигнал на микросхемы АЦП (-)
AD3_CLKOP - AD0_CLKOP	4	O	Выходной тактовый сигнал на микросхемы АЦП (+)
AD3_CLKIN - AD0_CLKIN	4	I	Входной тактовый сигнал с микросхемы АЦП для синхронизации данных(-)
AD3_CLKIP - AD0_CLKIP	4	I	Входной тактовый сигнал с микросхемы АЦП для синхронизации данных(+)
AD3_OVRN - AD0_OVRN	4	I	Сигналы переполнения (-)
AD3_OVRP - AD0_OVRP	4	I	Сигналы переполнения (+)
AD0_D12D13N - AD0_D0D1N	7	I	Шина данных от АЦП0 (-)
AD0_D12D13P - AD0_D0D1P	7	I	Шина данных от АЦП0 (+)
AD1_D12D13N - AD1_D0D1N	7	I	Шина данных от АЦП1 (-)
AD1_D12D13P - AD1_D0D1P	7	I	Шина данных от АЦП1 (+)
AD2_D12D13N - AD2_D0D1N	7	I	Шина данных от АЦП2 (-)
AD2_D12D13P - AD2_D0D1P	7	I	Шина данных от АЦП2 (+)
AD3_D12D13N - AD3_D0D1N	7	I	Шина данных от АЦП3 (-)
AD3_D12D13P - AD3_D0D1P	7	I	Шина данных от АЦП3 (+)
DA_CLKIN, DA_CLKIP	2	I	Входной опорный тактовый сигнал для ЦАП
DACA_SYNCN, DACA_SYNCN	2	O	Сигнал синхронизации интерфейсов ЦАП
DACA_CLKON, DACA_CLKON	2	O	Выходной тактовый для интерфейсов ЦАП канал А
DACA_D9N - DACA_D0N	10	O	Шина данных интерфейса 0 ЦАП (-)
DACA_D9P - DACA_D0P	10	O	Шина данных интерфейса 0 ЦАП (+)
DACB_CLKOP, DACB_CLKON	2	O	Выходной тактовый для интерфейсов ЦАП канал В
DACB_SYNCN, DACB_SYNCN	2	O	Сигнал синхронизации интерфейсов ЦАП
DACB_D9N - DACB_D0N	10	O	Шина данных интерфейса 1 ЦАП (-)
DACB_D9P - DACB_D0P	10	O	Шина данных интерфейса 1 ЦАП (+)
<b>Интерфейс с внешней памятью</b>			
EMI_A23 - EMI_A0	24	I/O	Шина адреса интерфейса с внешней памятью
EMI_D31 - EMI_D0	32	I/O	Шина данных интерфейса с внешней памятью
EMI_BIS	1	I	Режим управления шиной после сброса
EMI_SCLK	1	I	Входной тактовый сигнал интерфейса с внешней памятью
EMI_XCAS	1	O	Строб адреса столбца
EMI_XCSI	1	I	Выборка внутренней памяти процессора
EMI_XCSO3 - EMI_XCSO0	4	O	Выборка банка внешней памяти
EMI_XDQM3 - EMI_XDQM0	4	O	Разрешение записи в отдельные байты 32- разрядного слова данных
EMI_XHOLDA	1	I/O	Разрешение захвата шины
EMI_XHOLDI	1	I	Запрос внешнего устройства на захват шины
EMI_XHOLDO	1	O	Запрос микросхемы на захват шины
EMI_XOE	1	O	Разрешение выдачи из внешней памяти
EMI_XRAS	1	O	Строб адреса строки
EMI_XRDY	1	I/O	Готовность устройства для према данных
EMI_XRDY_A	1	I	Вход готовности внешнего устройства
EMI_XSTRB	1	I/O	Строб данных

					ЮФКВ.431268.022РЭ	Лист 12
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		 16.10.2020		38075-2		

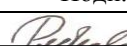
**Продолжение таблицы 1.1**

Обозначение	Кол- во	Тип	Функциональное назначение
EMI_XWE	1	I/O	Разрешение записи данных во внешнюю/внутреннюю память
EMI_XWEA	1	O	Разрешение записи в отдельные байты 32- разрядного слова данных
<b>UART0</b>			
UART0_CTS	1	I	Разрешение передачи данных
UART0_RTS	1	O	Запрос на передачу данных
UART0_RXD	1	I	Вход принимаемых данных
UART0_TXD	1	O	Выход передаваемых данных
<b>UART1</b>			
UART1_CTS	1	I	Разрешение передачи данных
UART1_RTS	1	O	Запрос на передачу данных
UART1_RXD	1	I	Вход принимаемых данных
UART1_TXD	1	O	Выход передаваемых данных
<b>SPI</b>			
SPI0_CLK	1	O	Выходной тактовый сигнал
SPI0_RXD	1	I	Входные данные
SPI0_TXD	1	O	Выходные данные
<b>GPIO/SPI</b>			
GPA7 - GPA0	8	I/O	Порты общего назначения
GPB7 - GPB0	8	I/O	Порты общего назначения
GPC7/SPI2_TXD, GPC6/SPI2_CS, GPC5/SPI4_TXD, GPC4/SPI4_CS, GPC3/SPI4_RXD, GPC2/SPI4_CLK, GPC1/SPI2_RXD, GPC0/SPI2_CLK	8	I/O	Порты общего назначения/интерфейс SPI2 и SPI4
GPD7/SPI1_CLK, GPD6/SPI1_RXD, GPD5/SPI3_CLK, GPD4/SPI3_RXD, GPD3/SPI3_CS, GPD2/SPI3_TXD, GPD1/SPI1_CS, GPD0/SPI1_TXD	8	I/O	Порты общего назначения/интерфейс SPI1 и SPI3
GPE7 - GPE0/ SPI0_CS7 - SPI0_CS0	8	I/O	Порты общего назначения/выбор микросхемы для интерфейса SPI0
<b>JTAG-интерфейс</b>			
JTCK	1	I	Тактовый сигнал тестового порта
JTDI	1	I	Вход данных тестового порта
JTDO	1	O	Выход данных тестового порта
JTMS	1	I	Сигнал выбора режима тестового порта
JTRSTN	1	I	Сброс тестового порта
NRST_SYS	1	I/O	Сброс отладчика
<b>Ethernet</b>			
MDC	1	O	Выходной тактовый сигнал для микросхемы физического интерфейса
MDIO	1	I/O	Шина управления физическим интерфейсом
MII_RXCLK	1	I	Тактовый сигнал для приема
MII_RXDV	1	I	Строб данных
MII_RXCOL	1	I	Признак коллизии
MII_RXCRS	1	I	Определение несущей
MII_RXD3 - RXD0	4	I	Шина данных

					ЮФКВ.431268.022РЭ	Лист 13
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		 16.10.2020		38075-2		

**Продолжение таблицы 1.1**

Обозначение	Кол- во	Тип	Функциональное назначение
MII_RXER	1	O	Признак верных данных
MII_TXCLK	1	I	Тактовый сигнал для передачи
MII_TXD3 - MII_TXD0	4	O	Шина данных
MII_TXEN	1	O	Разрешение передачи
<b>CPO</b>			
C0D7 - C0D0	8	I/O	Шина данных
C0IS	1	I	Инициализация после сброса
C0XHOLDI	1	I	Запрос на захват шины
C0XHOLDO	1	O	Разрешение на передачу шины
C0XRDY	1	I/O	Сигнал готовности
C0XSTRB	1	I/O	Строб данных
<b>CPI</b>			
C1D7 - C1D0	8	I/O	Шина данных
C1IS	1	I	Инициализация после сброса
C1XHOLDI	1	I	Запрос на захват шины
C1XHOLDO	1	O	Разрешение на передачу шины
C1XRDY	1	I/O	Сигнал готовности
C1XSTRB	1	I/O	Строб данных
<b>Прочие выводы</b>			
WDT	1	O	Выход сторожевого таймера
TD7 - TD0	8	O	Выход тестового порта ядер NMC3
BOOTM2 - BOOTM0	3	I	Сигналы управления выбора устройства начальной загрузкой
BOOTM_NM	1		Выбор типа загрузки ядер NM
TMODE	1	I	Тестовый вход для тестирования СБИС на фабрике. Должен быть подключен к логическому нулю.
ITSTRB	1	I	Вход строба синхронизации ITU
NRST_PON	1	I	Системный сброс
REFCLK	1	I	Опорный тактовый сигнал

										Лист
										14
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		 16.10.2020			38075-2					



NM1B0, NM1B1, NM1B2, NM1B3 - четыре банка внутренней памяти процессорного ядра процессорной системы NMU1;

NM2B0, NM2B1, NM2B2, NM2B3 - четыре банка внутренней памяти процессорного ядра процессорной системы NMU2;

SMB7, SMB6, SMB5, SMB4, SMB3, SMB2, SMB1, SMB0 - восемь банков разделяемой памяти процессорной системы NMU;

PUi – блок упаковки/распаковки векторных данных ядер 1 и 2 процессорной системы NMU соответственно;

DDC – конфигурационные регистры блока каналов обработки входных данных DDC;

COR – конфигурационные регистры блока корреляторов;

DMAC – конфигурационные регистры блока ПДП;

INTTMR – конфигурационные регистры блока формирования временных шкал;

TRNSMT - конфигурационные регистры блока формирования данных для ЦАП;

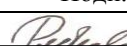
EMI – область адресов внешней памяти;

SGPV – регистры конфигурации блока коммутатора;

ARM Peripheral Area – регистры периферийных устройств процессорной системы ARMU;

### 1.5.2 Карта памяти периферийных регистров периферийных устройств процессорной подсистемы ARMU

Карта памяти периферийных устройств процессорной системы ARMU приведена на рисунке 1.3.

									Лист
									16
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					



### ARM Peripheral Area

4 Kbytes	<b>ETH</b>	4008 0000/4008 0FFFh
4 Kbytes	<b>GPIOC</b>	4008 1000/4008 1FFFh
4 Kbytes	<b>GPIOD</b>	4008 2000/4008 2FFFh
4 Kbytes	<b>GPIOE</b>	4008 3000/4008 3FFFh
4 Kbytes	<b>SPI0</b>	4008 4000/4008 4FFFh
4 Kbytes	<b>SPI1</b>	4008 5000/4008 5FFFh
4 Kbytes	<b>SPI2</b>	4008 6000/4008 6FFFh
4 Kbytes	<b>SPI3</b>	4008 7000/4008 7FFFh
4 Kbytes	<b>SPI4</b>	4008 8000/4008 8FFFh
4 Kbytes	<b>WDT</b>	4008 9000/4008 9FFFh
4 Kbytes	<b>CRG DAC</b>	4008 A000/4008 AFFFh
4 Kbytes	<b>RSRV</b>	4008 B000/4008 BFFFh
4 Kbytes	<b>RSRV</b>	4008 C000/4008 CFFFh
4 Kbytes	<b>RSRV</b>	4008 D000/4008 DFFFh
4 Kbytes	<b>RSRV</b>	4008 E000/4008 EFFFh
4 Kbytes	<b>RSRV</b>	4008 F000/4008 FFFFh
4 Kbytes	<b>GPIOA</b>	4009 0000/4009 0FFFh
4 Kbytes	<b>GPIOB</b>	4009 1000/4009 1FFFh
4 Kbytes	<b>UART0</b>	4009 2000/4009 2FFFh
4 Kbytes	<b>UART1</b>	4009 3000/4009 3FFFh
4 Kbytes	<b>DIT</b>	4009 4000/4009 4FFFh
4 Kbytes	<b>SCTL</b>	4009 5000/4009 5FFFh
4 Kbytes	<b>CRG SYS</b>	4009 6000/4009 6FFFh
4 Kbytes	<b>CRG ADC</b>	4009 7000/4009 7FFFh
4 Kbytes	<b>EMI</b>	4009 8000/4009 8FFFh
4 Kbytes	<b>RSRV</b>	4009 9000/4009 9FFFh
4 Kbytes	<b>RSRV</b>	4009 A000/4009 AFFFh
4 Kbytes	<b>L2C</b>	4009 B000/4009 BFFFh
4 Kbytes	<b>RSRV</b>	4009 C000/4009 CFFFh
4 Kbytes	<b>RSRV</b>	4009 D000/4009 DFFFh
4 Kbytes	<b>RSRV</b>	4009 E000/4009 EFFFh
4 Kbytes	<b>RSRV</b>	4009 F000/4009 FFFFh
4 Kbytes	<b>APBIC TOP ROM</b>	400A 0000/400A 0FFFh
4 Kbytes	<b>TMC ETF</b>	400A 1000/400A 1FFFh
4 Kbytes	<b>TMC ETR</b>	400A 2000/400A 2FFFh
4 Kbytes	<b>CTI1</b>	400A 3000/400A 3FFFh
4 Kbytes	<b>ATB REPL</b>	400A 4000/400A 4FFFh
4 Kbytes	<b>TPIU</b>	400A 5000/400A 5FFFh
4 Kbytes	<b>TSGEN</b>	400A 6000/400A 6FFFh
4 Kbytes	<b>NM0DBG</b>	400A 7000/400A 7FFFh
4 Kbytes	<b>NM1DBG</b>	400A 8000/400A 8FFFh
4 Kbytes	<b>RSRV</b>	400A 9000/400A 9FFFh
4 Kbytes	<b>RSRV</b>	400A A000/400A AFFFh
4 Kbytes	<b>RSRV</b>	400A B000/400A BFFFh
4 Kbytes	<b>RSRV</b>	400A C000/400A CFFFh
4 Kbytes	<b>RSRV</b>	400A D000/400A DFFFh
4 Kbytes	<b>RSRV</b>	400A E000/400A EFFFh
4 Kbytes	<b>RSRV</b>	400A F000/400A FFFFh
4 Kbytes	<b>APBIC CPU ROM</b>	400B 0000/400B 0FFFh
4 Kbytes	<b>ETM</b>	400B 1000/400B 1FFFh
4 Kbytes	<b>CA5 DBG</b>	400B 2000/400B 2FFFh
4 Kbytes	<b>CA5 PMU</b>	400B 3000/400B 3FFFh
4 Kbytes	<b>CTI0</b>	400B 4000/400B 4FFFh
4 Kbytes	<b>RSRV</b>	400B 5000/400B 5FFFh
4 Kbytes	<b>RSRV</b>	400B 6000/400B 6FFFh
4 Kbytes	<b>RSRV</b>	400B 7000/400B 7FFFh
4 Kbytes	<b>RSRV</b>	400B 8000/400B 8FFFh
4 Kbytes	<b>RSRV</b>	400B 9000/400B 9FFFh
4 Kbytes	<b>RSRV</b>	400B A000/400B AFFFh
4 Kbytes	<b>RSRV</b>	400B B000/400B BFFFh
4 Kbytes	<b>RSRV</b>	400B C000/400B CFFFh
4 Kbytes	<b>RSRV</b>	400B D000/400B DFFFh
4 Kbytes	<b>RSRV</b>	400B E000/400B EFFFh
4 Kbytes	<b>RSRV</b>	400B F000/400B FFFFh
4 Kbytes	<b>GICC</b>	400C 0000/400C 0FFFh
4 Kbytes	<b>RSRV</b>	400C 1000/400C 1FFFh
4 Kbytes	<b>GICD</b>	400C 2000/400C 2FFFh
4 Kbytes	<b>RSRV</b>	400C 3000/400C 3FFFh
4 Kbytes	<b>DMAC</b>	400C 4000/400C 4FFFh
4 Kbytes	<b>RSRV</b>	400C 5000/400C 5FFFh
4 Kbytes	<b>RSRV</b>	400C 6000/400C 6FFFh
4 Kbytes	<b>RSRV</b>	400C 7000/400C 7FFFh
16 Kbytes	<b>BROM</b>	400C 8000/400C BFFFh
16 Kbytes	<b>RSRV</b>	400C C000/400C FFFFh

**Рисунок 1.3 - Карта памяти периферийных устройств процессорной системы ARMU**

					ЮФКВ.431268.022РЭ	Лист 17
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		

## 1.6 Устройство и работа СБИС 1888BC058

### 1.6.1 Система подачи тактовых сигналов и система синхронизации СБИС 1888BC058

Для работы СБИС 1888BC058 необходимо подать следующие основные тактовые сигналы:

- REFCLK 16МГц - тактовый сигнал для формирования тактовых сигналов всех процессорных систем;
- MII\_TXCLK, MII\_RXCLK 25 МГц - тактовые сигнала для контроллера Ethernet;
- ADCLK (до 128 МГц) тактовый сигнал для подачи на микросхемы АЦП;
- DAC\_CLKI (до 512 МГц) тактовый сигнал для интерфейса с ЦАП;
- SCLK (до 90 МГц) тактовый сигнал для интерфейса с внешней памятью.

					ЮФКВ.431268.022РЭ			Лист
								18
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2				

## 1.6.2 Процессорная система на базе ядра ARM Cortex-A5 (ARMU)

### 1.6.2.1 Управляющий скалярный процессор ARM Cortex-A5

Подсистема центрального процессора СБИС состоит из процессорного ядра ARM Cortex-A5 и контроллера кэш-памяти второго уровня(L2), работающих на синхронной частоте до 512 МГц.

Процессорное ядро ARM Cortex A5 включает в себя целочисленное ядро, базирующееся на архитектуре ARMv7, сопроцессор с плавающей точкой и кэш-память уровня L1. Ядро поддерживает системы команд ARM и Thumb™, технологию Jazelle для обеспечения возможности прямого выполнения байт-кодов Java. Сопроцессор с плавающей точкой поддерживает архитектуру ARMv7 VFPv4-D16 и соответствует стандарту IEEE 754-1985.

Использованное в СБИС 1888BC058 процессорное ядро Cortex A5 основано на его версии r0p1 и имеет конфигурацию, характеризующуюся наличием/отсутствием следующих свойств:

- 64 разрядный AXI интерфейс;
- пятиступенчатый in-order конвейер с динамическим предсказанием переходов;
- интегрированные сопроцессор отладки CP14 и системный сопроцессор CP15;
- устройства управления памятью команд и данных Memory Management Units (MMU);
- L1 кэш память команд объемом 32 Кбайт;
- L1 кэш память данных объемом 32 Кбайт;
- сопроцессор для вычислений с плавающей запятой (VFP);
- расширение SIMD-инструкций NEON™ Media Processing Engine;
- расширение Jazelle, обеспечивающие ускорение исполнения байт кодов Java;
- поддержка трассировки программ;
- система отладки на базе JTAG.

Структурная схема ядра представлена на рисунке 1.4.

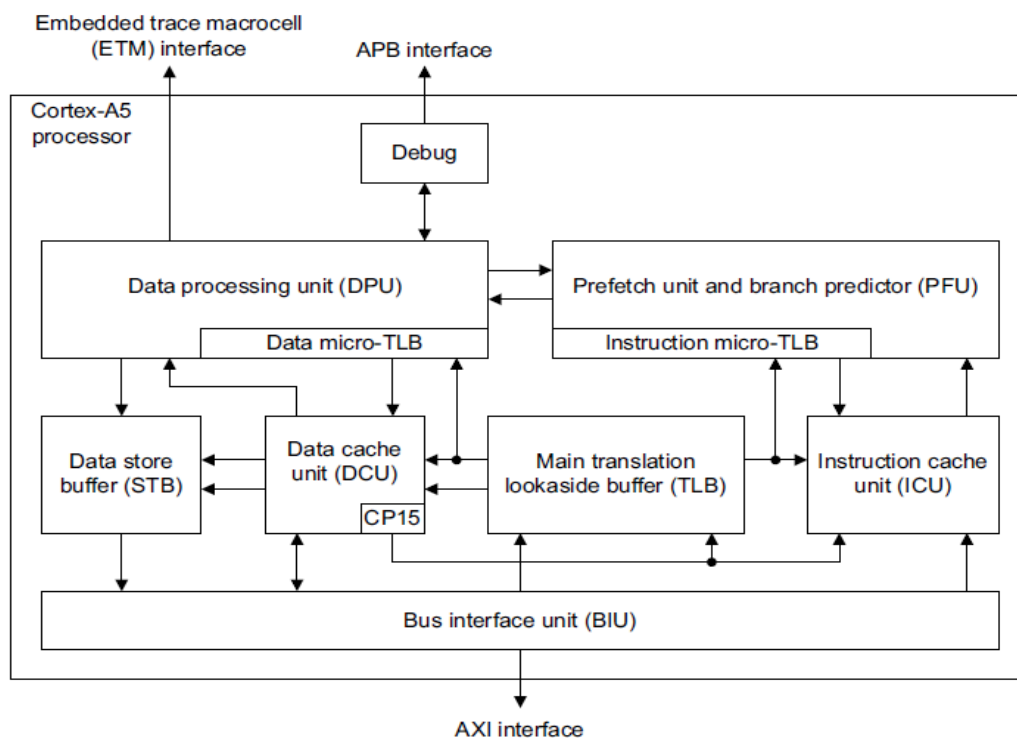


Рисунок 1.4 – Структура процессорного ядра ARM Cortex-A5

									Лист
									19
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2						

Контроллер кэш-памяти L2 PL310 имеет следующую конфигурацию и характеристики:

- суммарный объем - 256 Кбайт;
- тип – ассоциативный 8-канальный;
- политика записи – сквозная(write-through) или обратная (write-back) запись;
- программируется через регистры;
- политика замещения - псевдослучайная или циклическая (round-robin).

### 1.6.2.2 Подсистема внутренней памяти процессорной системы ARMU

Процессорная подсистема ARMU имеет два банка внутренней памяти – AMB0 и AMB1. Каждый банк имеет следующие характеристики:

- Объем – 256 КБ;
- Тактовая частота – до 512 МГц (синхронная с процессорными ядрами ARM и NMC);
- Разрядность шины данных – 64 бита;
- Псевдодвухпортовая организация, позволяющая осуществлять до двух обращений к банку памяти за такт;
- Поддержка режимов sleep и powerdown (управляется из SCTL).

Контроллеры банков памяти AMB0, AMB1 не имеют программно-доступных регистров и готовы к работе после снятия системного сброса.

					ЮФКВ.431268.022РЭ			Лист
								20
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
38075-3		<i>Редук</i> 16.10.2020		38075-2				

### 1.6.2.3 Блок контроллера прерываний (GIC)

Контроллер прерываний GIC служит для передачи запросов на прерывание процессорному ядру ARM от периферийных устройств системы. GIC имеет следующие характеристики:

- предоставляет программный интерфейс для взаимодействия процессорного ядра ARM и системой прерываний;
- поддерживает 64 векторных прерывания с настраиваемыми программно приоритетами (32 уровня приоритетов) и маскированием;
- поддерживает 2 программных прерывания.

#### 1.6.2.3.1 Устройство системного контроллера прерываний

Блок не имеет сигналов, соединенных с внешними выводами микросхемы. На входы блока GIC подключаются выходы прерываний всех периферийных устройств системы на кристалле, выходы прерываний подключаются непосредственно к процессорному ядру ARM. GIC также имеет два интерфейса с системной шиной AMBA AXI, по которой процессорное ядро может его программировать. На рисунке 1.5 приведена структурная схема GIC с описанием основных компонентов в таблице 1.2.

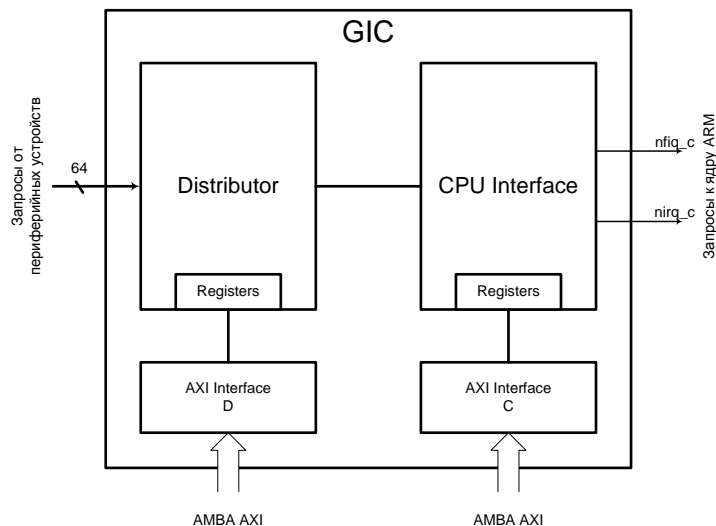


Рисунок 1.5 – Структурная схема GIC

Таблица 1.2 – Основные компоненты GIC

Название	Назначение
Блок обработки запросов от периферийных устройств (Distributor)	Производит фиксацию запроса на прерывание, маскирование и предварительный арбитраж
Блок интерфейса с процессорным ядром (CPU Interface)	Завершает арбитраж, передаёт запросы процессорному ядру и контролирует процесс обработки запросов

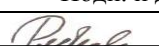
#### 1.6.2.3.2 Запросы на прерывание

К входам линий прерываний GIC подключены выходы запросов на прерывание от периферийных устройств. Вместе с восемью программными прерываниями они образуют единый список. В таблице 1.3 приведён список прерываний процессорной системы ARM, каждому прерыванию в системе поставлен в соответствие свой порядковый номер (Interrupt ID).

									Лист
									21
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата		Взам.инв.№	Инва.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2						

**Таблица 1.3 – Список прерываний процессорной системы ARM**

Номер	INTID	Источник	Описание
<b>SGI - программные прерывания</b>			
0	0	SGI0	Программное прерывание 0 в GIC390
1	1	SGI1	Программное прерывание 1 в GIC390
2-15	-	-	Зарезервировано
<b>PPI - выделенные прерывания периферийных устройств</b>			
0-15	-	-	Зарезервировано
<b>SPI - общие прерывания периферийных устройств</b>			
0	32	commrх	Канал отладки (DCC) RX
1	33	commtх	Канал отладки (DCC) TX
2	34		
3	35		
4	36	eth_pirq	Прерывание контроллера Ethernet MAC
5	37	NM0HP	Высокоприоритетное прерывание от ядра NMC0
6	38	NM1HP	Высокоприоритетное прерывание от ядра NMC1
7	39	CORINT_CH0	Прерывание от блока корреляторов
8	40	CORINT_CH1	Прерывание от блока корреляторов
9	41		
10	42	dit_timint1	Блок сдвоенных таймеров DIT – прерывание таймера 1
11	43	dit_timint2	Блок сдвоенных таймеров DIT – прерывание таймера 2
12	44	wdt_int	Прерывание от сторожевого таймера
13	45	mdmac	Прерывание от контроллера MDMAC
14	46	crг_sys	Прерывание по готовности PLL в CRG_SYS
15	47	crг_adc	Прерывание по готовности PLL в CRG_ADC
16	48	crг_dac	Прерывание по готовности PLL в CRG_DAC
17	49	ssp0_ctrl	Прерывание от контроллера SPI0
18	50	ssp1_ctrl	Прерывание от контроллера SPI1
19	51	ssp2_ctrl	Прерывание от контроллера SPI2
20	52	ssp3_ctrl	Прерывание от контроллера SPI3
21	53	ssp4_ctrl	Прерывание от контроллера SPI4
22	54	ssp0_dma	Прерывание от канала ПДП SPI0
23	55	ssp1_dma	Прерывание от канала ПДП SPI1
24	56	ssp2_dma	Прерывание от канала ПДП SPI2
25	57	ssp3_dma	Прерывание от канала ПДП SPI3
26	58	ssp4_dma	Прерывание от канала ПДП SPI4
27	59	gpioa	Прерывание контроллера GPIO порт A
28	60	gpiob	Прерывание контроллера GPIO порт B
29	61	gpіoc	Прерывание контроллера GPIO порт C
30	62	gpіod	Прерывание контроллера GPIO порт D
31	63	gpіoe	Прерывание контроллера GPIO порт E
32	64		
33	65		
34	66		
35	67	Uart0	Прерывание контроллера UART0
36	68	Uart1	Прерывание контроллера UART1
37	69		
38	70		
39	71	EMІ	Прерывание от контроллера EMI
40	72		
41	73	NM0LP	Низкоприоритетное прерывание от ядра NMC0
42	74	NM1LP	Низкоприоритетное прерывание от ядра NMC1
43	75	NMDMAC_MM0	Прерывание от блока DMAC канал память<->память 0
44	76	NMDMAC_MM1	Прерывание от блока DMAC канал память<->память 1
45	77	NMDMAC_CP0	Прерывание от блока DMAC канал CP0<->память
46	78	NMDMAC_CP1	Прерывание от блока DMAC канал CP1<->память
47	79		
48	80	TRNSMT	Прерывание от блока передатчика
49	81	DDC_CH0_0	Прерывание 0 от канала предварительно обработки DDC0

					ЮФКВ.431268.022РЭ	Лист 22
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		 16.10.2020		38075-2		

**Продолжение таблицы 1.3**

Номер	INTID	Источник	Описание
50	82	DDC_CH0_1	Прерывание 1 от канала предварительно обработки DDC0
51	83	DDC_CH1_0	Прерывание 0 от канала предварительно обработки DDC1
52	84	DDC_CH1_1	Прерывание 1 от канала предварительно обработки DDC1
53	85	ITU_MTD0	Прерывание от основного временного интервала канала 0
54	86	ITU_MTD1	Прерывание от основного временного интервала канала 0
55	87	ITU_AUX0	Прерывание от блока интервальных таймеров (ITU) по дополнительному временному интервалу канала 0
56	88	ITU_AUX1	Прерывание от блока интервальных таймеров (ITU) по дополнительному временному интервалу канала 1
57	89	ITU_START0	Прерывание от блока интервальных таймеров (ITU) по запуску передатчика 0
58	90	ITU_START1	Прерывание от блока интервальных таймеров (ITU) по запуску передатчика 1
59	91		
60	92	pmuirq	Прерывание блока PMU
61	93	l2ccintr	Комбинированное прерывание L2C
62	94	l2decerrintr	Прерывание Slave Error L2C
63	95	l2slverintr	Прерывание Decode Error L2C

Каждому из запросов на прерывание можно присвоить программный приоритет (0-31), записав нужное значение в соответствующий регистр программного приоритета. Если несколько прерываний имеют одинаковый программный приоритет, то для определения порядка их обработки используется аппаратный приоритет. Аппаратный приоритет тем выше, чем ниже порядковый номер прерывания. То есть, программное прерывание 0 имеет высший аппаратный приоритет, а прерывание 95 – низший.

Запросы на прерывание от периферийных устройств могут быть двух типов: по уровню и по фронту.

Для большинства устройств системы на кристалле используется механизм прерываний по уровню. В этом случае считается, что соответствующее периферийное устройство находится в состоянии запроса на прерывание, и линия прерывания активна до тех пор, пока не будет устранена причина данного запроса в периферийном устройстве.

Запрос на прерывание типа «по фронту» фиксируется контроллером прерываний в момент положительного фронта сигнала на линии прерывания.

### 1.6.2.3.3 Интерфейс GIC с процессорным ядром ARM

Входные запросы на прерывание проходят внутри GIC арбитраж и маскирование. Когда какой-нибудь из запросов выигрывает арбитраж, GIC выдаёт процессорному ядру ARM итоговый запрос и ядро переходит в один из двух режимов:

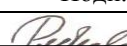
- IRQ (обычное прерывание) или
- FIQ (быстрое прерывание).

### 1.6.2.3.4 Группы прерываний

GIC позволяет программно настроить режим обработки (IRQ или FIQ) для каждой линии прерывания и для каждого программного запроса. Каждое прерывание GIC считается принадлежащим к одной из двух групп: группе 0 или группе 1. После системного сброса все прерывания принадлежат группе 0 и имеют режим обработки IRQ. Далее можно с помощью записи в программно доступные регистры GIC переносить прерывания в группу 1 и обратно.

Разница между двумя группами заключается в том, что

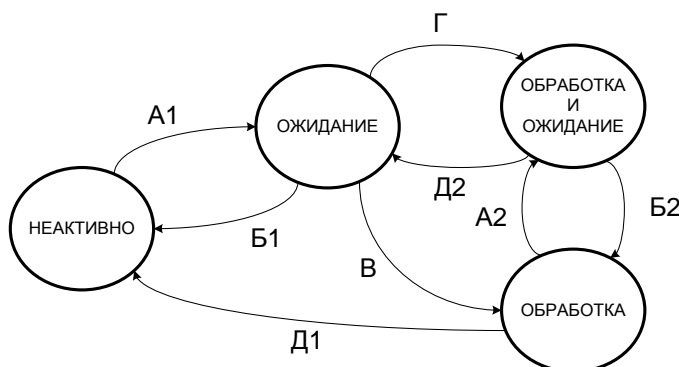
- для группы 0 можно установить режим обработки прерывания FIQ;
- прерывания группы 1 могут обрабатываться в незащищённом режиме ядра ARM;
- для группы 1 рекомендуется устанавливать значения приоритетов 16-32.

					ЮФКВ.431268.022РЭ			Лист	
								23	
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		 16.10.2020		38075-2					



### 1.6.2.3.5 Состояния обработки прерываний

По мере обработки каждое прерывание проходит через состояния, показанные на рисунке 1.6.



**Рисунок 1.6 – Состояния обработки прерываний**

Прерывание переходит в одно из состояний ОЖИДАНИЯ (переходы А1 и А2) по любому из следующих событий:

- периферийное устройство выдаёт запрос на прерывание;
- программная запись в регистр перехода в режим ожидания (GICD\_ISPENDR);
- корректная запись в регистр программного запроса (GICD\_SGIR).

Отмена ожидания (переходы Б1 и Б2) происходит с прерыванием по любому из следующих событий:

- периферийное устройство по какой-то причине самостоятельно снимает запрос на прерывание – справедливо для прерываний по уровню;
- запись в регистр выхода из режима ожидания (GICD\_ICPENDR) – справедливо для прерываний по фронту, программных и для прерываний по уровню, если запрос был инициирован программно.

Прерывание переходит в режим ОБРАБОТКИ (переход В) в момент, когда процессорное ядро читает регистр подтверждения прерывания (GICC\_IAR) и при этом в поле Interrupt ID выдаётся номер данного прерывания.

Переход Г совершается, если одновременно выполнены условия перехода В и Д1.

Завершением обработки прерывания (переходы Д1 и Д2) считается запись в регистр завершения обработки прерывания (GICC\_EOIR).

### 1.6.2.3.6 Вложенные прерывания

Во время, пока какое-либо прерывание (первое) находится в состоянии ОБРАБОТКИ, может возникнуть второй, более приоритетный, запрос на прерывание. Второй запрос передается процессорному ядру, только если удовлетворены оба условия:

- приоритет второго запроса выше, чем пороговый уровень приоритета (GICC\_PMR);
- приоритет второго запроса выше, чем текущий приоритет обрабатываемого прерывания (GICC\_RPR).

После этого процессорное ядро может прочитать регистр GICC\_IAR ещё раз, переведя тем самым в состояние обработки второе прерывание. Второе прерывание считается вложенным и его обработка должна быть завершена (запись в регистр GICC\_EOIR) раньше завершения первого прерывания.

					ЮФКВ.431268.022РЭ			Лист
								24
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2				



#### 1.6.2.3.7 Регистровая модель системного контроллера прерываний GIC

Программно доступные регистры системного контроллера прерываний GIC расположены в области памяти периферийных устройств, занимают две области памяти по 4 Кбайта:

- набор регистров блока обработки запросов от периферийных устройств – GICD, базовый адрес GICD\_Base = 0x400C\_2000;
- набор регистров блока интерфейса с процессорным ядром – GICC, базовый адрес GICC\_Base = 0x400C\_0000.

Спецификация регистров представлена в таблице 1.4.

					ЮФКВ.431268.022РЭ				Лист
									25
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		<i>Редко</i> 16.10.2020			38075-2				

**Таблица 1.4 – Список регистров GIC**

Адрес	Тип	Начальное значение	Имя	Описание
GICD_Base+0x000	ЧТ/ЗП	0x00000000	GICD_CTLR	Регистр включения GIC
GICD_Base+0x004	ЧТ	0x00000402	GICD_TYPER	Регистр конфигурации GIC
GICD_Base+0x008	ЧТ	0x0000043B	GICD_IIDR	Регистр идентификации GIC
GICD_Base+0x080	ЧТ/ЗП	0x00000000	GICD_IGROUPR0	Регистр 0 принадлежности к группе
GICD_Base+0x084	ЧТ/ЗП	0x00000000	GICD_IGROUPR1	Регистр 1 принадлежности к группе
GICD_Base+0x088	ЧТ/ЗП	0x00000000	GICD_IGROUPR2	Регистр 2 принадлежности к группе
GICD_Base+0x100	ЧТ/ЗП	0x00000000	GICD_ISENBALER0	Регистр 0 включения прерывания
GICD_Base+0x104	ЧТ/ЗП	0x00000000	GICD_ISENBALER1	Регистр 1 включения прерывания
GICD_Base+0x108	ЧТ/ЗП	0x00000000	GICD_ISENBALER2	Регистр 2 включения прерывания
GICD_Base+0x180	ЧТ/ЗП	0x00000000	GICD_ICENABLER0	Регистр 0 выключения прерывания
GICD_Base+0x184	ЧТ/ЗП	0x00000000	GICD_ICENABLER1	Регистр 1 выключения прерывания
GICD_Base+0x188	ЧТ/ЗП	0x00000000	GICD_ICENABLER2	Регистр 2 выключения прерывания
GICD_Base+0x200	ЧТ/ЗП	0x00000000	GICD_ISPENDR0	Регистр 0 перехода в режим ожидания
GICD_Base+0x204	ЧТ/ЗП	0x00000000	GICD_ISPENDR1	Регистр 1 перехода в режим ожидания
GICD_Base+0x208	ЧТ/ЗП	0x00000000	GICD_ISPENDR2	Регистр 2 перехода в режим ожидания
GICD_Base+0x280	ЧТ/ЗП	0x00000000	GICD_ICPENDR0	Регистр 0 выхода из режима ожидания
GICD_Base+0x284	ЧТ/ЗП	0x00000000	GICD_ICPENDR1	Регистр 1 выхода из режима ожидания
GICD_Base+0x288	ЧТ/ЗП	0x00000000	GICD_ICPENDR2	Регистр 2 выхода из режима ожидания
GICD_Base+0x300	ЧТ	0x00000000	GICD_ICDABR0	Регистр 0 состояния обработки прерывания
GICD_Base+0x304	ЧТ	0x00000000	GICD_ICDABR1	Регистр 1 состояния обработки прерывания
GICD_Base+0x308	ЧТ	0x00000000	GICD_ICDABR2	Регистр 2 состояния обработки прерывания
GICD_Base+0x400	ЧТ/ЗП	0x00000000	GICD_IPRIORITY0	Регистр 0 приоритетов
GICD_Base+0x404	ЧТ/ЗП	0x00000000	GICD_IPRIORITY1	Регистр 1 приоритетов
GICD_Base+0x420	ЧТ/ЗП	0x00000000	GICD_IPRIORITY8	Регистр 8 приоритетов
GICD_Base+0x424	ЧТ/ЗП	0x00000000	GICD_IPRIORITY9	Регистр 9 приоритетов
GICD_Base+0x428	ЧТ/ЗП	0x00000000	GICD_IPRIORITY10	Регистр 10 приоритетов
GICD_Base+0x42C	ЧТ/ЗП	0x00000000	GICD_IPRIORITY11	Регистр 11 приоритетов
GICD_Base+0x430	ЧТ/ЗП	0x00000000	GICD_IPRIORITY12	Регистр 12 приоритетов
GICD_Base+0x434	ЧТ/ЗП	0x00000000	GICD_IPRIORITY13	Регистр 13 приоритетов
GICD_Base+0x438	ЧТ/ЗП	0x00000000	GICD_IPRIORITY14	Регистр 14 приоритетов
GICD_Base+0x43C	ЧТ/ЗП	0x00000000	GICD_IPRIORITY15	Регистр 15 приоритетов
GICD_Base+0x440	ЧТ/ЗП	0x00000000	GICD_IPRIORITY16	Регистр 16 приоритетов
GICD_Base+0x444	ЧТ/ЗП	0x00000000	GICD_IPRIORITY17	Регистр 17 приоритетов
GICD_Base+0x448	ЧТ/ЗП	0x00000000	GICD_IPRIORITY18	Регистр 18 приоритетов
GICD_Base+0x44C	ЧТ/ЗП	0x00000000	GICD_IPRIORITY19	Регистр 19 приоритетов
GICD_Base+0x450	ЧТ/ЗП	0x00000000	GICD_IPRIORITY20	Регистр 20 приоритетов
GICD_Base+0x454	ЧТ/ЗП	0x00000000	GICD_IPRIORITY21	Регистр 21 приоритетов
GICD_Base+0x458	ЧТ/ЗП	0x00000000	GICD_IPRIORITY22	Регистр 22 приоритетов
GICD_Base+0x45C	ЧТ/ЗП	0x00000000	GICD_IPRIORITY23	Регистр 23 приоритетов
GICD_Base+0xC00	ЧТ/ЗП	0x0000AAAA	GICD_ICFGR0	Регистр 0 типа запроса
GICD_Base+0xC08	ЧТ/ЗП	0x55555555	GICD_ICFGR2	Регистр 2 типа запроса
GICD_Base+0xC0C	ЧТ/ЗП	0x55555555	GICD_ICFGR3	Регистр 3 типа запроса
GICD_Base+0xC10	ЧТ/ЗП	0x55555555	GICD_ICFGR4	Регистр 4 типа запроса
GICD_Base+0xC14	ЧТ/ЗП	0x55555555	GICD_ICFGR5	Регистр 5 типа запроса
GICD_Base+0xD04	ЧТ	0x00000000	GICD_IRAWST1	Регистр 1 состояния запросов от периферийных устройств
GICD_Base+0xD08	ЧТ	0x00000000	GICD_IRAWST2	Регистр 2 состояния запросов от периферийных устройств
GICD_Base+0xF00	ЗП	0x00000000	GICD_SGIR	Регистр программных запросов на прерывание

					ЮФКВ.431268.022РЭ		Лист 26
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2			

**Продолжение таблицы 1.4**

Адрес	Тип	Начальное значение	Имя	Описание
GICC_Base+0x000	ЧТ/ЗП	0x00000000	GICC_CTLR	Регистр управления интерфейсом с процессорным ядром
GICC_Base+0x004	ЧТ/ЗП	0x00000000	GICC_PMR	Регистр фильтра приоритетов
GICC_Base+0x008	ЧТ/ЗП	0x00000002	GICC_BPR	Регистр интервалов приоритета
GICC_Base+0x00C	ЧТ	0x0000007F	GICC_IAR	Регистр подтверждения прерывания
GICC_Base+0x010	ЗП	-	GICC_EOIR	Регистр завершения обработки прерывания
GICC_Base+0x014	ЧТ	0x000000FF	GICC_RPR	Регистр текущего приоритета обрабатываемого прерывания
GICC_Base+0x018	ЧТ	0x0000007F	GICC_HPPIR	Регистр наиболее приоритетного прерывания в состоянии ОЖИДАНИЯ
GICC_Base+0x01C	ЧТ/ЗП	0x00000003	GICC_ABPR	Зеркало регистра интервалов приоритета

**1.6.2.3.7.1 Особенности доступа к регистрам GIC**

Процессорное ядро ARM может находиться в двух состояниях: защищённое (secure) и незащищённое (non-secure). При каждом доступе в программно доступные регистры информация о состоянии ядра передаётся в GIC, соответственно, GIC различает защищённый доступ и незащищённый. Для некоторых регистров поведение при защищённом доступе отличается от поведения при незащищённом.

Доступ в регистры GIC необходимо делать с помощью инструкций чтения и записи 32-разрядного слова (LDR, STR). Исключение составляют регистры GICD\_IPRIORITY, в которые разрешён байтовый доступ (LDRB, STRB).

**1.6.2.3.7.2 Регистр включения GIC (GICD\_CTLR)**

Формат регистра GICD\_CTLR приведен в таблице 1.5.

**Таблица 1.5 – Формат регистра GICD\_CTLR**

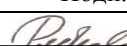
Биты	Название	Тип	Описание
[31:1]	Зарезервировано	-	
[0]	Enable	ЧТ/ЗП	Включение блока обработки запросов. Значение 0 – прерывания не передаются в интерфейсный блок, значение 1 разрешает прерываниям из состояния ожидания переходить в состояние обработки.

Физически имеется два экземпляра регистра GICD\_CTLR - для защищённого режима и для незащищённого:

- если процессорное ядро обращается в защищённом режиме, то производится доступ к экземпляру, управляющему прерываниями группы 0;
- если процессорное ядро обращается в незащищённом режиме, то производится доступ к экземпляру, управляющему группой 1.

**1.6.2.3.7.3 Регистр конфигурации GIC (GICD\_TYPER)**

Формат регистра GICD\_TYPER приведен в таблице 1.6

									Лист
									27
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020		38075-2						

**Таблица 1.6 – Формат регистра GICD\_TYPER**

Биты	Название	Тип	Описание
[31:11]	Зарезервировано	-	
[10]	SecurityExtn	ЧТ	Контроллер поддерживает расширения безопасности, поэтому данный бит имеет значение 1
[9:8]	Зарезервировано	-	
[7:5]	CPUNumber	ЧТ	Количество интерфейсов с процессорными ядрами, данное поле имеет значение 000 – один интерфейс
[4:0]	ITLinesNumber	ЧТ	Максимальное число поддерживаемых прерываний, определяемое как 32*(ITLinesNumber + 1). Данный экземпляр GIC поддерживает до 96 прерываний, поэтому данное поле имеет значение 2

Данный регистр нужен для того, чтобы универсальное ПО определяло конфигурацию GIC.

**1.6.2.3.7.4 Регистр идентификации GIC (GICD\_IIDR)**

Формат регистра GICD\_DIIDR приведен в таблице 1.7.

**Таблица 1.7 – Формат регистра GICDIIDR**

Биты	Название	Тип	Описание
[31:16]	Зарезервировано	-	
[15:12]	Revision	ЧТ	Номер ревизии
[11:0]	Implementer	ЧТ	Код разработчика блока по JEP106 (0x0000043B – код фирмы ARM)

**1.6.2.3.7.5 Регистры принадлежности к группе (GICD\_IGROUPR0 – GICD\_IGROUPR2)**

Формат регистров GICD\_IGROUPR0 – GICD\_IGROUPR2 приведен в таблице 1.8.

**Таблица 1.8 – Формат регистров GICD\_IGROUPR0 – GICD\_IGROUPR2**

Биты	Название	Тип	Описание
[31:0]	Group	ЧТ/ЗП	Каждый бит регистра соответствует одной линии прерывания. Значение 0 – прерывание принадлежит к группе 0, значение 1 – прерывание принадлежит к группе 1.

Данные регистры доступны только в защищённом режиме.

Имеются 3 экземпляра регистров:

- в регистре GICD\_IGROUPR0 доступны только биты 0-7 (программные прерывания 0-7 соответственно), биты 8-31 зарезервированы;
- в регистре GICD\_IGROUPR1 биты 0-31 соответствуют прерываниям 32-63 соответственно;
- в регистре GICD\_IGROUPR2 биты 0-31 соответствуют прерываниям 64-95 соответственно.

Регистры включения прерываний (GICD\_ISENABLER0 – GICD\_ISENABLER2)

Формат регистров GICD\_ISENABLER0 – GICD\_ISENABLER2 приведен в таблице 1.9.

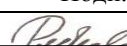
**Таблица 1.9 – Формат регистров GICD\_ISENABLER0 – GICD\_ISENABLER2**

Биты	Название	Тип	Описание
[31:0]	Set-enable	ЧТ/ЗП	Каждый бит регистра соответствует одной линии прерывания. Запись значения 1 в бит регистра включает соответствующее прерывание, запись значения 0 в бит регистра никак не влияет на состояние соответствующего прерывания. При чтении значение 0 означает, что соответствующее прерывание выключено, значение 1 – включено.

В незащищённом режиме для чтения и записи недоступны биты прерываний, относящихся к группе 0.

Имеются 3 экземпляра регистров:

- в регистре GICD\_ISENABLER0 доступны только биты 0-7 (программные прерывания 0-7 соответственно), биты 8-31 зарезервированы;

									Лист
									28
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					

- в регистре GICD\_ISENABLER1 биты 0-31 соответствуют прерываниям 32-63 соответственно;
- в регистре GICD\_ISENABLER2 биты 0-31 соответствуют прерываниям 64-95 соответственно.

1.6.2.3.7.6 Регистры выключения прерываний (GICD\_ICENABLER0 – GICD\_ICENABLER2)

Формат регистров GICD\_ICENABLER0 – GICD\_ICENABLER2 приведен в таблице 1.10.

**Таблица 1.10 – Формат регистров GICD\_ICENABLER0 – GICD\_ICENABLER2**

Биты	Название	Тип	Описание
[31:0]	Clear-enable	ЧТ/ЗП	Каждый бит регистра соответствует одной линии прерывания. Запись значения 1 в бит регистра выключает соответствующее прерывание, запись значения 0 в бит регистра никак не влияет на состояние соответствующего прерывания. При чтении значение 0 означает, что соответствующее прерывание выключено, значение 1 – включено.

В незащищённом режиме для чтения и записи недоступны биты прерываний, относящихся к группе 0.

Имеются 3 экземпляра регистров:

- в регистре GICD\_ICENABLER0 доступны только биты 0-7 (программные прерывания 0-7 соответственно), биты 8-31 зарезервированы;
- в регистре GICD\_ICENABLER1 биты 0-31 соответствуют прерываниям 32-63 соответственно;
- в регистре GICD\_ICENABLER2 биты 0-31 соответствуют прерываниям 64-95 соответственно.

1.6.2.3.7.7 Регистры перехода в режим ожидания (GICD\_ISPENDR0 – GICD\_ISPENDR2)

Формат регистров GICD\_ISPENDR0 – GICD\_ISPENDR2 приведен в таблице 1.11

**Таблица 1.11 – Формат регистров GICD\_IPENDR0 – GICD\_IPENDR2**

Биты	Название	Тип	Описание
[31:0]	Set-pending	ЧТ/ЗП	Каждый бит регистра соответствует одной линии прерывания. Запись значения 1 в бит регистра переводит соответствующее прерывание из неактивного состояния в состояние ОЖИДАНИЯ, запись значения 0 в бит регистра никак не влияет на состояние соответствующего прерывания. При чтении значение 0 означает, что соответствующее прерывание не находится в состоянии ОЖИДАНИЯ, значение 1 – прерывание находится в состоянии ОЖИДАНИЯ.

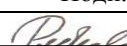
В незащищённом режиме для чтения и записи недоступны биты прерываний, относящихся к группе 0.

Имеются 3 экземпляра регистров:

- в регистре GICD\_ISPENDR0 доступны только биты 0-7 (программные прерывания 0-7 соответственно), биты 8-31 зарезервированы;
- в регистре GICD\_ISPENDR1 биты 0-31 соответствуют прерываниям 32-63 соответственно;
- в регистре GICD\_ISPENDR2 биты 0-31 соответствуют прерываниям 64-95 соответственно.

1.6.2.3.7.8 Регистры выхода из режима ожидания (GICD\_ICPENDR0 – GICD\_ICPENDR2)

Формат регистров GICD\_ICPENDR0 – GICD\_ICPENDR2 приведен в таблице 1.12.

									Лист
									29
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020		38075-2						

**Таблица 1.12 – Формат регистров GICD\_IPENDR0 – GICD\_ISPENDR2**

Биты	Название	Тип	Описание
[31:0]	Clear-pending	ЧТ/ЗП	Каждый бит регистра соответствует одной линии прерывания. Запись значения 1 в бит регистра переводит соответствующее прерывание из состояния ОЖИДАНИЯ в неактивное состояние, запись значения 0 в бит регистра никак не влияет на состояние соответствующего прерывания. При чтении значение 0 означает, что соответствующее прерывание не находится в состоянии ОЖИДАНИЯ, значение 1 – прерывание находится в состоянии ОЖИДАНИЯ.

В незащищённом режиме для чтения и записи недоступны биты прерываний, относящихся к группе 0.

Имеются 3 экземпляра регистров:

- в регистре GICD\_ICPENDR0 доступны только биты 0-7 (программные прерывания 0-7 соответственно), биты 8-31 зарезервированы;
- в регистре GICD\_ICPENDR1 биты 0-31 соответствуют прерываниям 32-63 соответственно;
- в регистре GICD\_ICPENDR2 биты 0-31 соответствуют прерываниям 64-95 соответственно.

**1.6.2.3.7.9 Регистры состояния обработки прерывания (GICD\_ICDABR0 – GICD\_ICDABR2)**

Формат регистров GICD\_ICDABR0 – GICD\_ICDABR2 приведен в таблице Таблица 1.13.

**Таблица 1.13 – Формат регистров GICD\_CDABR0 – GICD\_ICDABR2**

Биты	Название	Тип	Описание
[31:0]	Active	ЧТ	Каждый бит регистра соответствует одной линии прерывания. При чтении значение 0 означает, что соответствующее прерывание не находится в состоянии ОБРАБОТКИ, значение 1 – прерывание находится в состоянии ОБРАБОТКИ.

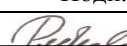
В незащищённом режиме для чтения недоступны биты прерываний, относящихся к группе 0.

Имеются 3 экземпляра регистров:

- в регистре GICD\_ICDABR0 доступны только биты 0-7 (программные прерывания 0-7 соответственно), биты 8-31 зарезервированы;
- в регистре GICD\_ICDABR1 биты 0-31 соответствуют прерываниям 32-63 соответственно;
- в регистре GICD\_ICDABR2 биты 0-31 соответствуют прерываниям 64-95 соответственно.

**1.6.2.3.7.10 Регистры приоритетов (GICD\_IPRIORITY0 – GICD\_IPRIORITY23)**

Каждый регистр GICD\_IPRIORITY содержит четыре восьмиразрядных поля, каждое поле соответствует одной линии прерывания. Возможные значения поля: 0-31. Максимальный приоритет – 0, минимальный – 31. В таблице 1.14 показано, как поля приоритетов распределены по регистрам.

									Лист
									30
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020		38075-2						



**Таблица 1.14 – Формат регистров GICD\_IPRIORITY0 - GICD\_IPRIORITY23**

Номер прерывания, Interrupt ID	Экземпляр регистра GICD_IPRIORITY	Поле	Номер прерывания, Interrupt ID	Экземпляр регистра GICD_IPRIORITY	Поле
0	GICD_IPRIORITY0	Биты 7-3	1	GICD_IPRIORITY0	Биты 15-11
2		Биты 23-19	3		Биты 31-27
4	GICD_IPRIORITY1	Биты 7-3	5	GICD_IPRIORITY1	Биты 15-11
6		Биты 23-19	7		Биты 31-27
-	-	-	-	-	-
32	GICD_IPRIORITY8	Биты 7-3	33	GICD_IPRIORITY8	Биты 15-11
34		Биты 23-19	35		Биты 31-27
36	GICD_IPRIORITY9	Биты 7-3	37	GICD_IPRIORITY9	Биты 15-11
38		Биты 23-19	39		Биты 31-27
40	GICD_IPRIORITY10	Биты 7-3	41	GICD_IPRIORITY10	Биты 15-11
42		Биты 23-19	43		Биты 31-27
44	GICD_IPRIORITY11	Биты 7-3	45	GICD_IPRIORITY11	Биты 15-11
46		Биты 23-19	47		Биты 31-27
48	GICD_IPRIORITY12	Биты 7-3	49	GICD_IPRIORITY12	Биты 15-11
50		Биты 23-19	51		Биты 31-27
52	GICD_IPRIORITY13	Биты 7-3	53	GICD_IPRIORITY13	Биты 15-11
54		Биты 23-19	55		Биты 31-27
56	GICD_IPRIORITY14	Биты 7-3	57	GICD_IPRIORITY14	Биты 15-11
58		Биты 23-19	59		Биты 31-27
60	GICD_IPRIORITY15	Биты 7-3	61	GICD_IPRIORITY15	Биты 15-11
62		Биты 23-19	63		Биты 31-27
64	GICD_IPRIORITY16	Биты 7-3	65	GICD_IPRIORITY16	Биты 15-11
66		Биты 23-19	67		Биты 31-27
68	GICD_IPRIORITY17	Биты 7-3	69	GICD_IPRIORITY17	Биты 15-11
70		Биты 23-19	71		Биты 31-27
72	GICD_IPRIORITY18	Биты 7-3	73	GICD_IPRIORITY18	Биты 15-11
74		Биты 23-19	75		Биты 31-27
76	GICD_IPRIORITY19	Биты 7-3	77	GICD_IPRIORITY19	Биты 15-11
78		Биты 23-19	79		Биты 31-27
80	GICD_IPRIORITY20	Биты 7-3	81	GICD_IPRIORITY20	Биты 15-11
82		Биты 23-19	83		Биты 31-27
84	GICD_IPRIORITY21	Биты 7-3	85	GICD_IPRIORITY21	Биты 15-11
86		Биты 23-19	87		Биты 31-27
88	GICD_IPRIORITY22	Биты 7-3	89	GICD_IPRIORITY22	Биты 15-11
90		Биты 23-19	91		Биты 31-27
92	GICD_IPRIORITY23	Биты 7-3	93	GICD_IPRIORITY23	Биты 15-11
94		Биты 23-19	95		Биты 31-27

В незащищённом режиме для чтения и записи недоступны поля приоритетов прерываний, относящихся к группе 0.

*1.6.2.3.7.11 Регистры типа запроса (GICD\_ICFGR0 – GICD\_ICFGR5)*

Каждый регистр GICD\_ICFGR содержит 16 двухразрядных полей. Значения поля: b01 – прерывание типа «по уровню», b11 – прерывание типа «по фронту». В таблице Таблица 1.15 показано, как поля распределены по регистрам.

					ЮФКВ.431268.022РЭ					Лист				
										31				
Изм	Лист	№ докум.	Подп.	Дата	Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
					38075-3		16.10.2020		38075-2					

**Таблица 1.15 – Формат регистров GICD\_ICFGR0 - GICD\_ICFGR5**

Номер прерывания (Interrupt ID)	Экземпляр регистра GICD_ICFGR	Поле	Номер прерывания (Interrupt ID)	Экземпляр регистра GICD_ICFGR	Поле
0	GICD_ICFGR0	Биты 1-0	1	GICD_ICFGR0	Биты 3-2
2		Биты 5-4	3		Биты 7-6
4		Биты 9-8	5		Биты 11-10
6		Биты 13-12	7		Биты 15-14
-	-	-	-	-	-
32	GICD_ICFGR2	Биты 1-0	33	GICD_ICFGR2	Биты 3-2
34		Биты 5-4	35		Биты 7-6
36		Биты 9-8	37		Биты 11-10
38		Биты 13-12	39		Биты 15-14
40		Биты 17-16	41		Биты 19-18
42		Биты 21-20	43		Биты 23-22
44		Биты 25-24	45		Биты 27-26
46	Биты 29-28	47	Биты 31-30		
48	GICD_ICFGR3	Биты 1-0	49	GICD_ICFGR3	Биты 3-2
50		Биты 5-4	51		Биты 7-6
52		Биты 9-8	53		Биты 11-10
54		Биты 13-12	55		Биты 15-14
56		Биты 17-16	57		Биты 19-18
58		Биты 21-20	59		Биты 23-22
60		Биты 25-24	61		Биты 27-26
62	Биты 29-28	63	Биты 31-30		
64	GICD_ICFGR4	Биты 1-0	65	GICD_ICFGR4	Биты 3-2
66		Биты 5-4	67		Биты 7-6
68		Биты 9-8	69		Биты 11-10
70		Биты 13-12	71		Биты 15-14
72		Биты 17-16	73		Биты 19-18
74		Биты 21-20	75		Биты 23-22
76		Биты 25-24	77		Биты 27-26
78	Биты 29-28	79	Биты 31-30		
80	GICD_ICFGR5	Биты 1-0	81	GICD_ICFGR5	Биты 3-2
82		Биты 5-4	83		Биты 7-6
84		Биты 9-8	85		Биты 11-10
86		Биты 13-12	87		Биты 15-14
88		Биты 17-16	89		Биты 19-18
90		Биты 21-20	91		Биты 23-22
92		Биты 25-24	93		Биты 27-26
94	Биты 29-28	95	Биты 31-30		

В незащищённом режиме для чтения и записи доступны только поля приоритетов прерываний, относящихся к группе 1. При этом доступны только старшие 4 бита каждого поля и значения 0-15 соответствуют приоритетам 16-32 соответственно.

**1.6.2.3.7.12 Регистры состояния запросов от периферийных устройств (GICD\_IRAWST1 и GICD\_IRAWST2)**

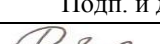
Формат регистров GICD\_IRAWST1, GICD\_IRAWST2 приведен в таблице 1.16.

**Таблица 1.16 – Формат регистров GICD\_IRAWST1, GICD\_IRAWST2**

Биты	Название	Тип	Описание
[31:0]	RawStatus	ЧТ	Каждый бит регистра соответствует одной линии прерывания. Регистр показывает состояние линии прерывания на входе в GIC: 0 – нет запроса, 1 – есть запрос.

Регистр доступен только в защищённом режиме. Значение битов, соответствующих прерываниям типа «по фронту», не определено.

Имеются 2 экземпляра регистров:

					Лист
					32
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		 16.10.2020		38075-2	



- в регистре GICD\_IRAWST1 биты 0-31 соответствуют прерываниям 32-63 соответственно;
- в регистре GICD\_IRAWST2 биты 0-31 соответствуют прерываниям 64-95 соответственно.

1.6.2.3.7.13 Регистр программных запросов на прерывание (GICD\_SGIR)

Формат регистра GICD\_SGIR приведен в таблице 1.17.

**Таблица 1.17 – Формат регистра GICD\_SGIR**

Биты	Название	Тип	Описание
[31:26]	Зарезервировано	-	
[25:24]	TargetListFilter	ЗП	В это поле следует всегда записывать b00
[23:16]	CPUTargetList	ЗП	В это поле следует всегда записывать b00000001
[15]	NSATT	ЗП	Бит незащищенного режима. Запрос на прерывание генерируется, только если справедливо одно из условий: записываемое значение данного бита – 0, запись в данный регистр производится в защищенном режиме и прерывание, выбранное полем SGIINTID, отнесено к группе 0, записываемое значение данного бита – 1, запись в данный регистр производится в защищенном режиме и прерывание, выбранное полем SGIINTID, отнесено к группе 1, записываемое значение данного бита – любое, запись в данный регистр производится в незащищенном режиме и прерывание, выбранное полем SGIINTID, отнесено к группе 1.
[14:4]	Зарезервировано	-	
[3:0]	SGIINTID	ЗП	Номер программного прерывания (Interrupt ID), на которое будет сделан запрос. Допустимые значения: 0-7 (прерывания 0-7 соответственно).

Запись в данный регистр инициирует запрос на программное прерывание.

1.6.2.3.7.14 Регистр управления интерфейсом с процессорным ядром (GICC\_CTLR)

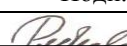
Формат регистра GICC\_CTLR приведен в таблице 1.18.

**Таблица 1.18 – Формат регистра GICC\_CTLR**

Биты	Название	Тип	Описание
[31:5]	Зарезервировано	-	
[4]	SBPR	ЧТ/ЗП	Бит определяет, каким регистром задаётся размер интервала приоритетов в группе 1. Значение 0 – экземпляром регистра GICC_BPR для группы 1 (или, что то же самое, регистром GICC_ABPR) значение 1 – экземпляром регистра GICC_BPR для группы 0 (то есть одинаковое разбиение для группы 0 и группы 1).
[3]	FIQEn	ЧТ/ЗП	Бит режима прерывания. Значение 0 – прерывания группы 0 обрабатываются ядром ARM в режиме IRQ, значение 1 – в режиме FIQ.
[2]	AckCtl	ЧТ/ЗП	Управляет режимом подтверждения прерываний группы 1. Влияет на поведение регистров GICC_IAR и GICC_EOIR.
[1]	EnableGrp1	ЧТ/ЗП	Включение прерываний группы 1. Значение 0 – выключены, значение 1 – включены.
[0]	EnableGrp0	ЧТ/ЗП	Включение прерываний группы 0. Значение 0 – выключены, значение 1 – включены.

1.6.2.3.7.15 Регистр фильтра приоритетов (GICC\_PMR)

Представление данного регистра различается при защищенном и незащищенном доступе. В защищенном режиме можно установить текущий пороговый уровень в значение от 0 до 31. Формат регистра GICC\_PMR в защищенном режиме приведен в таблице 1.19.

									Лист
									33
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020		38075-2						

**Таблица 1.19 – Формат регистра GICC\_PMR в защищенном режиме**

Биты	Название	Тип	Описание
[31:8]	Зарезервировано	-	
[7:3]	Priority	ЧТ/ЗП	Пороговый уровень приоритета. Все запросы на прерывание с приоритетом ниже или равным значению данного поля маскируются.
[2:0]	Зарезервировано	-	

В незащищенном режиме можно установить текущий пороговый уровень в значение от 16 до 31. Формат регистра GICC\_PMR в незащищенном режиме приведен в таблице 1.20.

**Таблица 1.20 – Формат регистра GICC\_PMR в незащищенном режиме**

Биты	Название	Тип	Описание
[31:8]	Зарезервировано	-	
[7:4]	Priority	ЧТ/ЗП	Пороговый уровень приоритета. При этом считается, что старший бит приоритета равен 1 (то есть значения 0-15 данного поля устанавливают приоритет 16-31 соответственно).
[2:0]	Зарезервировано	-	

Если в защищенном режиме запрограммирован текущий приоритет от 0 до 15, то любая незащищенная запись не проходит, а незащищенное чтение выдает 0.

**1.6.2.3.7.16 Регистр интервалов приоритета (GICC\_BPR)**

Формат регистра GICC\_BPR приведен в таблице 1.21.

**Таблица 1.21 – Формат регистра GICC\_BPR**

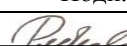
Биты	Название	Тип	Описание
[31:3]	Зарезервировано	-	
[2:0]	BinaryPoint	ЧТ/ЗП	Длина интервала приоритетов

Регистр GICC\_BPR разбивает все возможные значения приоритетов прерываний на интервалы одинаковой длины, которые используются в механизме вложенных прерываний. Длиной интервала считается количество разных значений приоритетов в одном интервале. Физически имеется два экземпляра регистра GICC\_BPR: регистр группы 0 (Таблица 1.22) и регистр группы 1 (Таблица 1.23).

**Таблица 1.22 – Формат регистра GICC\_BPR группы 0**

Значение поля BinaryPoint	Длина интервала	Количество интервалов	Разделение приоритетов по интервалам
0	-	-	Зарезервировано
1	-	-	Зарезервировано
2	1	32	0, 1, ..., 31 – по одному приоритету в интервале
3	2	16	0-1, 2-3, ..., 30-31
4	4	8	0-3, 4-7, ..., 28-31
5	8	4	0-7, 8-15, 16-32, 24-31
6	16	2	0-15, 16-31
7	32	1	0-31 – все приоритеты в одном интервале

Прерывания группы 1 имеют приоритеты с 16 по 31, поэтому кодировка регистра GICC\_BPR для группы 1 отличается.

					ЮФКВ.431268.022РЭ			Лист
								34
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		 16.10.2020		38075-2				

**Таблица 1.23 – Формат регистра GICC\_BPR группы 1**

Значение поля BinaryPoint	Длина интервала	Количество интервалов	Разделение приоритетов по интервалам
0	-	-	Зарезервировано
1	-	-	Зарезервировано
2	-	-	Зарезервировано
3	1	16	16, 17, ..., 31 – по одному приоритету в интервале
4	2	8	16-17, 18-19, ..., 30-31
5	4	4	16-19, 20-23, 24-27, 28-31
6	8	2	16-23, 24-31
7	16	1	16-31 – все приоритеты группы 1 в одном интервале

Не допускается записывать в регистр GICC\_BPR зарезервированные значения.

Экземпляр регистра группы 1 может не использоваться (см. описание бита GICC\_CTLR[SBPR]).

**1.6.2.3.7.17 Регистр подтверждения прерывания (GICC\_IAR)**

Формат регистра GICC\_IAR приведен в таблице 1.24.

**Таблица 1.24 – Формат регистра GICC\_IAR**

Биты	Название	Тип	Описание
[31:7]	Зарезервировано	-	
[6:0]	InterruptID	ЧТ	Номер самого приоритетного на данный момент прерывания.

Чтение из данного регистра

- возвращает номер наиболее приоритетного на данный момент прерывания;
- переводит это прерывание в состояние ОБРАБОТКИ.

Описанные действия производятся контроллером только в ответ на валидное чтение.

Если наиболее приоритетным на данный момент является прерывание из группы 0, то валидным считается чтение только в защищённом режиме процессора. Если из группы 1, то возможны варианты:

- чтение в незащищённом режиме валидно;
- если бит GICC\_CTLR[AckCtl] заранее установлен в 1, то валидно чтение в защищённом режиме.

При любых других условиях чтение считается невалидным. Невалидное чтение не влияет на внутреннее состояние контроллера и возвращает

- значение 1022 в случае, когда наиболее приоритетное прерывание принадлежит группе 1, чтение в защищённом режиме и бита GICC\_CTLR[AckCtl]=0;
- значение 1023 во всех других случаях.

**1.6.2.3.7.18 Регистр завершения обработки прерывания (GICC\_EOIR)**

Формат регистра GICC\_EOIR приведен в таблице 1.25.

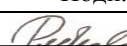
**Таблица 1.25 – Формат регистра GICC\_EOIR**

Биты	Название	Тип	Описание
[31:10]	Зарезервировано	-	
[9:0]	EOINTID	ЗП	Номер прерывания

Валидная запись в данный регистр переводит прерывание с номером EOINTID из режима ОБРАБОТКИ в неактивное состояние.

Запись считается валидной если справедливо одно из условий:

- прерывание с номером EOINTID принадлежит группе 0 и запись производится в защищённом режиме,

					ЮФКВ.431268.022РЭ			Лист
								35
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		 16.10.2020		38075-2				

- прерывание с номером EOINTID принадлежат группе 1 и запись производится в незащищённом режиме,
- прерывание с номером EOINTID принадлежат группе 1, запись производится в защищённом режиме и бит GICC\_CTLR[AckCtl]=1.

Любая другая запись считается невалидной, кроме того

- запись в защищённом режиме при значении бита GICC\_CTLR[AckCtl]=0 недопустима;
- при AckCtl=0 записываемое в защищённом режиме значение EOINTID должно соответствовать последнему прочитанному в защищённом режиме значению InterruptID регистра GICC\_IAR;
- при AckCtl=1 записываемое в защищённом режиме значение EOINTID должно соответствовать последнему прочитанному в любом режиме значению InterruptID регистра GICC\_IAR;
- записываемое в незащищённом режиме значение EOINTID должно соответствовать последнему прочитанному в незащищённом режиме значению InterruptID регистра GICC\_IAR.

#### 1.6.2.3.7.19 Регистр текущего приоритета обрабатываемого прерывания (GICC\_RPR)

Представление данного регистра различается при защищённом (Таблица 1.26) и незащищённом доступе (Таблица 1.27).

**Таблица 1.26 – Формат регистра GICC\_RPR в защищенном режиме**

Биты	Название	Тип	Описание
[31:8]	Зарезервировано	-	
[7:3]	Priority	ЧТ	Приоритет прерывания, находящегося в состоянии ОБРАБОТКИ. Возвращается наивысший приоритет из интервала, в котором находится наиболее приоритетное на данный момент прерывание.
[2:0]	Зарезервировано	-	

**Таблица 1.27 – Формат регистра GICC\_RPR в незащищенном режиме**

Биты	Название	Тип	Описание
[31:8]	Зарезервировано	-	
[7:4]	Priority	ЧТ	Приоритет прерывания группы 1, находящегося в состоянии ОБРАБОТКИ. При этом считается, что старший бит приоритета равен 1 (то есть значения 0-15 данного поля означает приоритет 16-31 соответственно). Если в состоянии обработки находится прерывание группы 0, то данное поле возвращает 0.
[2:0]	Зарезервировано	-	

#### 1.6.2.3.7.20 Регистр наиболее приоритетного прерывания в состоянии ОЖИДАНИЯ (GICC\_HPPIR)

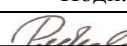
Формат регистра GICC\_HPPIR приведен в таблице 1.28.

**Таблица 1.28 – Формат регистра GICC\_HPPIR**

Биты	Название	Тип	Описание
[31:10]	Зарезервировано	-	
[9:0]	PENDINTID	ЧТ	Номер наиболее приоритетного прерывания в состоянии ОЖИДАНИЯ.

При защищённом чтении регистр возвращает:

- номер наиболее приоритетного прерывания из всех находящихся в состоянии ОЖИДАНИЯ, если бит GICC\_CTLR[AckCtl]=1;
- номер наиболее приоритетного прерывания из группы 0, находящегося в состоянии ОЖИДАНИЯ;

									Лист
									36
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	 16.10.2020		38075-2						

- значение 1022, если в состоянии ожидания находятся только прерывания группы 1;
- значение 1023 во всех остальных случаях.

При незащищённом чтении регистр возвращает:

- номер наиболее приоритетного прерывания из группы 1, находящегося в состоянии ОЖИДАНИЯ;
- значение 1023.

#### 1.6.2.3.7.21 Зеркало регистра интервалов приоритета (GICC\_ABPR)

Зеркало регистра интервалов приоритета позволяет в защищённом режиме производить доступ в экземпляр регистра интервала приоритетов для группы прерываний 1 (доступный по адресу регистра GICC\_BPR только в незащищённом режиме).

#### 1.6.2.3.8 Порядок работы с GIC

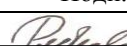
В данном разделе описывается пример работы с GIC в простом случае: все прерывания обрабатываются в режиме IRQ, настройки приоритетов оставлены по умолчанию. Представлен порядок действий программы, выполняемой на процессорном ядре ARM непосредственно связанном с данным GIC.

Порядок инициализации после системного сброса:

- запись в регистры GICD\_ICFGR информации о типе запросов от каждого периферийного устройства: по фронту или по уровню;
- запись в регистры GICD\_IGROUPR значения 0 – все прерывания относятся к группе 0;
- запись в регистры GICD\_ISENABLER информации о том, какие прерывания следует включить;
- запись в регистр GICC\_PMR значения 0xFF – разрешение прерываний любого приоритета;
- запись в регистр GICC\_CTLR значения 1 – включение блока интерфейса с процессорным ядром;
- запись в регистр GICD\_CTLR значения 1 – включение блока обработки запросов от периферийных устройств;
- разрешение прерывания IRQ в процессорном ядре ARM (если уже не включено).

Порядок обработки прерывания:

- при получении запроса ядро ARM переходит в режим IRQ и выполняет первую инструкцию общего обработчика, расположенную по адресу 0x00000018 (или в другом месте, если переопределено при инициализации ядра ARM);
- общий обработчик читает регистр GICC\_IAR, чтобы определить номер прерывания (InterruptID);
- общий обработчик вызывает обработчик, ассоциированный с полученным номером прерывания;
- ассоциированный обработчик совершает необходимые действия с периферийным устройством, обычно добиваясь, что периферийное устройство снимает свой запрос, и возвращает управление общему обработчику;
- общий обработчик записывает в регистр GICC\_EOIR номер прерывания;
- общий обработчик делает возврат из режима IRQ.

									Лист
									37
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата			Взам.инв.№	Инва.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					

### 1.6.2.4 Система синхронизации и сброса (CRG)

Данный раздел описывает формирование системных сигналов синхронизации и сброса. Описание логики синхронизации и сброса, которая может присутствовать в составе отдельных устройств, не входит в данный раздел.

#### 1.6.2.4.1 Общая схема сигналов синхронизации и сброса

Общая схема сигналов синхронизации и сброса СБИС 1888BC058 показана на рисунке 1.7.

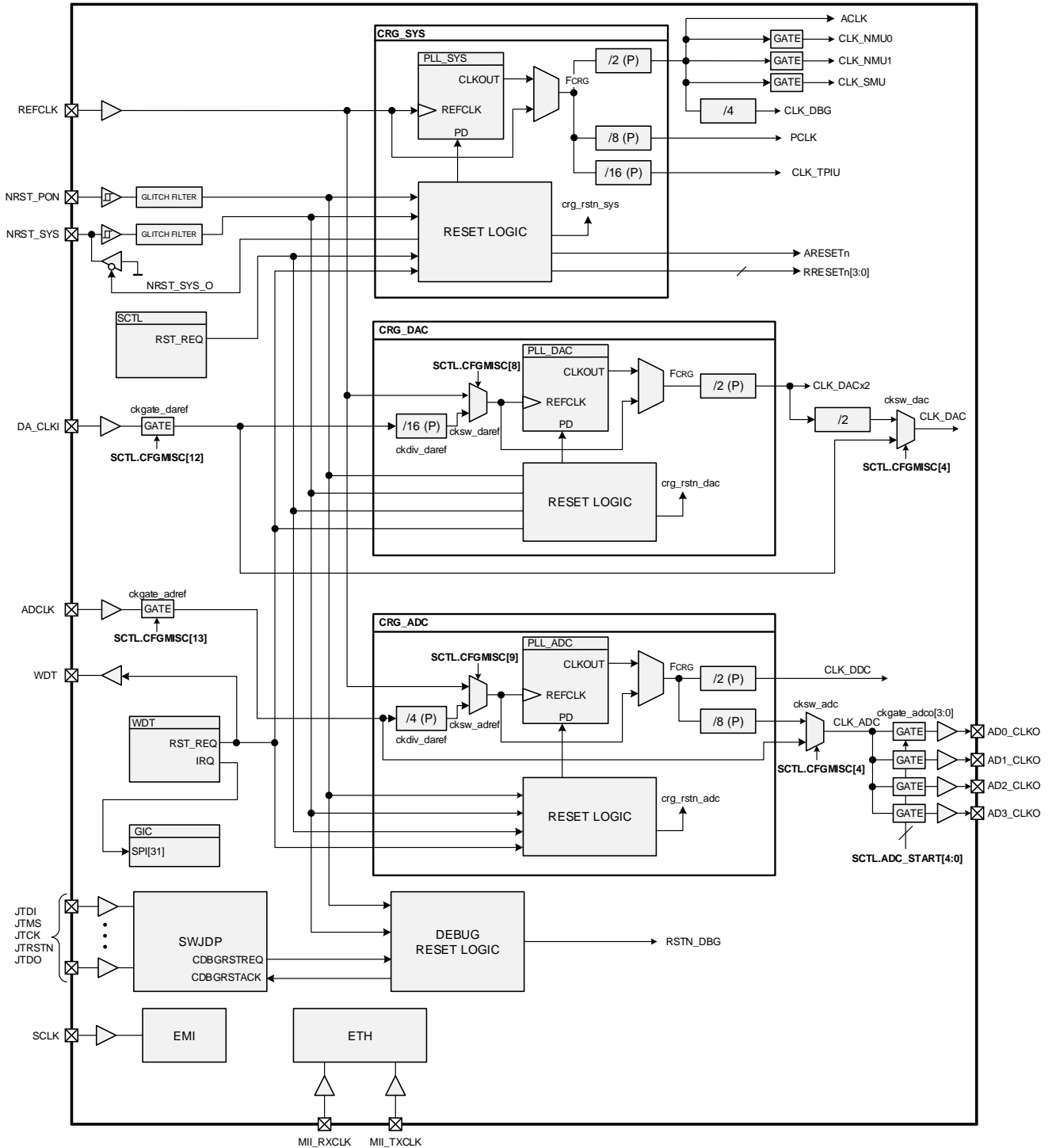


Рисунок 1.7 – Схема формирования системных сигналов синхронизации и сброса

					Лист
					38
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3	<i>Редук</i> 16.10.2020		38075-2		



В формировании системных сигналов синхронизации и сброса участвуют следующие устройства:

- CRG\_SYS – контроллер схемы ФАПЧ PLL\_SYS и основной контроллер сигналов сброса. Формирует синхросигналы для процессорных ядер, периферийных устройств и накристалльной коммутационной среды, а также сигналы сброса ARESETn/RRESETn[3:0] для большинства блоков СБИС. Также управляет состоянием внешнего вывода NRST\_SYS в режиме open-drain;
- CRG\_DAC – контроллер схемы ФАПЧ PLL\_DAC, формирует синхросигналы для работы интерфейсов с ЦАП;
- CRG\_ADC – контроллер схемы ФАПЧ PLL\_ADC, формирует синхросигналы для внешних АЦП и каналов предварительной обработки сигналов (DDC);
- SCTL – системный контроллер, содержит программно-доступный регистр SWRSTREQ, посредством которого формируется сигнал запроса на сброс, который воспринимается блоками CRG. Также содержит регистры, управляющие коммутацией и включением/выключением некоторых синхросигналов;
- WDT – сторожевой таймер, может формировать прерывание, а также сигнал запроса на сброс, который воспринимается блоками CRG, а также отражается на внешнем выводе WDT;
- SWJDP – контроллер отладочного порта доступа, может формировать запрос на сброс отладочного домена;
- DEBUG RESET LOGIC – логика формирования сигнала сброса для отладочного домена.

Более подробно функционирование и взаимосвязь этих блоков описана в следующих подразделах.

#### 1.6.2.4.2 Формирование сигналов сброса

СБИС 1888BC058 имеет следующие источники сброса:

- Внешний вывод NRST\_PON – сброс по включению питания. Данный сигнал полностью инициализирует логику внутри СБИС;
- Внешний вывод NRST\_SYS – системный сигнал сброса. Данный сигнал полностью инициализирует логику внутри СБИС, при этом сигнал сброса RSTN\_DBG снимается через 16 тактов REFCLK после активации NRST\_SYS, позволяя отладчику программировать домен отладки при удержании NRST\_SYS в активном состоянии. Также этот вывод может быть активирован изнутри СБИС на основе внутренних источников сброса SCTL и WDT (сигнал NRST\_SYS\_O), позволяя сбрасывать внешние по отношению к СБИС устройства, а также давая отладчику ARM возможность отследить сброс отлаживаемой цели. Вывод NRST\_SYS является опциональным, если он не используется, то он должен быть подтянут к высокому уровню;
- Запрос на сброс из контроллера SCTL – данный запрос поступает на блоки CRG\_SYS, CRG\_DAC, CRG\_ADC и приводит к сбросу СБИС, а также в зависимости от программных настроек может приводить к активации внешнего вывода NRST\_SYS, и сбросу блоков PLL внутри CRG. Данный запрос может быть замаскирован внутри устройств CRG;
- Запрос на сброс от сторожевого таймера WDT – поведение аналогично запросу на сброс от SCTL. Также этот сигнал запроса отражается на внешнем выводе WDT, позволяя принимать решение о сбросе снаружи СБИС (если этот запрос замаскировать в CRG);
- Запрос на сброс домена отладки из контроллера отладочного порта доступа SWJDP – выставляется отладчиком через регистр CTRL/STAT.

					ЮФКВ.431268.022РЭ		Лист
							39
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	
38075-3		<i>Редук</i> 16.10.2020		38075-2			

Источник сброса, который является причиной последнего сброса, фиксируется в регистре RST\_MON устройства CRG\_SYS.

Внутренними сигналами, которые непосредственно сбрасывают функциональные блоки внутри СБИС, являются:

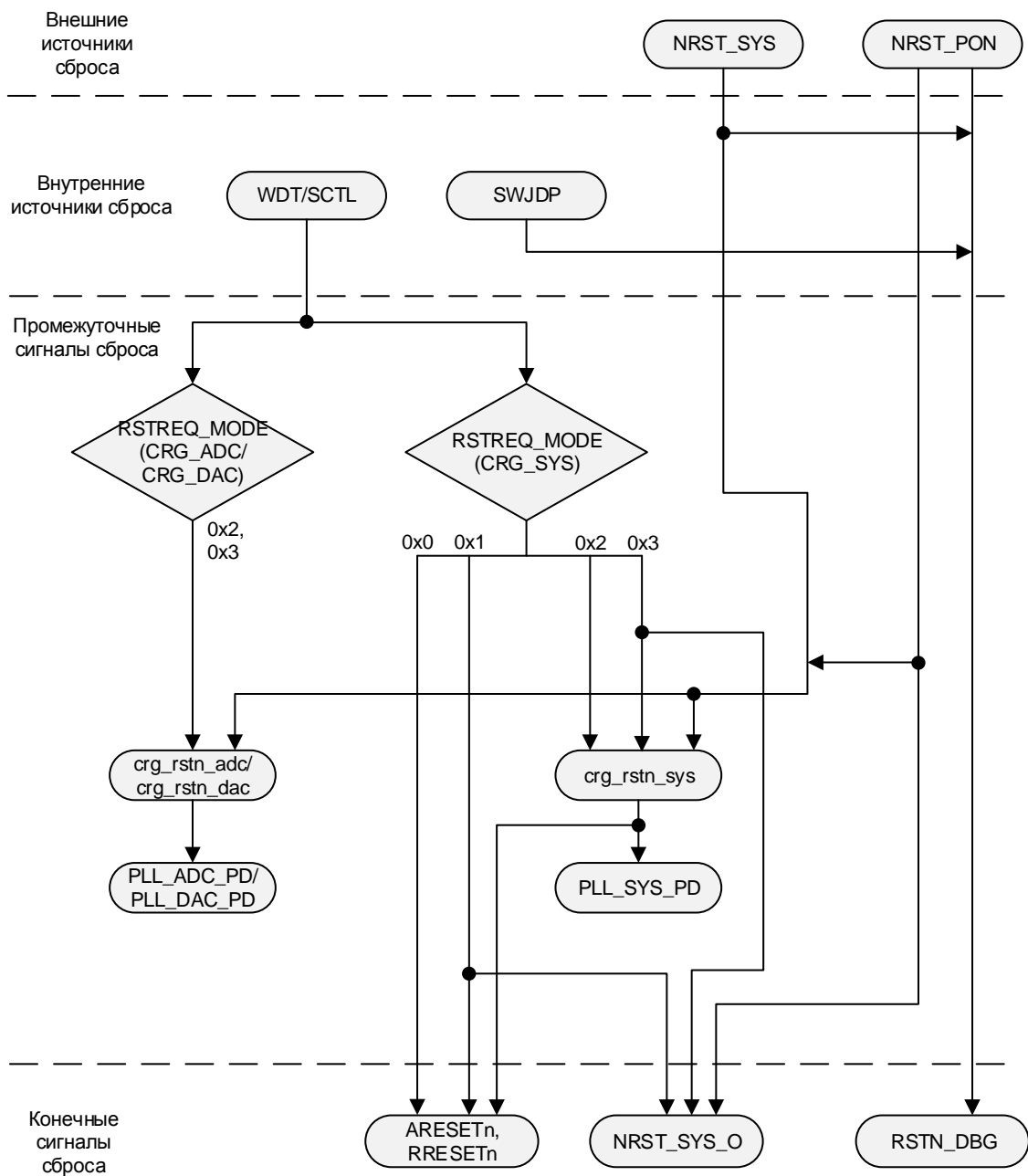
- ARESETn – корневой сигнал сброса для большинства функциональных блоков СБИС, кроме подсистемы отладки и трассировки. Управляется контроллером CRG\_SYS;
- RRESETn[3:0] – сбросы, программно управляемые из регистра RRESET контроллера CRG\_SYS:
  - RRESETn[3] – сброс подсистемы общей памяти SMU;
  - RRESETn[2] – сброс подсистемы NMU1;
  - RRESETn[1] – сброс подсистемы NMU0;
  - RRESETn[0] – сброс каналов DDC вместе с приемниками АЦП.
- RSTN\_DBG – сигнал сброса логики отладки и трассировки. Формируется отдельной управляющей логикой на основе входных источников сброса NRST\_SYS, NRST\_PON, CDBGIRSTREQ.

Также каждый блок CRG имеет свой внутренний сигнал сброса (crg\_rstn\_sys, crg\_rstn\_adc, crg\_rstn\_dac) и сигнал выключения блока PLL (PD - powerdown). Логика CRG, включая программно-доступные регистры, сбрасывается только при активации соответствующего сигнала сброса crg\_rstn\_sys, crg\_rstn\_adc, crg\_adc\_dac.

Иерархическая зависимость между сигналами сброса и источниками сброса показана на рисунке 1.8.

										Лист
										40
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	<i>Редюк</i> 16.10.2020			38075-2						





**Рисунок 1.8 – Иерархия сигналов сброса**

Как видно из рисунка, при внешнем сбросе через внешние выходы NRST\_PON или NRST\_SYS поведение всегда будет одинаковым. При сбросе по внутреннему запросу от SCTL или WDT поведение зависит от программных настроек в регистрах RST\_CFG2 в устройствах CRG (см. описание соответствующих регистров в разделах 1.6.2.4.4 - 1.6.2.4.6).

Кроме того, длительность удержания сигналов сброса ARESETn/RRESETn и NRST\_SYS\_O определяется настройками в регистрах RST\_CFG0 и RST\_CFG1 устройства CRG\_SYS.

					ЮФКВ.431268.022РЭ			Лист
								41
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
38075-3		<i>Резул</i> 16.10.2020		38075-2				

### 1.6.2.4.3 Формирование сигналов синхронизации

#### 1.6.2.4.3.1 Внешние опорные синхросигналы

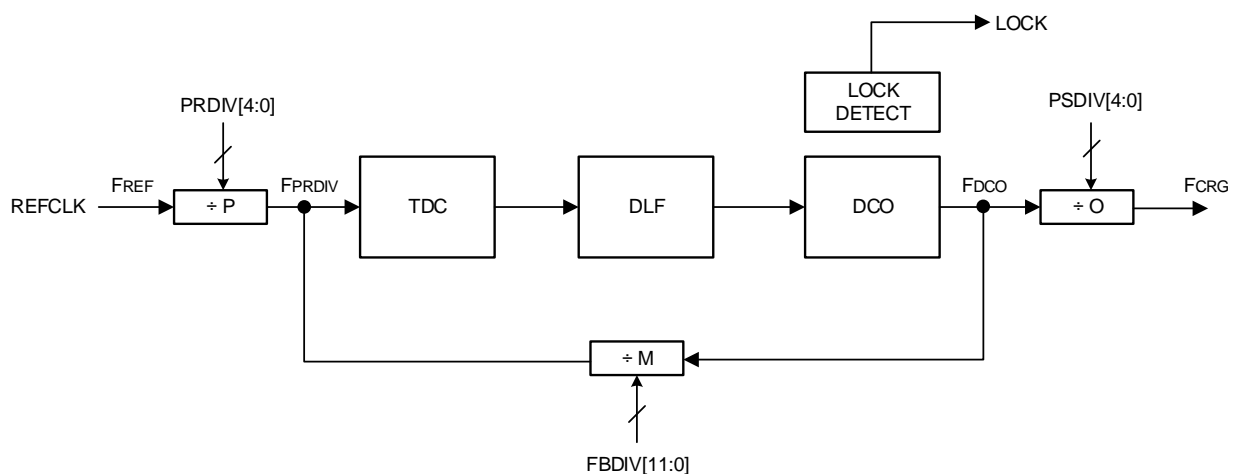
Список внешних опорных синхросигналов приведен в таблице 1.29.

**Таблица 1.29 – Опорные синхросигналы СБИС 1888BC058**

Название	Тип буфера	Назначение	Частота, МГц
REFCLK	CMOS	Опорный синхросигнал CRG_SYS. Может использоваться как опорный для CRG_ADC и CRG_DAC.	16
EMI_SCLK	CMOS	Синхросигнал интерфейса с внешней памятью	не более 90
DA_CLKI	LVDS	Опорный синхросигнал CRG_DAC	не более 512
ADCLK	LVDS	Опорный синхросигнал CRG_ADC	не более 128
MII_RXCLK	CMOS	Синхросигнал приема данных по интерфейсу MII	2.5/25
MII_TXCLK	CMOS	Синхросигнал передачи данных по интерфейсу MII	2.5/25

#### 1.6.2.4.3.2 Внутренние синхросигналы

Как показано на схеме формирования системных сигналов синхронизации и сброса (Рисунок 1.7), внутренние системные синхросигналы формируются устройствами CRG (CRG\_SYS, CRG\_DAC, CRG\_ADC). Устройства CRG (clock/reset generator) являются унифицированными контроллерами сигналов синхронизации и сброса, но имеют различную конфигурацию. Каждое устройство CRG содержит блок PLL, и набор выходных делителей с программируемыми коэффициентами. Устройства CRG позволяют программно настраивать частоту PLL и переводить их в режим bypass (обход PLL). Упрощенная структура блоков PLL показана на рисунке 1.9.



**Рисунок 1.9 – Структура системных блоков PLL**

TDC (Time-to-Digital) converter - цифровой преобразователь времени;  
DLF (Digital Loop Filter) - цифровой петлевой фильтр;  
DCO (Digitally controlled oscillator) - осциллятор с цифровым управлением;  
Lock Detect – детектор стабилизации частоты.

Каждый блок PLL имеет три делителя, которые могут программно настраиваться через регистры соответствующего контроллера CRG. Частоты определяются следующим образом:

$$F_{DCO} = F_{REF} \times \frac{FBDIV + 1}{PRDIV + 1}$$

					Лист	
					42	
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		

$$F_{CRG} = \frac{F_{DCO}}{PSDIV + 1},$$

где  $F_{DCO}$  – частота на выходе генератора DCO,

$F_{REF}$  – опорная частота,

$F_{CRG}$  – частота на выходе PLL,

$FBDIV$ ,  $PRDIV$ ,  $PSDIV$  – значения настройки делителя обратной связи, входного и выходного делителя соответственно. Эти значения управляются регистрами  $PLL\_FBDIV$ ,  $PLL\_PRDIV$ ,  $PLL\_PSDIV$  соответствующего контроллера CRG.

Частота  $F_{CRG}$  поступает на выходные программируемые делители контроллеров CRG, с которых уже получают системные синхросигналы. Начальные значения выходных делителей показаны на рисунке 1.7. При настройке частоты PLL следует учитывать, что частоты  $F_{DCO}$  и  $F_{CRG}$  имеют ограниченный диапазон. В таблице 1.30 приведены характеристики блоков PLL, а в таблице 1.31 – их начальная конфигурация.

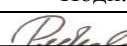
**Таблица 1.30 – Характеристики системных блоков PLL**

Обозначение параметра	Описание параметра	Не менее	Не более	Единица измерения
$F_{REF}$	Частота на входе входного делителя	0,032	50	МГц
$D_{REF}$	Коэффициент заполнения опорного синхросигнала (duty cycle)	40	60	%
$F_{PRDIV}$	Частота после входного делителя	0,032	50	МГц
$F_{DCO}$	Частота на выходе DCO	1500	2500	МГц
$F_{CRG}$	Частота после выходного делителя		1600	МГц
$T_{LOCK}$	Время стабилизации		50	мкс

**Таблица 1.31 – Начальная конфигурация системных блоков PLL**

Блок PLL	$F_{REF}$ , МГц	Коэффициент входного делителя (PRDIV)	Коэффициент делителя в обратной связи (FBDIV)	Коэффициент выходного делителя (PSDIV)	$F_{DCO}$ , МГц	$F_{CRG}$ , МГц
PLL_SYS	16	1	128	2	2048	1024
PLL_ADC	PLL выключена, на выходные делители CRG пропускается синхросигнал REFCLK					
PLL_DAC	PLL выключена, на выходные делители CRG пропускается синхросигнал REFCLK					

Список системных синхросигналов, получаемых на выходе устройств CRG, приведен в таблице 1.32.

									Лист
									43
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		 16.10.2020		38075-2					

**Таблица 1.32 – Список системных синхросигналов**

Название синхросигнала	Описание, тактируемые устройства	Максимальная частота при наихудших условиях, МГц	Источник
ACLK	Системный тактовый сигнал – быстрый домен ARM NMTOP MDMAC AMB0, AMB1 EMI (AXI-интерфейсы) GIC NIC400 (быстрый домен)	512	Программируемый делитель #0 в CRG_SYS
PCLK	Системный тактовый сигнал - медленный домен. GPIOA - GPIOE SPI0 - SPI4 SCTL UART0, UART1 CRG_SYS (регистры) CRG_DAC (регистры) CRG_ADC (регистры) EMI (регистры) DIT WDT GRETH NIC400 (медленный домен)	128	Программируемый делитель #1 в CRG_SYS
CLK_TPIU	Тактовый сигнал контроллера внешнего порта трассировки	64	Программируемый делитель #2 в CRG_SYS
CLK_DBG	Тактовый сигнал подсистемы отладки	100	Фиксированный делитель /4 от ACLK
CLK_DACx2	Тактовый сигнал интерфейсов ЦАП (удвоенная частота)	1024	Программируемый #0 делитель в CRG_DAC
CLK_DAC	Тактовый сигнал интерфейсов ЦАП	512	LVDS-вход DA_CLKI либо фиксированный делитель /2 от CLK_DACx2
CLK_DDC	Тактовый сигнал каналов предварительной обработки сигналов(DDC)	512	Программируемый делитель #0 в CRG_ADC
CLK_ADC	Тактовый сигнал для внешних микросхем АЦП, поступает на выводы AD0_CLKO - AD3_CLKO	128	LVDS-вход ADCLK либо программируемый делитель #0 в CRG_ADC

Помимо контроллеров CRG часть логики управления коммутацией и включением некоторых синхросигналов вынесена в регистры системного контроллера SCTL. Список элементов, управляемых из SCTL, представлен в таблице 1.33. Названия управляющих элементов показаны на общей схеме синхронизации (Рисунок 1.7).

**Таблица 1.33 – Управление синхросигналами из SCTL**

Элемент	Назначение	Управляющий регистр/бит в SCTL
ckgate_daref	Безглитчевое включение/выключение синхросигнала с LVDS-входа DA_CLKI	CFGMISC[12]
ckgate_adref	Безглитчевое включение/выключение синхросигнала с LVDS-входа ADCLK	CFGMISC[13]
cksw_daref	Мультиплексор выбора опорного синхросигнала для CRG_DAC	CFGMISC[4]
cksw_adref	Мультиплексор выбора опорного синхросигнала для CRG_ADC	CFGMISC[5]
cksw_dac	Мультиплексор выбора источника синхросигнала CLK_DAC	CFGMISC[8]
cksw_adc	Мультиплексор выбора источника синхросигнала CLK_ADC	CFGMISC[9]
ckgate_adco[3:0]	Управление подачей синхросигналов на АЦП	ADC_START[4:0]

					ЮФКВ.431268.022РЭ		Лист
							44
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2			

#### 1.6.2.4.4 Программная модель контроллера CRG\_SYS

##### 1.6.2.4.4.1 Список регистров

Список регистров контроллера CRG\_SYS представлен в таблице 1.34.

**Таблица 1.34 – Список регистров CRG\_SYS**

Адрес	Название	Описание	Доступ	Исх. знач.
0x000	PLL_STAT	Регистр состояния PLL	R	0x0000_0000
0x004	PLL_CTRL	Регистр управления PLL	R/W	0x0000_0000
0x008	PLL_LDUR	Настройка таймера ожидания стабилизации PLL	R/W	0x0000_0334
0x010	PLL_PRDIV	Настройка входного делителя PLL (pre-divider)	R/W	0x0000_0000
0x014	PLL_FBDIV	Настройка делителя обратной связи PLL (feedback divider)	R/W	0x0000_007F
0x018	PLL_PSDIV	Настройка выходного делителя PLL (post-divider)	R/W	0x0000_0001
0x03C	WR_LOCK	Управление блокировкой записи в другие регистры	R/W	0x0000_0001
0x040	RST_MON	Регистр отображения источника последнего сброса	R	0x0000_0800
0x044	RST_CFG0	Настройка длительности выходных сигналов сброса ARESETn/RRESETn[3:0]	R/W	0x0000_0096
0x048	RST_CFG1	Настройка длительности выходного системного сброса NRST_SYS_O	R/W	0x0032_0096
0x04C	RST_CFG2	Управление реакцией на сигналы запросов на сброс от SCTL и WDT	R/W	0x0003_000F
0x050	RRESET	Регистр программно-управляемых сбросов	R/W	0x0000_000F
0x060	CKUPDATE	Регистр активации настроек синхросигналов	R/W	0x0000_0000
0x090	INTMASK	Регистр маскирования прерываний	R/W	0x0000_0000
0x094	INTCLR	Регистр статуса и сброса прерываний	W	0x0000_0000
0x100	CKDIVMODE0	Коэффициент деления для синхросигнала ACLK	R/W	0x0000_0001
0x104	CKEN0	Управление отключением тактовых сигналов процессорной подсистемы NMU	R/W	0x0000_0007
0x110	CKDIVMODE1	Коэффициент деления для синхросигнала PCLK	R/W	0x0000_0007
0x120	CKDIVMODE2	Коэффициент деления для синхросигнала TPIU	R/W	0x0000_000F

##### 1.6.2.4.4.2 Регистр PLL\_STAT (CRG\_SYS)

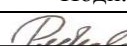
Описание полей регистра PLL\_STAT приведено в таблице 1.35.

**Таблица 1.35 – Формат регистра PLL\_STAT (CRG\_SYS)**

Адрес: 0x000				
Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	0x0
[4]	PLL_CMD_ACK	Бит показывает, что реальное состояние PLL соответствует состоянию, заданному в регистре PLL_CTRL	R	0x0
[3:1]	-	-	R0	0x0
[0]	PLL_RDY	Флаг выхода в рабочий режим блока PLL 0x0 – PLL нестабильна 0x1 – PLL стабильна	R	0x0

##### 1.6.2.4.4.3 Регистр PLL\_CTRL (CRG\_SYS)

Описание полей регистра PLL\_CTRL приведено в таблице 1.36.

									Лист
									45
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					

**Таблица 1.36 – Формат регистра PLL\_CTRL (CRG\_SYS)**

Адрес: 0x004				
Биты	Название	Описание	Реж.	Исх. знач.
[31:2]	-	-	R0	0x0
[1:0]	PLL_CMD	Управление состоянием PLL: 0x0: PLL_OSC_USE – PLL работает и используется как источник опорной частоты 0x1: PLL_OSC_BYP – PLL работает, опорная частота внешняя 0x2: запрещенная комбинация 0x3: PLL_OFF_BYP – PLL выключена, опорная частота внешняя	R/W	0x0

**1.6.2.4.4.4 Регистр PLL\_LDUR (CRG\_SYS)**

Описание полей регистра PLL\_LDUR приведено в таблице 1.37.

**Таблица 1.37 – Формат регистра PLL\_LDUR (CRG\_SYS)**

Адрес: 0x008				
Биты	Название	Описание	Реж.	Исх. знач.
[31:11]	-	-	R0	0x0
[10:0]	PLL_LDUR	Длительность ожидания стабилизации PLL, в тактах внешней опорной частоты	R/W	0x334

**1.6.2.4.4.5 Регистр PLL\_PRDIV (CRG\_SYS)**

Описание полей регистра PLL\_PRDIV приведено в таблице 1.38.

**Таблица 1.38 – Формат регистра PLL\_PRDIV (CRG\_SYS)**

Адрес: 0x010				
Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	0x0
[4:0]	PLL_PRDIV	Коэффициент входного делителя PLL	R/W	0x0

**1.6.2.4.4.6 Регистр PLL\_FBDIV (CRG\_SYS)**

Описание полей регистра PLL\_FBDIV приведено в таблице 1.39.

**Таблица 1.39 – Формат регистра PLL\_FBDIV (CRG\_SYS)**

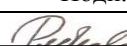
Адрес: 0x014				
Биты	Название	Описание	Реж.	Исх. знач.
[31:12]	-	-	R0	0x0
[11:0]	PLL_FBDIV	Коэффициент делителя обратной связи PLL	R/W	0x7F

**1.6.2.4.4.7 Регистр PLL\_PSDIV (CRG\_SYS)**

Описание полей регистра PLL\_PSDIV приведено в таблице 1.40.

**Таблица 1.40 – Формат регистра PLL\_PSDIV (CRG\_SYS)**

Адрес: 0x018				
Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	0x0
[4:0]	PLL_PSDIV	Коэффициент выходного делителя PLL	R/W	0x1

									Лист
									46
Изм	Лист	№ докум.	Подп.	Дата					
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата				
38075-3	 16.10.2020		38075-2						

#### 1.6.2.4.4.8 Регистр WR\_LOCK (CRG\_SYS)

Описание полей регистра WR\_LOCK приведено в таблице 1.41.

**Таблица 1.41 – Формат регистра WR\_LOCK (CRG\_SYS)**

Адрес: 0x03C				
Биты	Название	Описание	Реж.	Исх. знач.
[31:0]	WR_LOCK	Управление блокировкой записи в другие регистры. Запись значения 0x1ACCE551 разрешает запись в другие регистры. Запись любого другого значения запрещает запись в другие регистры. Чтение возвращает статус блокировки: 0x0 – запись в регистры разрешена 0x1 – запись в регистры запрещена	R/W	0x1

#### 1.6.2.4.4.9 Регистр RST\_MON (CRG\_SYS)

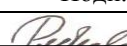
Описание полей регистра RST\_MON приведено в таблице 1.42.

**Таблица 1.42 – Формат регистра RST\_MON (CRG\_SYS)**

Адрес: 0x040				
Биты	Название	Описание	Реж.	Исх. знач.
[31:12]	-	-	R0	0x0
[11]	RST_POR_MON	Отслеживание сигнала сброса NRST_PON: 0x1 – NRST_PON является источником последнего сброса 0x0 – NRST_PON не является источником последнего сброса	R/WC	0x1
[10]	RST_SYS_MON	Отслеживание сигнала сброса NRST_SYS: 0x1 – NRST_SYS является источником последнего сброса 0x0 – NRST_SYS не является источником последнего сброса	R/WC	0x0
[9]	RST_REQ_MODE1	Бит устанавливается в 1, если последний сброс был вызван запросом на сброс rstreq_i[n] при значении бита RSTREQ_MODE[n]=1 в регистре RST_CFG2	R/WC	0x0
[8]	RST_REQ_MODE0	Бит устанавливается в 1, если последний сброс был вызван запросом на сброс rstreq_i[n] при значении бита RSTREQ_MODE[n]=0 в регистре RST_CFG2	R/WC	0x0
[7:2]	-	-	R0	0x0
[1]	RST_REQ_SCTL	Бит отслеживает сигнал запроса на сброс от системного контроллера SCTL: 0x1 – системный контроллер является источником последнего сброса 0x0 – системный контроллер не является источником последнего сброса	R/WC	0x0
[0]	RST_REQ_WDT	Бит отслеживает сигнал запроса на сброс от системного сторожевого таймера WDT: 0x1 – сторожевой таймер является источником последнего сброса 0x0 – сторожевой таймер не является источником последнего сброса	R/WC	0x0

#### 1.6.2.4.4.10 Регистр RST\_CFG0 (CRG\_SYS)

Описание полей регистра RST\_CFG0 приведено в таблице 1.43.

									Лист
									47
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		 16.10.2020			38075-2				



**Таблица 1.43 – Формат регистра RST\_CFG0 (CRG\_SYS)**

Адрес: 0x044				
Биты	Название	Описание	Реж.	Исх. знач.
[31:12]	-	-	R0	0x0
[11:0]	ARST_DUR	Длительность выходных сигналов сброса ARESETn/RRESETn, в тактах (crg_clk/16)	R/W	0x96

**1.6.2.4.4.11 Регистр RST\_CFG1 (CRG\_SYS)**

Описание полей регистра RST\_CFG1 приведено в таблице 1.44.

**Таблица 1.44 – Формат регистра RST\_CFG1 (CRG\_SYS)**

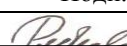
Адрес: 0x048				
Биты	Название	Описание	Реж.	Исх. знач.
[31:28]	-	-	R0	0x0
[27:16]	SRST_DUR1	Длительность маскирования входного системного сброса NRST_SYS после снятия выходного системного сброса NRST_SYS_O, в тактах (crg_clk/16)	R/W	0x32
[31:28]	-	-	R0	0x0
[11:0]	SRST_DUR0	Длительность удержания выходного системного сброса NRST_SYS_O в активном состоянии, в тактах (crg_clk/16)	R/W	0x96

**1.6.2.4.4.12 Регистр RST\_CFG2 (CRG\_SYS)**

Описание полей регистра RST\_CFG2 приведено в таблице 1.45.

**Таблица 1.45 – Формат регистра RST\_CFG2 (CRG\_SYS)**

Адрес: 0x04C				
Биты	Название	Описание	Реж.	Исх. знач.
[31:25]	-	-	R0	0x0
[24]	RSTREQ_BYP	При установке данного бита в 1 при сбросе по запросу базовая частота будет принудительно переключаться на внешний опорный синхросигнал.	R/W	0x0
[23:18]	-	-	R0	0x0
[17]	RSTREQ_SCTL_MASK	Бит отвечает за маскирование сигнала запроса на сброс от SCTL: 0x0 – сброс от SCTL запрещен 0x1 – сброс от SCTL разрешен	R/W	0x1
[16]	RSTREQ_WDT_MASK	Бит отвечает за маскирование сигнала запроса на сброс от WDT: 0x0 – сброс от WDT запрещен 0x1 – сброс от WDT разрешен	R/W	0x1
[15:4]	-	-	R0	0x0
[3:2]	RSTREQ_SCTL_MODE	Поле определяет реакцию на сигнал запроса на сброс от SCTL (описание аналогично полю RSTREQ_WDT_MODE)	R/W	0x3
[1:0]	RSTREQ_WDT_MODE	Поле определяет реакцию на сигнал запроса на сброс от WDT: 0x0: будет активирован только сигнал сброса aresetn_o 0x1: будут активированы сигналы сброса ARESETn и NRST_SYS_O 0x2: будут активированы сигналы сброса crg_rstn, ARESETn 0x3: будут активированы сигналы сброса crg_rstn, ARESETn, NRST_SYS_O	R/W	0x3

					Лист	
					48	
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		 16.10.2020		38075-2		

1.6.2.4.4.13 Регистр RRESET (CRG\_SYS)

Описание полей регистра RRESET приведено в таблице 1.46.

**Таблица 1.46 – Формат регистра RRESET (CRG\_SYS)**

Адрес: 0x050				
Биты	Название	Описание	Реж.	Исх. знач.
[31:4]	-	-	R0	0x0
[3]	RESET_SMU	Сброс SMU: 0x0 - активен 0x1 - не активен	R/W	0x1
[2]	RESET_NMU1	Сброс NMU1: 0x0 - активен 0x1 - не активен	R/W	0x1
[1]	RESET_NMU0	Сброс NMU0: 0x0 - активен 0x1 - не активен	R/W	0x1
[0]	RESET_DDC	Сброс каналов DDC: 0x0 - активен 0x1 - не активен	R/W	0x1

1.6.2.4.4.14 Регистр CKUPDATE (CRG\_SYS)

Описание полей регистра CKUPDATE приведено в таблице 1.47.

**Таблица 1.47 – Формат регистра CKUPDATE (CRG\_SYS)**

Адрес: 0x060				
Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	0x0
[4]	UPDCKEN	Применение разрешений выдачи тактовых сигналов. После настройки регистров CKEN[n] необходимо установить этот бит в 1, чтобы новые значения этих регистров вступили в силу. Бит сбрасывается автоматически после применения изменений, читается всегда 0.	R0/W1	0x0
[3:1]	-	-	R0	0x0
[0]	UPDCKDIV	Применение коэффициентов деления доменов синхро-сигналов. После настройки регистров CKDIVMODE[n] необходимо установить этот бит в 1, чтобы новые значения этих регистров вступили в силу. Бит сбрасывается автоматически после смены режима делителей.	R/W	0x0

1.6.2.4.4.15 Регистр INTMASK (CRG\_SYS)

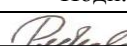
Описание полей регистра INTMASK приведено в таблице 1.48.

**Таблица 1.48 – Формат регистра INTMASK (CRG\_SYS)**

Адрес: 0x090				
Биты	Название	Описание	Реж.	Исх. знач.
[31:1]	-	-	R0	0x0
[0]	PLL_RDY_MASK	Маска прерывания при выходе PLL в рабочий режим: 0x0 – прерывание запрещено 0x1 – прерывание разрешено	R/W	0x0

1.6.2.4.4.16 Регистр INTCLR (CRG\_SYS)

Описание полей регистра INTCLR приведено в таблице 1.49.

									Лист
									49
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		 16.10.2020		38075-2					

**Таблица 1.49 – Формат регистра INTCLR (CRG\_SYS)**

Адрес: 0x094				
Биты	Название	Описание	Реж.	Исх. знач.
[31:1]	-	-	R0	0x0
[0]	PLL_RDY_CLR	Данный бит устанавливается в 1, когда PLL выходит в рабочий режим. Любая запись сбрасывает этот бит.	R/W	0x0

**1.6.2.4.4.17 Регистр CKDIVMODE0 (CRG\_SYS)**

Описание полей регистра CKDIVMODE0 приведено в таблице 1.50.

**Таблица 1.50 – Формат регистра CKDIVMODE0 (CRG\_SYS)**

Адрес: 0x100				
Биты	Название	Описание	Реж.	Исх. знач.
[31:17]	-	-	R0	0x0
[16]	DIVDIS	Выключение делителя: 0x0 - включен 0x1 - выключен	R/W	0x0
[15:6]	-	-	R0	0x0
[5:0]	DIVMODE	Коэффициент делителя для синхросигнала ACLK Коэффициент деления равен (DIVMODE + 1).	R/W	0x1

**1.6.2.4.4.18 Регистр SKEN0 (CRG\_SYS)**

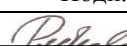
Описание полей регистра SKEN0 приведено в таблице 1.51.

**Таблица 1.51 – Формат регистра SKEN0 (CRG\_SYS)**

Адрес: 0x104				
Биты	Название	Описание	Реж.	Исх. знач.
[31:3]	-	-	R0	0x0
[2]	SMUCKEN	Отключение синхросигнала подсистемы SMU: 0x0 - выключен 0x1 - включен	R/W	0x1
[1]	NMU1CKEN	Отключение синхросигнала подсистемы NMU1: 0x0 - выключен 0x1 - включен	R/W	0x1
[0]	NMU0CKEN	Отключение синхросигнала подсистемы NMU0: 0x0 - выключен 0x1 - включен	R/W	0x1

**1.6.2.4.4.19 Регистр CKDIVMODE1 (CRG\_SYS)**

Описание полей регистра CKDIVMODE0 приведено в таблице 1.52.

									Лист
									50
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		 16.10.2020		38075-2					

**Таблица 1.52 – Формат регистра CKDIVMODE1 (CRG\_SYS)**


Адрес: 0x110				
Биты	Название	Описание	Реж.	Исх. знач.
[31:17]	-	-	R0	0x0
[16]	DIVDIS	Выключение делителя: 0x0 - включен 0x1 - выключен	R/W	0x0
[15:6]	-	-	R0	0x0
[5:0]	DIVMODE	Коэффициент делителя для синхросигнала PCLK. Коэффициент деления равен (DIVMODE+1).	R/W	0x7

**1.6.2.4.4.20 Регистр CKDIVMODE2 (CRG\_SYS)**

Описание полей регистра CKDIVMODE2 приведено в таблице 1.53.

**Таблица 1.53 – Формат регистра CKDIVMODE2 (CRG\_SYS)**

Адрес: 0x120				
Биты	Название	Описание	Реж.	Исх. знач.
[31:17]	-	-	R0	0x0
[16]	DIVDIS	Выключение делителя: 0x0 – включен 0x1 - выключен	R/W	0x0
[15:6]	-	-	R0	0x0
[5:0]	DIVMODE	Коэффициент делителя для синхросигнала TPIU. Коэффициент деления равен (DIVMODE+1).	R/W	0xF

									Лист
									51
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020		38075-2						

### 1.6.2.4.5 Программная модель контроллера CRG\_ADC

#### 1.6.2.4.5.1 Список регистров

Список регистров контроллера CRG\_ADC представлен в таблице 1.54.

**Таблица 1.54 – Список регистров CRG\_ADC**

Адрес	Название	Описание	Доступ	Исх. знач.
0x000	PLL_STAT	Регистр состояния PLL	R	0x0000_0000
0x004	PLL_CTRL	Регистр управления PLL	R/W	0x0000_0003
0x008	PLL_LDUR	Настройка таймера ожидания стабилизации PLL	R/W	0x0000_0654
0x010	PLL_PRDIV	Настройка входного делителя PLL (pre-divider)	R/W	0x0000_0000
0x014	PLL_FBDIV	Настройка делителя обратной связи PLL (feedback divider)	R/W	0x0000_003F
0x018	PLL_PSDIV	Настройка выходного делителя PLL (post-divider)	R/W	0x0000_0001
0x020	СКАUXCTRL	Дополнительное управление синхросигналами	R/W	0x0000_0003
0x03C	WR_LOCK	Управление блокировкой записи в другие регистры	R/W	0x0000_0001
0x04C	RST_CFG2	Управление реакцией на сигналы запросов на сброс от SCTL и WDT	R/W	0x0003_000F
0x060	СКUPDATE	Регистр активации настроек синхросигналов	R/W	0x0000_0000
0x090	INTMASK	Регистр маскирования прерываний	R/W	0x0000_0000
0x094	INTCLR	Регистр статуса и сброса прерываний	R	0x0000_0000
0x100	СКDIVMODE0	Коэффициент деления для синхросигнала ADC	R/W	0x0000_0007
0x110	СКDIVMODE1	Коэффициент деления для синхросигнала DDC	R/W	0x0000_0001

#### 1.6.2.4.5.2 Регистр PLL\_STAT (CRG\_ADC)

Описание полей регистра PLL\_STAT приведено в таблице 1.55.

**Таблица 1.55 – Формат регистра PLL\_STAT (CRG\_ADC)**

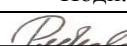
Адрес: 0x000				
Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	0x0
[4]	PLL_CMD_ACK	Бит показывает, что реальное состояние PLL соответствует состоянию, заданному в регистре PLL_CTRL	R	0x0
[3:1]	-	-	R0	0x0
[0]	PLL_RDY	Флаг выхода в рабочий режим блока PLL 0x0 – PLL нестабильна 0x1 – PLL стабильна	R	0x0

#### 1.6.2.4.5.3 Регистр PLL\_CTRL (CRG\_ADC)

Описание полей регистра PLL\_CTRL приведено в таблице 1.56.

**Таблица 1.56 – Формат регистра PLL\_CTRL (CRG\_ADC)**

Адрес: 0x004				
Биты	Название	Описание	Реж.	Исх. знач.
[31:2]	-	-	R0	0x0
[1:0]	PLL_CMD	Управление состоянием PLL: 0x0: PLL_OSC_USE – PLL работает и используется как источник опорной частоты 0x1: PLL_OSC_BYP – PLL работает, опорная частота внешняя 0x2: запрещенная комбинация 0x3: PLL_OFF_BYP – PLL выключена, опорная частота внешняя	R/W	0x3

									Лист
									52
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		 16.10.2020		38075-2					

1.6.2.4.5.4 Регистр PLL\_LDUR (CRG\_ADC)

Описание полей регистра PLL\_LDUR приведено в таблице 1.57.

**Таблица 1.57 – Формат регистра PLL\_LDUR (CRG\_ADC)**

Адрес: 0x008				
Биты	Название	Описание	Реж.	Исх. знач.
[31:11]	-	-	R0	0x0
[10:0]	PLL_LDUR	Длительность ожидания стабилизации PLL, в тактах внешней опорной частоты	R/W	0x334

1.6.2.4.5.5 Регистр PLL\_PRDIV (CRG\_ADC)

Описание полей регистра PLL\_PRDIV приведено в таблице 1.58.

**Таблица 1.58 – Формат регистра PLL\_PRDIV (CRG\_ADC)**

Адрес: 0x010				
Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	0x0
[4:0]	PLL_PRDIV	Коэффициент входного делителя PLL	R/W	0x0

1.6.2.4.5.6 Регистр PLL\_FBDIV (CRG\_ADC)

Описание полей регистра PLL\_FBDIV приведено в таблице 1.59.

**Таблица 1.59 – Формат регистра PLL\_FBDIV (CRG\_ADC)**

Адрес: 0x014				
Биты	Название	Описание	Реж.	Исх. знач.
[31:12]	-	-	R0	0x0
[11:0]	PLL_FBDIV	Коэффициент делителя обратной связи PLL	R/W	0x7F

1.6.2.4.5.7 Регистр PLL\_PSDIV (CRG\_ADC)

Описание полей регистра PLL\_PSDIV приведено в таблице 1.60.

**Таблица 1.60 – Формат регистра PLL\_PSDIV (CRG\_ADC)**

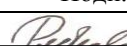
Адрес: 0x018				
Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	0x0
[4:0]	PLL_PSDIV	Коэффициент выходного делителя PLL	R/W	0x1

1.6.2.4.5.8 Регистр SCAUXCTRL (CRG\_ADC)

Описание полей регистра SCAUXCTRL приведено в таблице 1.61.

**Таблица 1.61 – Формат регистра SCAUXCTRL (CRG\_ADC)**

Адрес: 0x020				
Биты	Название	Описание	Реж.	Исх. знач.
[31:4]	-	-	R0	0x0
[3:0]	ADCLKDIV	Коэффициент деления для синхросигнала ADCLK(LVDS-вход). Коэффициент деления равен ADCLKDIV+1. При ADCLKDIV = 0 делитель выключен (синхросигнал находится в константе 1)	R/W	0x3

									Лист
									53
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		 16.10.2020		38075-2					

1.6.2.4.5.9 Регистр WR\_LOCK (CRG\_ADC)

Описание полей регистра WR\_LOCK приведено в таблице 1.62.

**Таблица 1.62 – Формат регистра WR\_LOCK (CRG\_ADC)**

Адрес: 0x03C				
Биты	Название	Описание	Реж.	Исх. знач.
[31:0]	WR_LOCK	Управление блокировкой записи в другие регистры. Запись значения 0x1ACCE551 разрешает запись в другие регистры. Запись любого другого значения запрещает запись в другие регистры. Чтение возвращает статус блокировки: 0x0 – запись в регистры разрешена 0x1 – запись в регистры запрещена	R/W	0x1

1.6.2.4.5.10 Регистр RST\_CFG2 (CRG\_ADC)

Описание полей регистра RST\_CFG2 приведено в таблице 1.63.

**Таблица 1.63 – Формат регистра RST\_CFG2 (CRG\_ADC)**

Адрес: 0x04C				
Биты	Название	Описание	Реж.	Исх. знач.
[31:25]	-	-	R0	0x0
[24]	RSTREQ_BYF	При установке данного бита в 1 при сбросе по запросу базовая частота будет принудительно переключаться на внешний опорный синхросигнал.	R/W	0x0
[23:18]	-	-	R0	0x0
[17]	RSTREQ_SCTL_MASK	Бит отвечает за маскирование сигнала запроса на сброс от SCTL: 0x0 – сброс от SCTL запрещен 0x1 – сброс от SCTL разрешен	R/W	0x1
[16]	RSTREQ_WDT_MASK	Бит отвечает за маскирование сигнала запроса на сброс от WDT: 0x0 – сброс от WDT запрещен 0x1 – сброс от WDT разрешен	R/W	0x1
[15:4]	-	-	R0	0x0
[3:2]	RSTREQ_SCTL_MODE	Поле определяет реакцию на сигнал запроса на сброс от SCTL (описание аналогично полю RSTREQ_WDT_MODE)	R/W	0x3
[1:0]	RSTREQ_WDT_MODE	Поле определяет реакцию на сигнал запроса на сброс от WDT: 0x0, 0x1: игнорируется 0x2, 0x3: сброс состояния CRG	R/W	0x3

1.6.2.4.5.11 Регистр CKUPDATE (CRG\_ADC)

Описание полей регистра CKUPDATE приведено в таблице 1.64.

**Таблица 1.64 – Формат регистра CKUPDATE (CRG\_ADC)**

Адрес: 0x060				
Биты	Название	Описание	Реж.	Исх. знач.
[31:1]	-	-	R0	0x0
[0]	UPDCKDIV	Применение коэффициентов деления доменов синхросигналов. После настройки регистров CKDIVMODE[n] необходимо установить этот бит в 1, чтобы новые значения этих регистров вступили в силу. Бит сбрасывается автоматически после смены режима делителей.	R/W	0x0

									Лист
									54
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.022РЭ				
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		<i>Редюк</i> 16.10.2020			38075-2				



1.6.2.4.5.12 Регистр INTMASK (CRG\_ADC)

Описание полей регистра INTMASK приведено в таблице 1.65.

**Таблица 1.65 – Формат регистра INTMASK (CRG\_ADC)**

Адрес: 0x090				
Биты	Название	Описание	Реж.	Исх. знач.
[31:1]	-	-	R0	0x0
[0]	PLL_RDY_MASK	Маска прерывания при выходе PLL в рабочий режим: 0x0 – прерывание запрещено 0x1 – прерывание разрешено	R/W	0x0

1.6.2.4.5.13 Регистр INTCLR (CRG\_ADC)

Описание полей регистра SKUPDATE приведено в таблице 1.66.

**Таблица 1.66 – Формат регистра INTCLR (CRG\_ADC)**

Адрес: 0x094				
Биты	Название	Описание	Реж.	Исх. знач.
[31:1]	-	-	R0	0x0
[0]	PLL_RDY_CLR	Данный бит устанавливается в 1, когда PLL выходит в рабочий режим. Любая запись сбрасывает этот бит.	R/W	0x0

1.6.2.4.5.14 Регистр CKDIVMODE0 (CRG\_ADC)

Описание полей регистра CKDIVMODE0 приведено в таблице 1.67.

**Таблица 1.67 – Формат регистра CKDIVMODE0 (CRG\_ADC)**

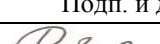
Адрес: 0x100				
Биты	Название	Описание	Реж.	Исх. знач.
[31:17]	-	-	R0	0x0
[16]	DIVDIS	Выключение делителя: 0x0 - включен 0x1 - выключен	R/W	0x0
[15:6]	-	-	R0	0x0
[5:0]	DIVMODE	Коэффициент делителя для синхросигнала ADC. Коэффициент деления равен (DIVMODE + 1).	R/W	0x7

1.6.2.4.5.15 Регистр CKDIVMODE1 (CRG\_ADC)

Описание полей регистра CKDIVMODE1 приведено в таблице 1.68.

**Таблица 1.68 – Формат регистра CKDIVMODE1 (CRG\_ADC)**

Адрес: 0x110				
Биты	Название	Описание	Реж.	Исх. знач.
[31:17]	-	-	R0	0x0
[16]	DIVDIS	Выключение делителя: 0x0 - включен 0x1 - выключен	R/W	0x0
[15:6]	-	-	R0	0x0
[5:0]	DIVMODE	Коэффициент делителя для синхросигнала DDC. Коэффициент деления равен (DIVMODE + 1).	R/W	0x1

									Лист
									55
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		 16.10.2020			38075-2				

## 1.6.2.4.6 Программная модель контроллера CRG\_DAC

### 1.6.2.4.6.1 Список регистров

Список регистров контроллера CRG\_DAC представлен в таблице 1.69.

**Таблица 1.69 – Список регистров CRG\_DAC**

Адрес	Название	Описание	Доступ	Исх. знач.
0x000	PLL_STAT	Регистр состояния PLL	R	0x0000_0000
0x004	PLL_CTRL	Регистр управления PLL	R/W	0x0000_0003
0x008	PLL_LDUR	Настройка таймера ожидания стабилизации PLL	R/W	0x0000_0654
0x010	PLL_PRDIV	Настройка входного делителя PLL (pre-divider)	R/W	0x0000_0000
0x014	PLL_FBDIV	Настройка делителя обратной связи PLL (feedback divider)	R/W	0x0000_003F
0x018	PLL_PSDIV	Настройка выходного делителя PLL (post-divider)	R/W	0x0000_0001
0x020	СКАUXCTRL	Дополнительное управление синхросигналами	R/W	0x0000_000F
0x03C	WR_LOCK	Управление блокировкой записи в другие регистры	R/W	0x0000_0001
0x04C	RST_CFG2	Управление реакцией на сигналы запросов на сброс от SCTL и WDT	R/W	0x0003_000F
0x060	СКUPDATE	Регистр активации настроек синхросигналов	R/W	0x0000_0000
0x090	INTMASK	Регистр маскирования прерываний	R/W	0x0000_0000
0x094	INTCLR	Регистр статуса и сброса прерываний	R	0x0000_0000
0x100	CKDIVMODE0	Коэффициент деления для синхросигнала DACx2	R/W	0x0000_0001

### 1.6.2.4.6.2 Регистр PLL\_STAT (CRG\_DAC)

Описание полей регистра PLL\_STAT приведено в таблице 1.70.

**Таблица 1.70 – Формат регистра PLL\_STAT (CRG\_DAC)**

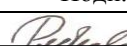
Адрес: 0x000				
Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	0x0
[4]	PLL_CMD_ACK	Бит показывает, что реальное состояние PLL соответствует состоянию, заданному в регистре PLL_CTRL	R	0x0
[3:1]	-	-	R0	0x0
[0]	PLL_RDY	Флаг выхода в рабочий режим блока PLL 0x0 – PLL нестабильна 0x1 – PLL стабильна	R	0x0

### 1.6.2.4.6.3 Регистр PLL\_CTRL (CRG\_DAC)

Описание полей регистра PLL\_CTRL приведено в таблице 1.71.

**Таблица 1.71 – Формат регистра PLL\_CTRL (CRG\_DAC)**

Адрес: 0x004				
Биты	Название	Описание	Реж.	Исх. знач.
[31:2]	-	-	R0	0x0
[1:0]	PLL_CMD	Управление состоянием PLL: 0x0: PLL_OSC_USE – PLL работает и используется как источник опорной частоты 0x1: PLL_OSC_BYP – PLL работает, опорная частота внешняя 0x2: запрещенная комбинация 0x3: PLL_OFF_BYP – PLL выключена, опорная частота внешняя	R/W	0x3

									Лист
									56
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		 16.10.2020		38075-2					

1.6.2.4.6.4 Регистр PLL\_LDUR (CRG\_DAC)

Описание полей регистра PLL\_LDUR приведено в таблице 1.72.

**Таблица 1.72 – Формат регистра PLL\_LDUR (CRG\_DAC)**

Адрес: 0x008				
Биты	Название	Описание	Реж.	Исх. знач.
[31:11]	-	-	R0	0x0
[10:0]	PLL_LDUR	Длительность ожидания стабилизации PLL, в тактах внешней опорной частоты	R/W	0x334

1.6.2.4.6.5 Регистр PLL\_PRDIV (CRG\_DAC)

Описание полей регистра PLL\_PRDIV приведено в таблице 1.73.

**Таблица 1.73 – Формат регистра PLL\_PRDIV (CRG\_DAC)**

Адрес: 0x010				
Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	0x0
[4:0]	PLL_PRDIV	Коэффициент входного делителя PLL	R/W	0x0

1.6.2.4.6.6 Регистр PLL\_FBDIV (CRG\_DAC)

Описание полей регистра PLL\_FBDIV приведено в таблице 1.74.

**Таблица 1.74 – Формат регистра PLL\_FBDIV (CRG\_DAC)**

Адрес: 0x014				
Биты	Название	Описание	Реж.	Исх. знач.
[31:12]	-	-	R0	0x0
[11:0]	PLL_FBDIV	Коэффициент делителя обратной связи PLL	R/W	0x7F

1.6.2.4.6.7 Регистр PLL\_PSDIV (CRG\_DAC)

Описание полей регистра PLL\_PSDIV приведено в таблице 1.75.

**Таблица 1.75 – Формат регистра PLL\_PSDIV (CRG\_DAC)**

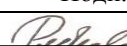
Адрес: 0x018				
Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	0x0
[4:0]	PLL_PSDIV	Коэффициент выходного делителя PLL	R/W	0x1

1.6.2.4.6.8 Регистр SKAUXCTRL (CRG\_DAC)

Описание полей регистра SKAUXCTRL приведено в таблице 1.76.

**Таблица 1.76 – Формат регистра SKAUXCTRL (CRG\_DAC)**

Адрес: 0x020				
Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	0x0
[4:0]	DACLKDIV	Коэффициент деления для синхросигнала DA_CLKI (LVDS-вход). Коэффициент деления равен DACLKDIV+1. При ADCLKDIV = 0 делитель выключен (синхросигнал находится в константе 1)	R/W	0xF

									Лист
									57
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	 16.10.2020		38075-2						

1.6.2.4.6.9 Регистр WR\_LOCK (CRG\_DAC)

Описание полей регистра WR\_LOCK приведено в таблице 1.77.

**Таблица 1.77 – Формат регистра WR\_LOCK (CRG\_DAC)**

Адрес: 0x03C				
Биты	Название	Описание	Реж.	Исх. знач.
[31:0]	WR_LOCK	Управление блокировкой записи в другие регистры. Запись значения 0x1ACCE551 разрешает запись в другие регистры. Запись любого другого значения запрещает запись в другие регистры. Чтение возвращает статус блокировки: 0x0 – запись в регистры разрешена 0x1 – запись в регистры запрещена	R/W	0x1

1.6.2.4.6.10 Регистр RST\_CFG2 (CRG\_DAC)

Описание полей регистра RST\_CFG2 приведено в таблице 1.78.

**Таблица 1.78 – Формат регистра RST\_CFG2 (CRG\_DAC)**

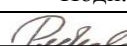
Адрес: 0x04C				
Биты	Название	Описание	Реж.	Исх. знач.
[31:25]	-	-	R0	0x0
[24]	RSTREQ_BYF	При установке данного бита в 1 при сбросе по запросу базовая частота будет принудительно переключаться на внешний опорный синхросигнал.	R/W	0x0
[23:18]	-	-	R0	0x0
[17]	RSTREQ_SCTL_MASK	Бит отвечает за маскирование сигнала запроса на сброс от SCTL: 0x0 – сброс от SCTL запрещен 0x1 – сброс от SCTL разрешен	R/W	0x1
[16]	RSTREQ_WDT_MASK	Бит отвечает за маскирование сигнала запроса на сброс от WDT: 0x0 – сброс от WDT запрещен 0x1 – сброс от WDT разрешен	R/W	0x1
[15:4]	-	-	R0	0x0
[3:2]	RSTREQ_SCTL_MODE	Поле определяет реакцию на сигнал запроса на сброс от SCTL (описание аналогично полю RSTREQ_WDT_MODE)	R/W	0x3
[1:0]	RSTREQ_WDT_MODE	Поле определяет реакцию на сигнал запроса на сброс от WDT: 0x0, 0x1: игнорируется 0x2, 0x3: сброс состояния CRG	R/W	0x3

1.6.2.4.6.11 Регистр CKUPDATE (CRG\_DAC)

Описание полей регистра CKUPDATE приведено в таблице 1.79.

**Таблица 1.79 – Формат регистра CKUPDATE (CRG\_DAC)**

Адрес: 0x060				
Биты	Название	Описание	Реж.	Исх. знач.
[31:1]	-	-	R0	0x0
[0]	UPDCKDIV	Применение коэффициентов деления доменов синхросигналов. После настройки регистров CKDIVMODE[n] необходимо установить этот бит в 1, чтобы новые значения этих регистров вступили в силу. Бит сбрасывается автоматически после смены режима делителей.	R/W	0x0

									Лист
									58
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		 16.10.2020		38075-2					

#### 1.6.2.4.6.12 Регистр INTMASK (CRG\_DAC)

Описание полей регистра INTMASK приведено в таблице 1.80.

**Таблица 1.80 – Формат регистра INTMASK (CRG\_DAC)**

Адрес: 0x090				
Биты	Название	Описание	Реж.	Исх. знач.
[31:1]	-	-	R0	0x0
[0]	PLL_RDY_MASK	Маска прерывания при выходе PLL в рабочий режим: 0x0 – прерывание запрещено 0x1 – прерывание разрешено	R/W	0x0

#### 1.6.2.4.6.13 Регистр INTCLR (CRG\_DAC)

Описание полей регистра INTCLR приведено в таблице 1.81.

**Таблица 1.81 – Формат регистра INTCLR (CRG\_DAC)**

Адрес: 0x094				
Биты	Название	Описание	Реж.	Исх. знач.
[31:1]	-	-	R0	0x0
[0]	PLL_RDY_CLR	Данный бит устанавливается в 1, когда PLL выходит в рабочий режим. Любая запись сбрасывает этот бит.	R/W	0x0

#### 1.6.2.4.6.14 Регистр CKDIVMODE0 (CRG\_DAC)

Описание полей регистра CKDIVMODE0 приведено в таблице 1.82.

**Таблица 1.82 – Формат регистра CKDIVMODE0 (CRG\_DAC)**

Адрес: 0x100				
Биты	Название	Описание	Реж.	Исх. знач.
[31:17]	-	-	R0	0x0
[16]	DIVDIS	Выключение делителя: 0x0 – включен 0x1 – выключен	R/W	0x0
[15:6]	-	-	R0	0x0
[5:0]	DIVMODE	Коэффициент делителя для синхросигнала ADCx2. Коэффициент деления равен (DIVMODE + 1).	R/W	0x1

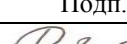
### 1.6.2.4.7 Руководство по программированию контроллеров CRG

#### 1.6.2.4.7.1 Переключение базовой частоты

CRG позволяет осуществлять переключение базовой частоты `crg_clk` (частота, поступающая на выходные делители) между внешней опорной частотой REFCLK и частотой с выхода PLL. Когда PLL находится в стабильном состоянии, то переключаться между внешней частотой и выходом PLL можно «на лету», меняя значение поля PLL\_CMD регистра PLL\_CTRL между режимами PLL\_OSC\_USE и PLL\_OSC\_BYR.

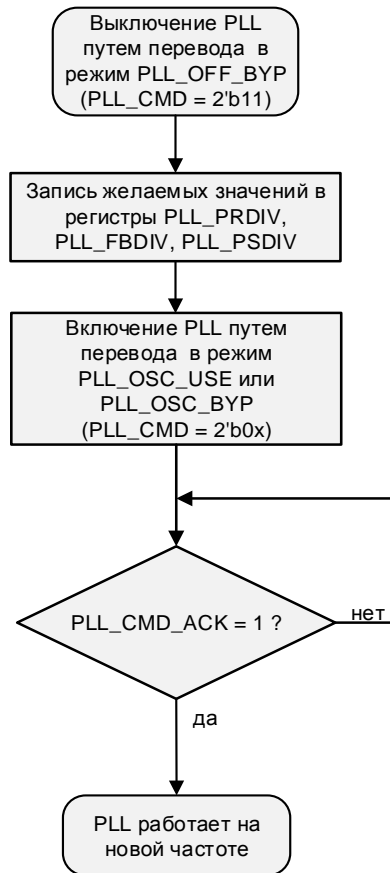
#### 1.6.2.4.7.2 Выключение PLL

Блок PLL выключен, когда поле PLL\_CMD установлено в режим PLL\_OFF\_BYR. При этом базовая частота принудительно переключается на внешний опорный синхросигнал REFCLK. Включить PLL можно установкой поля PLL\_CMD в режим PLL\_OSC\_USE или PLL\_OSC\_BYR.

									Лист
									59
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		 16.10.2020		38075-2					

### 1.6.2.4.7.3 Изменение рабочей частоты PLL

Регистры PLL\_PRDIV, PLL\_FBDIV и PLL\_PSDIV позволяют менять значения делителей блока PLL, тем самым изменяя выходную частоту PLL. После изменения значений этих регистров, необходимо выключить PLL, а затем снова включить. На рисунке 1.10 показана блок-схема процедуры изменения частоты PLL.

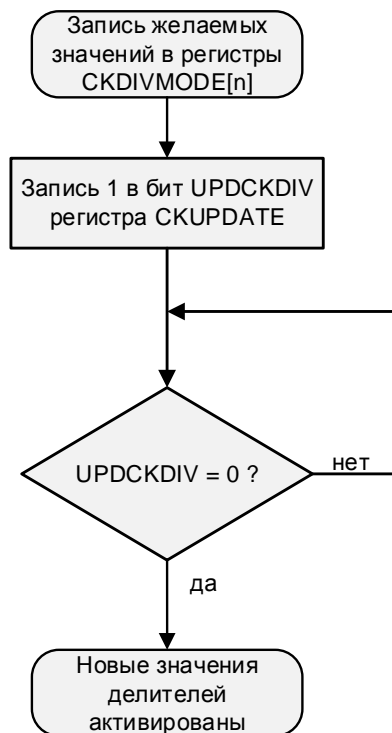


**Рисунок 1.10 – Процедура изменения частоты PLL**

### 1.6.2.4.7.4 Управление выходными делителями

Выходные делители синхросигналов являются программируемыми. Программирование делителей можно выполнять в процессе работы системы, перезапуск или сброс микросхемы при этом не требуется. Коэффициенты деления задаются регистрами CKDIVMODE[n], после изменения этих регистров необходима активация новых настроек посредством бита UPDCKDIV регистра CKUPDATE. На рисунке 1.11 показана блок-схема процедуры смены режима делителей.

									Лист
									60
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
38075-3	<i>Редюк</i> 16.10.2020		38075-2						



**Рисунок 1.11 – Процедура смены коэффициентов выходных делителей CRG**

#### 1.6.2.4.8 Инициализация синхросигналов для АЦП и ЦАП

Генерация синхросигналов для интерфейсов АЦП и ЦАП имеет свои особенности, обусловленные тем, что опорные синхросигналы (входы СБИС ADCLK и DA\_CLKI) для этих интерфейсов формируются специализированными внешними генераторами, требующих инициализации. Поэтому для корректного сброса внутренних блоков СБИС, по умолчанию после системного сброса, тактовые сигналы CLK\_ADC, CLK\_DDC, CLK\_DACx2 формируются на основе внешнего опорного синхросигнала REFCLK, а PLL\_DAC и PLL\_ADC находятся в выключенном состоянии. Далее будут даны последовательности для перевода синхросигналов АЦП и ЦАП на номинальные частоты с использованием опорных синхросигналов ADCLK и DA\_CLKI.

Инициализация синхросигналов для АЦП:

1. Инициализировать внешний генератор синхросигнала ADCLK.
2. Включить LVDS-буфер ADCLK через регистр SCTL:
  - SCTL.LVDS\_CFG\_CLK[0] = 0x0
3. Выключить делитель синхросигнала ADC в CRG\_ADC:
  - CRG\_ADC.CKDIVMODE0[16] = 0x1
  - CRG\_ADC.CKUPDATE[0] = 0x1
4. Переключить мультиплексор для синхросигнала CLK\_ADC на LVDS-вход ADCLK:
  - SCTL.CFGMISC[5] = 0x1
5. Разрешить подачу синхросигнала ADCLK:
  - SCTL.CFGMISC[13] = 0x1
6. Переключить опорный синхросигнал для CRG\_ADC с CMOS-входа REFCLK на LVDS-вход ADCLK:
  - SCTL.CFGMISC[9] = 0x1
7. Задать значения делителей PLL\_ADC и выходных делителей CRG\_ADC, посредством записи в регистры:

					ЮФКВ.431268.022РЭ		Лист
							61
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2			



- CRG\_ADC.PLL\_PRDIV,
- CRG\_ADC.PLL\_FBDIV,
- CRG\_ADC.PLL\_PSDIV,
- CRG\_ADC.CKDIVMODE0,
- CRG\_ADC.CKDIVMODE1/

При программировании данных регистров CRG необходимо помнить об ограничениях на диапазон частот, указанных в таблицах 1.30 и 1.32. Соотношение между синхросигналами CLK\_DDC и CLK\_ADC должно быть 4:1.

8. Включить PLL\_ADC и дождаться ее стабилизации:

- CRG\_ADC.PLL\_CTRL = 0x0
- Ожидать CRG\_ADC.PLL\_STAT = 0x11

Следует помнить, что перед любыми записями в CRG необходимо снять блокировку (WR\_LOCK = 0x1ACCE551).

*Инициализация синхросигналов для ЦАП для режима тактирования от PLL:*

1. Включить LVDS-буфер DA\_CLKI через регистр SCTL:
  - SCTL.LVDS\_CFG\_CLK[1] = 0x0
2. Разрешить подачу синхросигнала DA\_CLKI:
  - SCTL.CFGMISC[12] = 0x1
3. Переключить опорный синхросигнал для CRG\_DAC с CMOS-входа REFCLK на LVDS-вход DA\_CLKI:
  - o SCTL.CFGMISC[8] = 0x0
4. Задать значения делителей PLL\_DAC и выходных делителей CRG\_DAC, посредством записи в регистры
  - CRG\_DAC.PLL\_PRDIV
  - CRG\_DAC.PLL\_FBDIV
  - CRG\_DAC.PLL\_PSDIV
  - CRG\_DAC.CKDIVMODE0

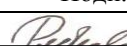
При программировании данных регистров CRG необходимо помнить об ограничениях на диапазон частот, указанных в таблицах 1.30 и 1.32.

5. Включить PLL\_DAC и дождаться ее стабилизации:

- CRG\_DAC.PLL\_CTRL = 0x0
- Ожидать CRG\_DAC.PLL\_STAT = 0x11

*Инициализация синхросигналов для ЦАП для режима тактирования от LVDS-входа DA\_CLKI:*

1. Включить LVDS-буфер DA\_CLKI через регистр SCTL:
  - SCTL.LVDS\_CFG\_CLK[1] = 0x0
2. Отключить выход CRG\_DAC:
  - CRG\_DAC.CKDIVMODE0[16] = 0x1
  - CRG\_DAC.CKUPDATE[0] = 0x1
3. Переключить синхросигналы DAC с выхода CRG\_DAC на LVDS-вход DA\_CLKI:
  - SCTL.CFGMISC[4] = 0x1
4. Разрешить подачу синхросигнала DA\_CLKI:
  - SCTL.CFGMISC[12] = 0x1

									Лист
									62
Изм	Лист	№ докум.	Подп.	Дата					
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата				
38075-3	 16.10.2020		38075-2						

## 1.6.2.5 Контроллер интерфейса с внешней памятью (ЕМІ)

### 1.6.2.5.1 Общие сведения

Интерфейс с внешней шиной (ЕМІ) обеспечивает обмен информацией между процессором и устройствами, подключенными к внешней шине. Работа блока интерфейса с внешней шиной синхронизируется тактовым сигналом, независимым от тактового сигнала работы процессора, что позволяет выбрать тактовую частоту работы устройств на внешней шине оптимальным образом. Тактовый сигнал для блока интерфейса задается внешним тактовым генератором.

### 1.6.2.5.2 Основные режимы работы и характеристики интерфейса

Суммарное число внешних выводов интерфейса с внешней шиной – 78, в том числе 32 вывода шины данных и 24 вывода шины адресов.

ЕМІ поддерживает мультипроцессорный режим работы с общей внешней шиной и имеет два основных режима работы - “Master” и “Slave”.

#### 1.6.2.5.2.1 Режим “Master”

В режиме “Master” микросхема 1888BC058 является активным устройством, управляющим внешней шиной. В данном режиме ЕМІ позволяет осуществлять обращения к четырем банкам внешней памяти объемом до 512 Мбайт каждый как в режиме произвольного доступа, так и в режиме ПДП.

ЕМІ обеспечивает работу с данными с точностью до байта.

ЕМІ обеспечивает работу с микросхемами асинхронной статической памяти (SRAM), синхронной динамической памяти (SDRAM) и синхронной статической памяти (SSRAM) без использования дополнительного внешнего оборудования. Возможность программной настройки интерфейса позволяет процессору эффективно работать с микросхемами внешней памяти различного объема и быстродействия.

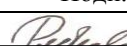
Режим регенерации внешней памяти типа SDRAM поддерживается аппаратно. Начальная инициализация микросхем SDRAM может осуществляться как самим процессором, так и внешним устройством.

#### 1.6.2.5.2.2 Режим “Slave”

В режиме “Slave” микросхема 1888BC058 является пассивным устройством, не управляющим внешней шиной. В данном режиме ЕМІ обеспечивает произвольный доступ внешнего устройства к ячейкам внутренней памяти процессора.

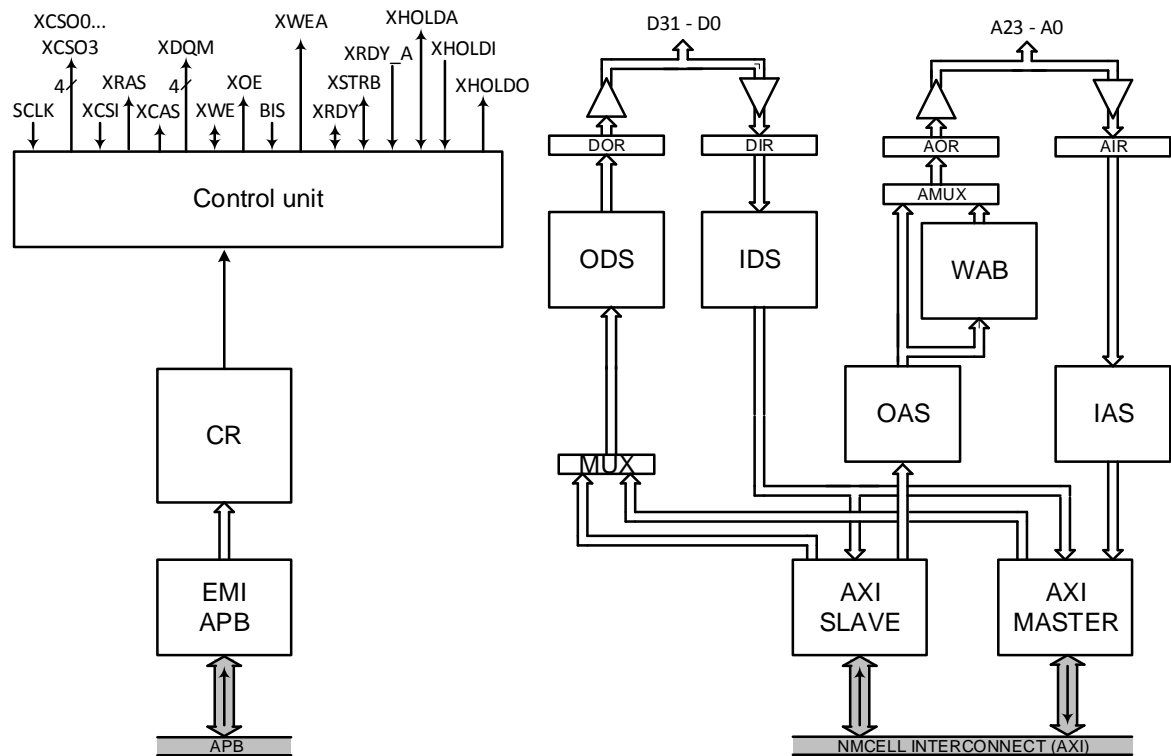
Блок ЕМІ обеспечивает доступ внешнего устройства к внутренней памяти процессора в конвейерном режиме с использованием сигналов готовности (XRDY и XSTRB).

Выборка данных из внутренней памяти и запись данных во внутреннюю память процессора осуществляется только 32- разрядными словами.

									Лист
									63
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					

### 1.6.2.5.3 Структурная схема интерфейса с внешней шиной

Структурная схема блока ЕМІ представлена на рисунке 1.12.



**Рисунок 1.12 – Структурная схема блока интерфейса с внешней шиной**

Блок ЕМІ содержит следующие узлы:

**AXI MASTER** – блок, формирующий запросы к внутренней шине межблочных соединений типа AMBA AXI спецификации 3.0 при запросах Host-процессора к внутренней памяти микросхемы.

**AXI SLAVE** - блок, преобразующий запросы с внутренней шины межблочных соединений типа AMBA AXI спецификации 3.0 в сигналы, управляющие работой блока интерфейса с внешней памятью.

**AXI APB** - блок, преобразующий сигналы периферийной шины микросхемы типа AMBA APB в сигналы управления чтением и записью конфигурационных регистров процессора.

**CR (Control Register)** – блок регистров управления работой интерфейса.

**IDS (Input Data Synchronize Buffer)** - буфер данных магазинного типа (FIFO), предназначенный для синхронизации процессов, протекающих на внешней шине данных микросхемы и на ее внутренних входных шинах данных, как в режиме чтения из внешней памяти (микросхема в режиме Master), так и в режиме произвольного доступа внешнего устройства к внутренней памяти (микросхема в режиме Slave). Буфер позволяет существенно повысить производительность блока интерфейса при выполнении операций, требующих использования ресурсов внешней шины.

**ODS (Output Data Synchronize Buffer)** - буфер данных магазинного типа (FIFO), предназначенный для синхронизации процессов, протекающих на внешней шине данных микросхемы и на ее внутренних выходных шинах данных, как в режиме записи данных во внешнюю память (микросхема в режиме Master), так и в режиме произвольного доступа внешнего устройства к внутренней памяти (микросхема в режиме Slave).

					Лист	
					64	
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		

DIR (Data input register) - 32-разрядный входной регистр данных, предназначенный для промежуточного хранения информации при считывании данных из внешней памяти (микросхема в режиме "Master") и при записи данных во внутреннюю память микросхемы (микросхема в режиме "Slave").

DOR (Data output register) - 32-разрядный выходной регистр данных, предназначенный для промежуточного хранения информации при записи данных во внешнюю память (микросхема в режиме "Master") и при считывании данных из внутренней памяти микросхемы (микросхема в режиме "Slave").

IAS (Input Address Synchronize Buffer) - буфер данных магазинного типа (FIFO), предназначенный для синхронизации процессов, протекающих на внешней шине адреса и на ее внутренней входной шине адреса в режиме произвольного доступа внешнего устройства к внутренней памяти микросхемы (микросхема в режиме "Slave").

AIR (Address Input Register) – 20-разрядный регистр входного адреса, предназначенный для промежуточного хранения адреса при обращении внешнего устройства к внутренней памяти микросхемы в режиме произвольного доступа (микросхема в режиме "Slave").

OAS (Output Address Synchronize Buffer) - буфер данных магазинного типа (FIFO), предназначенный для синхронизации процессов, протекающих на внешней шине адреса микросхемы и на ее внутренней выходной шине адреса при обращении процессора к внешней памяти (микросхема в режиме "Master").

WAB (Write Address Buffer) - буфер данных магазинного типа (FIFO), предназначенный для временного хранения адресов внешней памяти при операциях записи данных (микросхема в режиме "Master"). Буфер используется для накопления пакетов операций записи во внешнюю память с целью оптимизации использования внешней шины.

AMUX - выходной мультиплексор адреса. С помощью данного мультиплексора интерфейс осуществляет переключение между выполнением операций чтения данных из внешней памяти и выполнением операций записи данных во внешнюю память.

Формирование отдельно пакетов чтения из внешней памяти и пакетов записи во внешнюю память позволяет минимизировать переключения шины данных процессора с ввода на вывод и обратно. Если буфер WAB не полон, то операции чтения являются более приоритетными и обслуживаются интерфейсом в первую очередь. После заполнения буфера WAB интерфейс переключается на обслуживание пакета записи.

При совпадении адреса операции чтения с адресом операции записи обслуживание пакета чтения прерывается, и интерфейс переключается на обслуживание пакета записи.

AOR (Address Output Register) – 24-разрядный регистр адреса, предназначенный для промежуточного хранения адреса при обращении к внешней памяти (микросхема в режиме "Master").

Control Unit – устройство управления интерфейсом. На основании содержимого регистров конфигурации интерфейса, а также значений внешних и внутренних управляющих сигналов устройство управления выполняет следующие функции:

- формирование сигналов управления внешней памятью;
- формирование сигналов управления при арбитраже и передаче управления внешней шиной между процессором и внешним устройством;
- формирование запросов на чтение или запись данных при обращениях к внутренней памяти процессора;
- формирование сигналов управления отдельными узлами и блоками интерфейса.

#### 1.6.2.5.4 Внешние выводы интерфейса с внешней шиной

Функциональное назначение выводов интерфейса с внешней шиной зависит от режима работы процессора, типа обмена по шине и типа используемых микросхем внешней памяти.

Функциональное назначение выводов интерфейса при работе процессора в режиме "Master" показано в таблице 1.83. Функциональное назначение выводов интерфейса при работе процессора в режиме "Slave" показано в таблице 1.84.

					ЮФКВ.431268.022РЭ	Лист 65
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		

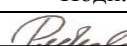
Режимы работы процессора в зависимости от состояния конфигурационного входа показаны в таблице 1.83.

**Таблица 1.83 – Функциональное описание выводов интерфейса с внешней шиной (при работе в режиме "Master")**

Обозначение <sup>1)</sup>	Кол-во	Тип <sup>2)</sup>	Функциональное назначение в различных режимах работы		
			"Master" & SRAM	"Master" & SDRAM	"Master" & SSRAM
D0 - D31	32	I/O	Шина данных	Шина данных	Шина данных
A0 - A19	21	I/O	Выходы адреса	Выходы адреса	Выходы адреса
A20-A23	4	O(Z)	Выходы адреса	Выходы адреса	Выходы адреса
SCLK	1	I	Тактовый сигнал внешней шины	Тактовый сигнал внешней шины	Тактовый сигнал внешней шины
XCS00, XCS01, XCS02, XCS03	4	O(Z)	Выборка банка внешней памяти	Выборка банка внешней памяти	Выборка банка внешней памяти
XCSI	1	I	-	-	-
XOE	1	O(Z)	Разрешение выдачи из внешней памяти	-	Разрешение выдачи из внешней памяти
XWE	1	I/O	-	Разрешение записи во внешнюю память	Разрешение записи во внешнюю память
XWEA	1	O(Z)	Разрешение записи 32-разрядного слова данных	-	-
XRAS	1	O(Z)	-	Строб адреса строки	-
XCAS	1	O(Z)	-	Строб адреса столбца	-
XDQM0 - XDQM3	4	O(Z)	Маска записи байтов слова данных	Маска записи байтов слова данных	Маска записи байтов слова данных
XRDY_A	1	I	Вход готовности внешнего устройства	-	-
XRDY	1	I/O	-	-	Вход готовности внешнего устройства
XSTRB	1	I/O	-	-	Вход сигнала готовности данных от внешнего устройства
XHOLDI	1	I	Запрос внешнего устройства на захват шины		
XHOLDO	1	O	Запрос микросхемы на захват шины		
XHOLDA	1	I/O	Разрешение захвата шины		
BIS	1	I	Режим управления шиной после сброса		

*Примечания*

- 1) Для выводов со знаком инверсии "X" активным является низкий уровень сигнала.
- 2) Используемые обозначения типов выводов:  
*I – вход,*  
*O – выход,*  
*O(Z) – выход с высокоимпедансным состоянием,*  
*I/O – двунаправленный вывод.*

					ЮФКВ.431268.022РЭ		Лист
							66
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		 16.10.2020		38075-2			

**Таблица 1.84 – Функциональное описание выводов интерфейса с внешней шиной (при работе в режиме "Slave")**

Обозначение <sup>1)</sup>	Кол-во	Тип <sup>2)</sup>	Функциональное назначение в различных режимах работы
			"Slave"
D0 - D31	32	I/O	Шина данных
A0 - A19	20	I/O	Входы адреса
A20 - A23	4	O(Z)	
SCLK	1	I	Тактовый сигнал внешней шины
XCSO0, XCSO1, XCSO2, XCSO3	4	O(Z)	-
XCSI	1	I	Выборка внутренней памяти процессора
XOE	1	O(Z)	-
XWE	1	I/O	Разрешение записи данных во внутреннюю память
XWEA	4	O(Z)	-
XRAS	1	O(Z)	-
XCAS	1	O(Z)	-
XDQM0 - XDQM3	4	O(Z)	-
XRDY_A	1	O(Z)	-
XRDY	1	I/O	Выход готовности к приему следующего обращения к внутренней памяти
XSTRB	1	I/O	Выход сигнала готовности данных при чтении из внутренней памяти
XHOLDI	1	I	Запрос внешнего устройства на захват шины
XHOLDO	1	O	Запрос микросхемы на захват шины
XHOLDA	1	I/O	Разрешение захвата шины
BIS	1	I	Режим управления шиной после сброса

*Примечания*

- 1) Для выводов со знаком инверсии "X" активным является низкий уровень сигнала.  
 2) Используемые обозначения типов выводов:  
 I – вход,  
 O – выход,  
 O(Z) – выход с высокоимпедансным состоянием,  
 I/O – двунаправленный вывод

**Таблица 1.85 – Режимы работы интерфейса микросхемы 1888BC058 в зависимости от состояния конфигурационного входа**

Обозначение	Функциональное назначение	Описание	
BIS	Принадлежность внешней шины процессора после системного сброса	0 -	Шина не принадлежит микросхеме
		1 -	Шина принадлежит микросхеме

**1.6.2.5.5 Синхронизация работы блока интерфейса**

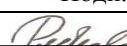
Блок интерфейса тактируется двумя независимыми тактовыми сигналами.

Тактовый сигнал шины подается на все внешние устройства, подключенные к внешней шине, (если необходимо) и на вход SCLK интерфейса с внешнего тактового генератора. Даже если ни одно внешнее устройство не использует тактовый сигнал шины, на вход SCLK он должен быть подан. В блоке интерфейса данным тактовым сигналом тактируется входная и выходная логика внешней шины.

Работа остальных устройств интерфейса тактируется тактовым сигналом блока интерфейса. В данном случае этим сигналом является тактовый сигнал шины AXI, к которой подключен блок.

**1.6.2.5.6 Регистры конфигурации интерфейса с внешней шиной**

Типы подключаемой внешней памяти, их временные и конструктивные параметры, а также управление работой блока интерфейса задаются программистом в конфигурационных регистрах блока. Регистры контроллера расположены в адресном пространстве периферийных

					ЮФКВ.431268.022РЭ		Лист 67
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		 16.10.2020		38075-2			



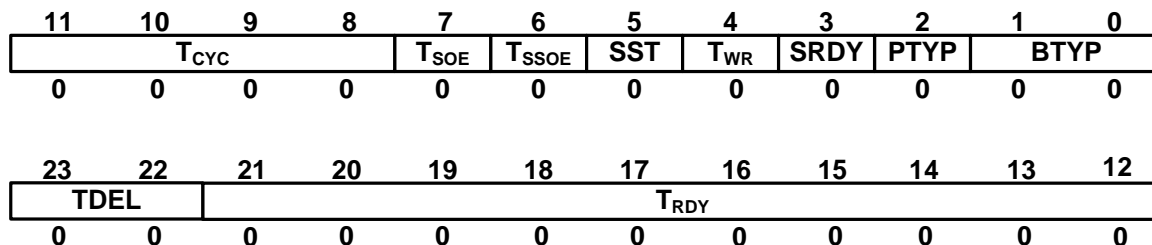
устройств процессора. Перечень программно доступных регистров блока представлен в таблице 1.86.

**Таблица 1.86 – Программно доступные регистры блока интерфейса с внешней памятью**

Адрес	Тип	Разрядность	Начальное значение	Имя	Описание
EMI Base + 0x00h	ЧТ/ЗП	22	0x0000	EMI_SS0	Регистр конфигурации статической памяти банка 0
EMI Base + 0x04h	ЧТ/ЗП	15	0x0000	EMI_SD0	Регистр конфигурации динамической памяти банка 0
EMI Base + 0x08h	ЧТ/ЗП	22	0x0000	EMI_SS1	Регистр конфигурации статической памяти банка 1
EMI Base + 0x0Ch	ЧТ/ЗП	15	0x0000	EMI_SD1	Регистр конфигурации динамической памяти банка 1
EMI Base + 0x10h	ЧТ/ЗП	22	0x0000	EMI_SS2	Регистр конфигурации статической памяти банка 2
EMI Base + 0x14h	ЧТ/ЗП	15	0x0000	EMI_SD2	Регистр конфигурации динамической памяти банка 2
EMI Base + 0x18h	ЧТ/ЗП	22	0x0000	EMI_SS3	Регистр конфигурации статической памяти банка 3
EMI Base + 0x1Ch	ЧТ/ЗП	15	0x0000	EMI_SD3	Регистр конфигурации динамической памяти банка 3
EMI Base + 0x20h	ЧТ/ЗП	17	0x0000	EMI_RFC	Регистр параметров регенерации динамической памяти
EMI Base + 0x24h	ЧТ/ЗП	1	0x0	EMI_BUS EN	Регистр управления разрешением на передачу шины внешнему устройству
EMI Base + 0x28h	ЧТ/ЗП	2	0x0	EMI_IMR	Регистр масок прерываний блока EMI
EMI Base + 0x2Ch	SET	2		EMI_IMR	Регистр масок прерываний блока EMI (установка бит)
EMI Base + 0x30h	RST	2		EMI_IMR	Регистр масок прерываний блока EMI (сброс бит)
EMI Base + 0x34h	-	-	-	-	Зарезервирован (доступ запрещен)
EMI Base + 0x38h	ЧТ/ЗП	2	0x0000	EMI_IRR	Регистр запросов на прерывание
EMI Base + 0x3Ch	RST	2		EMI_IRR	Регистр запросов на прерывание (сброс бит)
EMI Base + (0x40h - 0x3FFh)	-	-	-	-	Зарезервирован (доступ запрещен)

**1.6.2.5.6.1 Регистры конфигурации статической памяти EMI\_SSi**

В регистрах EMI\_SSi для каждого банка на внешней шине задается конфигурация и временные параметры статической памяти, подключаемой к данному банку. Формат регистров EMI\_SSi представлен на рисунке 1.13, а функциональное назначение полей приведено в таблице 1.87.



**Рисунок 1.13 – Формат регистра управления интерфейсом с внешней шиной EMI\_SSi**

					ЮФКВ.431268.022РЭ					Лист
										68
Изм	Лист	№ докум.	Подп.	Дата	Взам.инв.№		Инв.№дубл.		Подп. и дата	
	38075-3		<i>Редюк</i>	16.10.2020	38075-2					



**Таблица 1.87 – Функциональное назначение полей регистра EMI\_SSi**

Поле	Функция	Описание	
BTYP	Тип подключаемой к банку внешней памяти	00 – 01 – 10 – 11 –	Асинхронный (SRAM) SSRAM Конвейерный с RDY SDRAM
PTYP	Поддержка страничной организации при обмене по конвейерному типу памяти с RDY	0 – 1 –	Страничная организация памяти не поддерживается Страничная организация памяти поддерживается
SRDY	Использование внешнего сигнала готовности при работе с памятью типа SRAM	0 – 1 –	Внешний вывод не используется Внешний вывод используется
TWR	Задержка операций записи относительно момента открывания шины данных	0 – 1 –	0 тактов 1 такт
SST	Тип внешней памяти SSRAM	0 – 1 –	Flow-Through SSRAM Pipelined SSRAM
TSSOE	Удержание шины данных в высокоимпеданском состоянии после снятия сигнала OE <sub>n</sub> при обращении к памяти типа SSRAM	0 – 1 –	0 тактов 1 такт
TSOE	Удержание шины данных в высокоимпеданском состоянии после снятия сигнала OE <sub>n</sub> при обращении к памяти типа SRAM	0 – 1 –	0 тактов 1 такт
TCYC	Время цикла чтения/записи при обращении к памяти типа SRAM	1111 – 1110 – 1101 –  0000 –	2 такта 3 такта 4 такта  17 тактов
TRDY	Время ожидания сигнала готовности при обмене с памятью типа SRAM		Задается в тактах синхросигнала шины SCLK в дополнительном коде
TDEL	Задержка между операциями при работе с асинхронной памятью типа SRAM	00 – 01 – 10 – 11 –	Нет задержки 3 такта 2 такта 1 такт

Поле BTYP определяет тип обмена по внешней шине в режиме “Master”. Тип обмена с каждым из четырех внешних банков памяти определяется индивидуально для каждого банка.

Поля SST и TSSOE задают временные и конфигурационные параметры внешней памяти типа SSRAM.

SST определяет тип используемой памяти типа SSRAM.

TSSOE задает время (в тактах внешней шины), необходимое для перевода выходов микросхем памяти типа SSRAM в высокоимпеданское состояние после снятия процессором управляющего сигнала на выводе XOE.

Поля TCYC, TSOE и TDEL, SRDY задают временные и конфигурационные параметры внешней памяти типа SRAM.

SRDY определяет использование внешнего сигнала готовности при работе с внешней памятью по типу SRAM

TCYC задает время (в тактах внешней шины) циклов записи и чтения из микросхем памяти типа SRAM.

TSOE задает время (в тактах внешней шины), необходимое для перевода выходов микросхем памяти типа SRAM в высокоимпеданское состояние после снятия процессором управляющего сигнала на выводе XOE.

TDEL задает время (в тактах внешней шины) неактивного состояния на шине между отдельными обращениями к внешней памяти типа SRAM.

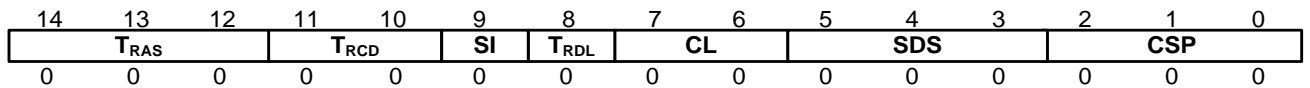
Поле TRDY определяет время ожидания сигнала готовности от внешнего устройства при работе с банком памяти определенным как SRAM. Время задается в тактах синхросигнала шины (SCLK) в дополнительном коде.

					ЮФКВ.431268.022РЭ		Лист
							69
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2			

После системного сброса все поля регистров EMI\_SSi обнуляются.

*1.6.2.5.6.2 Регистр конфигурации памяти EMI\_SDi*

Регистры EMI\_SDi определяют временные и конфигурационные параметры внешней памяти типа SDRAM. Формат регистра EMI\_SDi представлен на рисунке 1.14, а функциональное назначение его полей приведено в таблице 1.88.



**Рисунок 1.14 – Формат регистра управления интерфейсом с внешней шиной EMI\_SDi**

Поля CSP и SDS определяют конфигурационные параметры микросхем памяти типа SDRAM.

CSP задает размер столбцов в используемых микросхемах памяти типа SDRAM.

SDS задает объем (в 32-разрядных словах) используемой памяти типа SDRAM.

Поле SI определяет: кем производится инициализация микросхем памяти типа SDRAM. При записи в данное поле логической “1” при первом обращении в данный банк памяти запускается процедура инициализации SDRAM со следующими параметрами:

Длина посылки данных (Burst Length) – 1 слово.

Тип данных в посылке (Burst Type) – последовательный

Задержка данных на чтение (Cas Latency) – определяется полем CL регистра состояния EMI\_SDi.

Длина посылки данных при записи (Write Burst Length) – 1 слово.

Инициализация SDRAM в каждом банке проводится после подачи сигнала Reset только один раз. Последующие установка и сброс бита SI не оказывают влияние на работу интерфейса.

Для правильной инициализации необходимо, чтобы все временные и конфигурационные параметры, определяющие работу микросхем SDRAM, были заданы до начала инициализации.

Поля CL, TRDL, TRCD, TRAS определяют временные параметры микросхем типа SDRAM.

CL задает задержку (в тактах внешней шины) между выдачей запроса на чтение при работе с памятью типа SDRAM и получением считываемых данных. Значение этого поля должно совпадать с соответствующим значением, записанным в регистр управления микросхем SDRAM при их начальной инициализации.

TRDL задает задержку (в тактах внешней шины) между последней командой записи в ячейку памяти из открытой строки и закрытием этой строки.

TRCD задает время (в тактах внешней шины) выполнения команд открытия и закрытия строк памяти и время выполнения команды LMR (Load Mode Register) при инициализации SDRAM.

TRAS задает минимальное время (в тактах внешней шины), в течение которого невозможно закрыть открытую строку памяти типа SDRAM.

				ЮФКВ.431268.022РЭ				Лист 70
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
38075-3		<i>Редюк</i> 16.10.2020		38075-2				

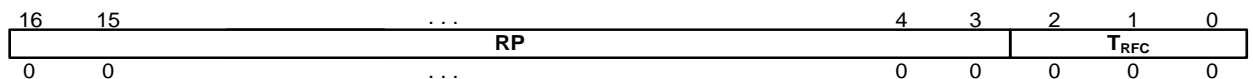
**Таблица 1.88 – Функциональное назначение полей регистров EMI\_SDi**

Поле	Функция	Описание	
CSP	Размер столбцов в памяти типа SDRAM	000 – 001 – 010 – 011 – 100 – 101 – 110 – 111 –	256 слов 512 слов резерв 1024 слов резерв 2048 слов резерв 4096 слов
SDS	Размер внешней памяти типа SDRAM (в 32-разрядных словах)	000 – 001 – 010 – 011 – 100 – 101 – 110 – 111 –	2М слов 4М слов 8М слов 16М слов 32М слов 64М слов 128М слов 256М слов
CL	Cas Latency при обращении к памяти типа SDRAM	00 – 01 – 10 – 11 –	CL = 3 такта CL = 2 такта CL = 1 такт Резерв
TRDL	Задержка на закрытие строки после записи SDRAM	0 – 1 –	1 такт 2 такта
SI	Задание параметров памяти типа SDRAM (инициализация SDRAM)	0 –  1 –	Инициализация SDRAM производится внешним образом Инициализацию SDRAM проводит процессор
TRCD	Задержка выдачи сигнала CAS относительно RAS	11 – 10 – 01 – 00 –	2 такта 3 такта 4 такта 5 тактов
TRAS	Минимальное время, в течение которого строка памяти типа SDRAM должна быть открыта	101 – 100 – 011 – 010 – 001 – 000 – 111 – 110 –	4 такта 5 тактов 6 тактов 7 тактов 8 тактов 9 тактов 10 тактов 11 тактов

После системного сброса все поля регистра EMI\_SDi обнуляются.

**1.6.2.5.6.3 Регистр конфигурации памяти EMI\_RFC**

В регистре EMI\_RFC задаются параметры регенерации памяти типа SDRAM. Параметры регенерации являются едиными для всех банков памяти, задаваемых как SDRAM. Формат регистра EMI\_RFC представлен на рисунке 1.15, а функциональное назначение его полей приведено в таблице 1.89.



**Рисунок 1.15 - Формат регистра управления интерфейсом с внешней шиной EMI\_RFC**

					ЮФКВ.431268.022РЭ	Лист 71
Изм	Лист	№ докум.	Подп.	Дата		
38075-3			<i>Редюк</i>	16.10.2020	38075-2	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата

**Таблица 1.89 – Функциональное назначение полей регистров EMI\_RFC**

Поле	Функция	Описание	
TRFC	Время регенерации строки памяти типа SDRAM.	011 –	6 тактов
		010 –	7 тактов
		001 –	8 тактов
		000 –	9 тактов
		111 –	10 тактов
		110 –	11 тактов
		101 –	12 тактов
		100 –	13 тактов
RP	Период регенерации внешней памяти типа SDRAM	Значение периода регенерации в тактах частоты внутренней шины AXI, к которой подключен блок EMI	

Поле TRFC задает время (в тактах внешней шины) выполнения команд регенерации памяти.

Периодичность команд регенерации внешней памяти типа SDRAM определяется специальным таймером регенерации. Счетным сигналом таймеров регенерации является тактовый сигнал шины AXI, к которой подключен блок интерфейса.

Период команд регенерации для памяти, подключенной к интерфейсу, задается пользователем в поле RP регистра конфигурации EMI\_RFC. Значение, задаваемое пользователем в регистре конфигурации, определяется по формуле:

$$N = \left\lfloor \frac{TRP}{N_{cyc} * T_{clk}} \right\rfloor, \quad \text{где}$$

TRP – период регенерации микросхем памяти;

NCYC – количество циклов регенерации за период;

Tclk – период тактовой частоты внутренней шины AXI, к которой подключен блок EMI.

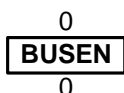
Значение N представляет собой целую часть данного выражения, взятую в дополнительном коде.

В случае применения в разных банках микросхем памяти с различными временными характеристиками регенерации время выполнения команды регенерации должно выбираться максимальным из представленных, а период регенерации – минимальным.

После системного сброса все поля регистра EMI\_RFC обнуляются.

#### 1.6.2.5.6.4 Регистр управления разрешением на передачу шины внешнему процессору BUSENK

Регистр разрешает/запрещает выполнение процедуры передачи управления шиной внешнему устройству для доступа к подключенной к шине внешней памяти или к внутренней памяти процессора. Формат регистра BUSENR представлен на рисунке 1.16, а функциональное назначение его полей приведено в таблице 1.90.



**Рисунок 1.16 – Формат регистра разрешения на передачу шины BUSENR**

**Таблица 1.90 – Функциональное назначение полей регистра BUSENR**

Обозначение	Функциональное назначение	Описание	
BUSEN	Разрешение на передачу внешней шины	0 -	Передача шины запрещена
		1 -	Передача шины разрешена

									Лист
									72
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
38075-3	<i>Редук</i> 16.10.2020		38075-2						

1.6.2.5.6.5 Регистр масок запросов на прерывание EMI\_IMR

Регистр EMI\_IMR предназначен для маскирования запросов на прерывания от блока интерфейса с внешней памятью. Формат регистра EMI\_IMR представлен на рисунке 1.17, а функциональное назначение его полей приведен в таблице 1.91.

Регистр EMI\_IMR доступен по записи и чтению. Кроме этого имеется возможность программной установки и сброса отдельных разрядов регистра.



Рисунок 1.17 – Формат регистра масок запросов на прерывания EMI\_IMR

Таблица 1.91 – Функциональное назначение полей регистра EMI\_IMR

Обозначение	Функциональное назначение	Описание	
MRDYR	Маска прерывания по срабатыванию таймера сигнала готовности при чтении из внешней памяти типа SRAM	0 -	Прерывание маскируется
		1 -	Прерывание не маскируется
MRDYW	Маска прерывания по срабатыванию таймера сигнала готовности при записи во внешнюю память типа SRAM	0 -	Прерывание маскируется
		1 -	Прерывание не маскируется

1.6.2.5.6.6 Регистр масок запросов на прерывание EMI\_IRR

В регистре EMI\_IRR фиксируются запросы на прерывание по событиям при выполнении блоком EMI операций чтения и записи. Формат регистра EMI\_IRR представлен на рисунке 1.18, а функциональное назначение его полей приведен в таблице 1.92.

Регистр EMI\_IRR доступен по записи и чтению. Кроме этого имеется возможность программного сброса отдельных разрядов регистра.

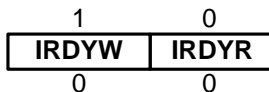


Рисунок 1.18 – Формат регистра масок запросов на прерывания EMI\_IRR

Таблица 1.92 – Функциональное назначение полей регистра EMI\_IRR

Обозначение	Функциональное назначение
IRDYR	Запрос на прерывание по срабатыванию таймера сигнала готовности при выполнении операции чтения при работе с асинхронным внешним устройством с внешним сигналом готовности
IRDYW	Запрос на прерывание по срабатыванию таймера сигнала готовности при выполнении операции записи при работе с асинхронным внешним устройством с внешним сигналом готовности

Блок EMI формирует один обобщенный запрос на прерывание: - запрос по срабатыванию таймера сигнала готовности при работе с асинхронным внешним устройством с внешним сигналом готовности. Формирование обобщенного запроса производится с учетом регистра масок IMR. Сброс запросов на прерывание в регистре EMI\_IRR производится программно.

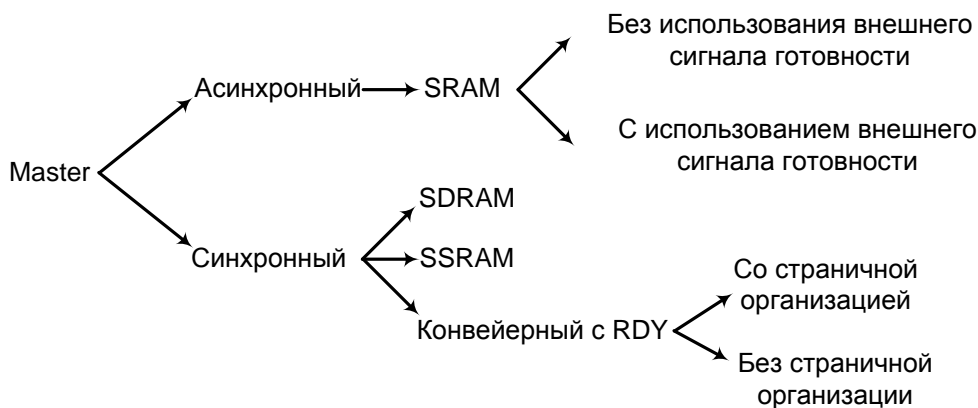
1.6.2.5.7 Циклы обращения к внешней памяти

В данном разделе описываются циклы обращения к внешней памяти, выполняемые микросхемой 1888BC058 в режиме “Master”.

На рисунке 1.19 представлены типы обмена по внешней шине, поддерживаемые в режиме “Master”. Выбор соответствующего типа обмена по шине для каждого из поддерживаемых бан-

									Лист
									73
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		<i>Редук</i> 16.10.2020			38075-2				

ков внешней памяти осуществляется в соответствии с установкой полей ВТYP регистра конфигурации EMI\_SSi.



**Рисунок 1.19 – Поддерживаемые типы обмена по внешней шине в режиме “Master”**

Тип обмена по шине, временные и конструктивные параметры задаются индивидуально для каждого банка памяти. Единственным исключением являются временные параметры регенерации внешней памяти типа SDRAM. Параметры регенерации задаются едиными для всех банков шины и должны удовлетворять требованиям для всех используемых микросхем памяти типа SDRAM.

В каждый момент времени интерфейс обслуживает один из банков памяти и соответственно настроен на работу с определенным типом памяти. Перенастройка интерфейса на обслуживание другого типа памяти происходит автоматически в момент обращения к другому банку памяти. Для того, чтобы изменения конфигурационных параметров (тип обмена, временные параметры и т.п.) банка, обслуживаемого интерфейсом в данный момент, вступили в силу, необходимо произвести обращение в другой банк памяти этого интерфейса

После системного сброса интерфейса все банки памяти настроены на работу с асинхронной статической памятью (SRAM) с максимальным временем цикла чтения/записи.

#### 1.6.2.5.7.1 Асинхронный тип обмена по внешней шине в режиме “Master”

Асинхронный тип обмена с внешней памятью предполагает обмен с асинхронной статической памятью (SRAM), перепрограммируемой FLASH памятью (NOR-FLASH), а также с внешними устройствами с использованием сигнала готовности.

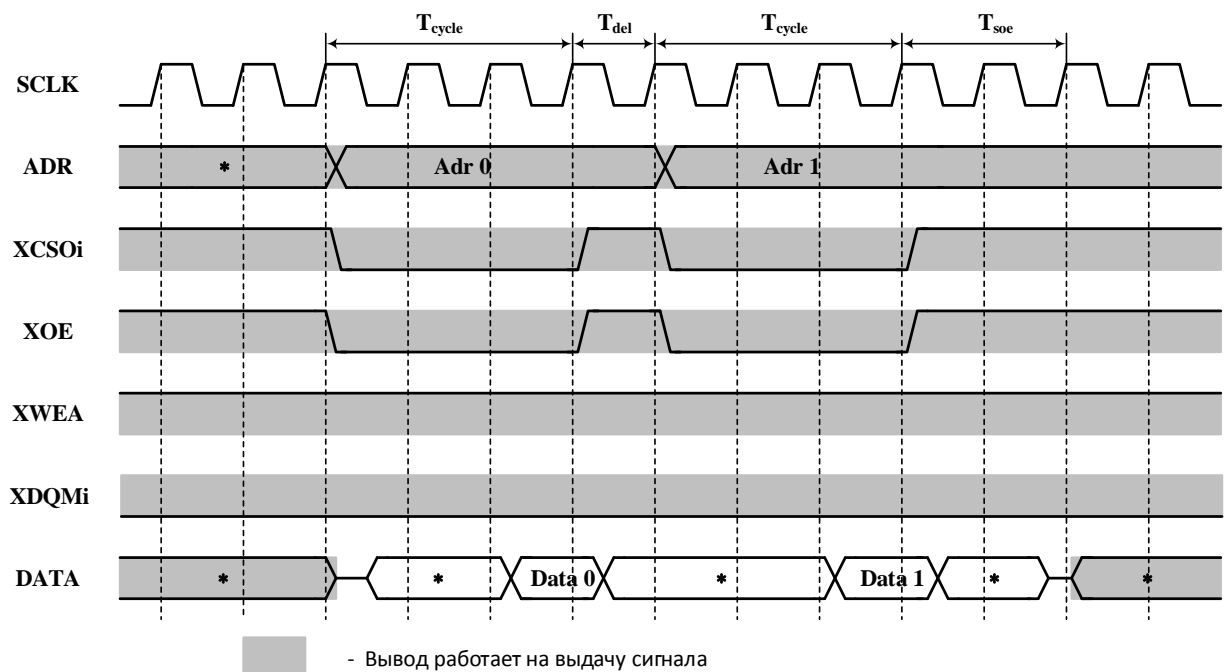
##### 1.6.2.5.7.1.1 Работа с асинхронной статической памятью (SRAM) без использования внешнего сигнала готовности

Организация циклов чтения и записи при асинхронном типе обмена по внешней шине производится с помощью управляющих выводов XCSOi, XOE, XWEA и XDQMi. Остальные управляющие выходы находятся в неактивном состоянии.

На рисунке 1.20 представлены временные диаграммы циклов чтения из внешней памяти типа SRAM.

									Лист
									74
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2						





**Рисунок 1.20 – Временные диаграммы циклов чтения из внешней памяти типа SRAM без использования внешнего сигнала готовности**

Цикл обмена по шине занимает от двух до семнадцати тактов синхросигнала шины SCLK. Время выполнения команд чтения и записи в данном режиме определяется полем TCYC регистра конфигурации EMI\_SSi.

При чтении из внешней памяти типа SRAM, по положительному фронту сигнала SCLK, процессор выдает на внешнюю шину адрес требуемой ячейки памяти и сигналы XCSOi и XOE. Через время TCYC по положительному фронту сигнала SCLK, считываемые данные защелкиваются во входном регистре данных. Если следующий цикл чтения не идет непосредственно за предыдущим или в поле TDEL конфигурационного регистра EMI\_SSi установлена задержка между операциями на шине, то процессор снимает сигналы XCSOi и XOE. Внешние выводы XDQMi при выполнении данной операции находятся в активном состоянии.

Следующая операция на внешней шине в данном режиме начнется через время, определяемое полем TDEL регистра конфигурации EMI\_SSi.

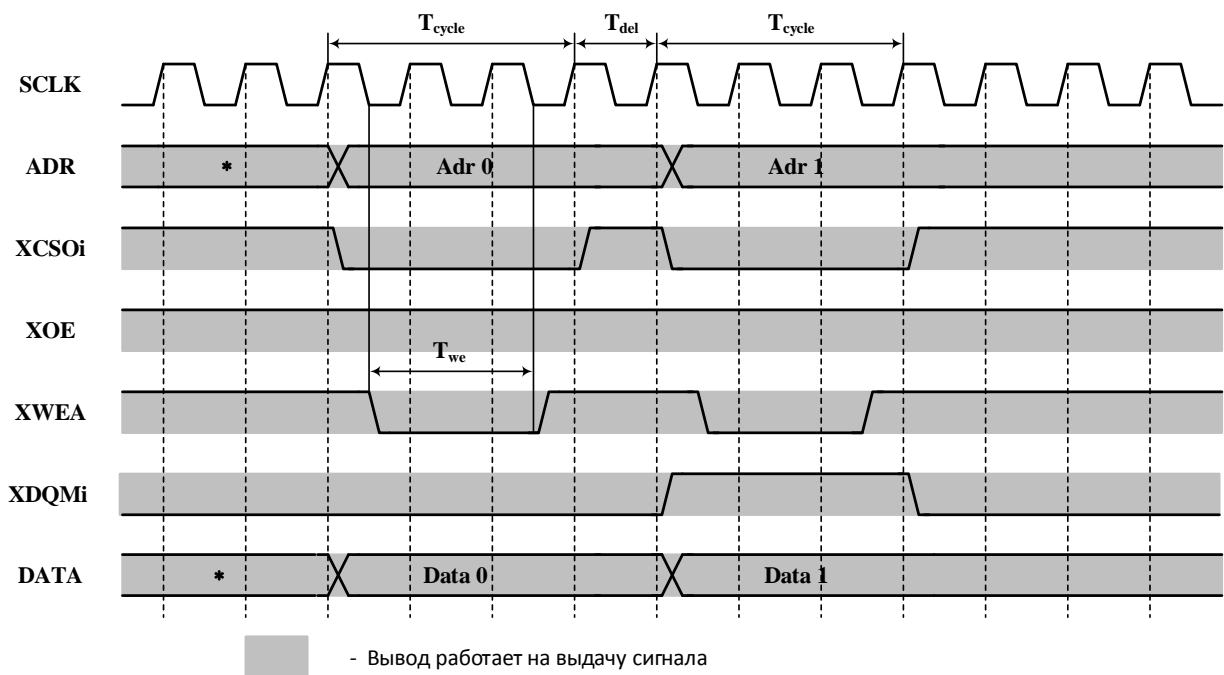
На рисунке 1.21 представлены временные диаграммы циклов записи во внешнюю память типа SRAM.

При записи во внешнюю память типа SRAM, по положительному фронту сигнала SCLK, процессор выдает на внешнюю шину адрес требуемой ячейки памяти, записываемые данные и сигнал XCSOi. Через время, равное половине периода SCLK, процессор выдает сигнал разрешения записи XWEA. За время, равное половине периода SCLK до истечения цикла записи TCYC, управляющий сигнал XWEA снимается. Если следующий цикл записи не идет непосредственно за предыдущим или в поле TDEL конфигурационного регистра EMI\_SSi установлена задержка между операциями на шине, то процессор снимает сигнал XCSOi. Маскирование записи отдельных байтов записываемого слова осуществляется выдачей маски записи соответствующего байта на выводы XDQMi (высокий уровень сигнала).

Следующая операция на внешней шине в данном режиме начнется через время, определяемое полем TDEL регистра конфигурации EMI\_SSi.

					ЮФКВ.431268.022РЭ	Лист 75
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		





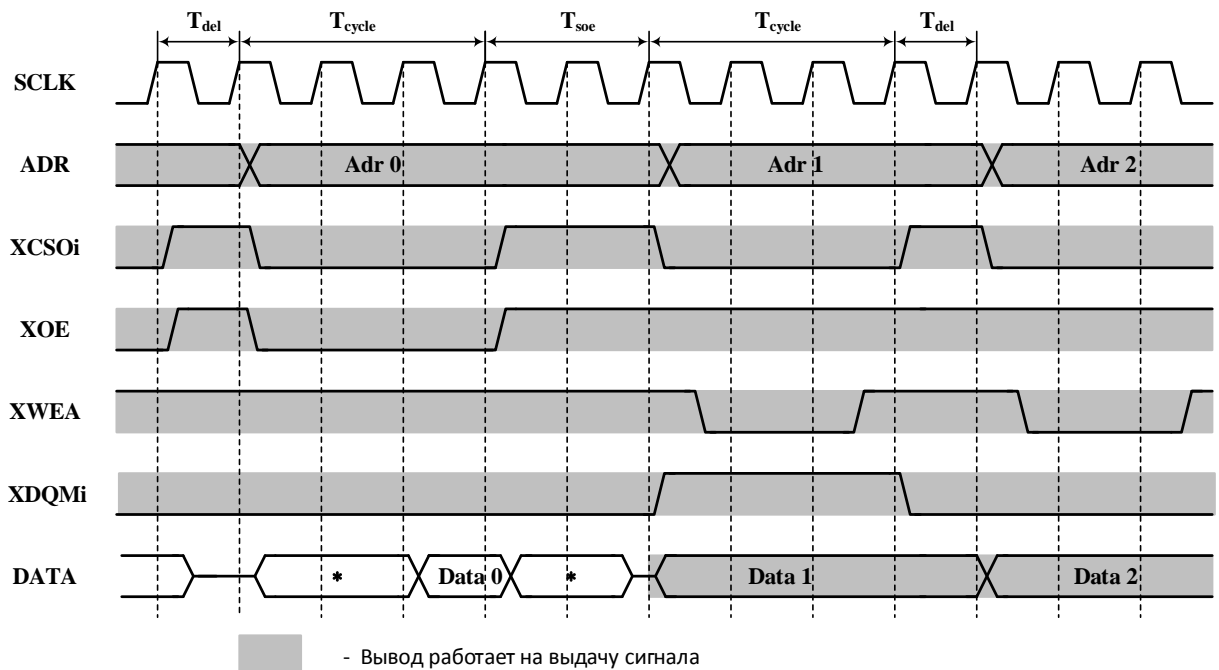
**Рисунок 1.21 – Временные диаграммы циклов записи во внешнюю память типа SRAM без использования внешнего сигнала готовности**

На рисунке 1.22 представлены временные диаграммы цикла чтения из памяти и последующих за ним двух циклов записи в память типа SRAM.

По положительному фронту сигнала SCLK одновременно с защелкиванием считываемых данных во входном регистре процессор снимает сигналы XCSOi и XOE. Через время TSOE, определяемое полем TSOE регистра конфигурации EMI\_SSi, процессор выдает на внешнюю шину адрес ячейки, в которую выполняется запись, записываемые данные и сигнал XCSOi. Задержка на время TSOE необходима для перевода выходов данных памяти в состояние “на ввод”. После этого через время, равное половине тактового сигнала шины SCLK, формируется активный уровень управляющего сигнала XWEA. За время, равное половине периода SCLK до истечения цикла записи TCYC, управляющий сигнал XWEA снимается. Маскирование записи отдельных байтов записываемого слова осуществляется выдачей маски записи соответствующего байта на выходы XDQMi.

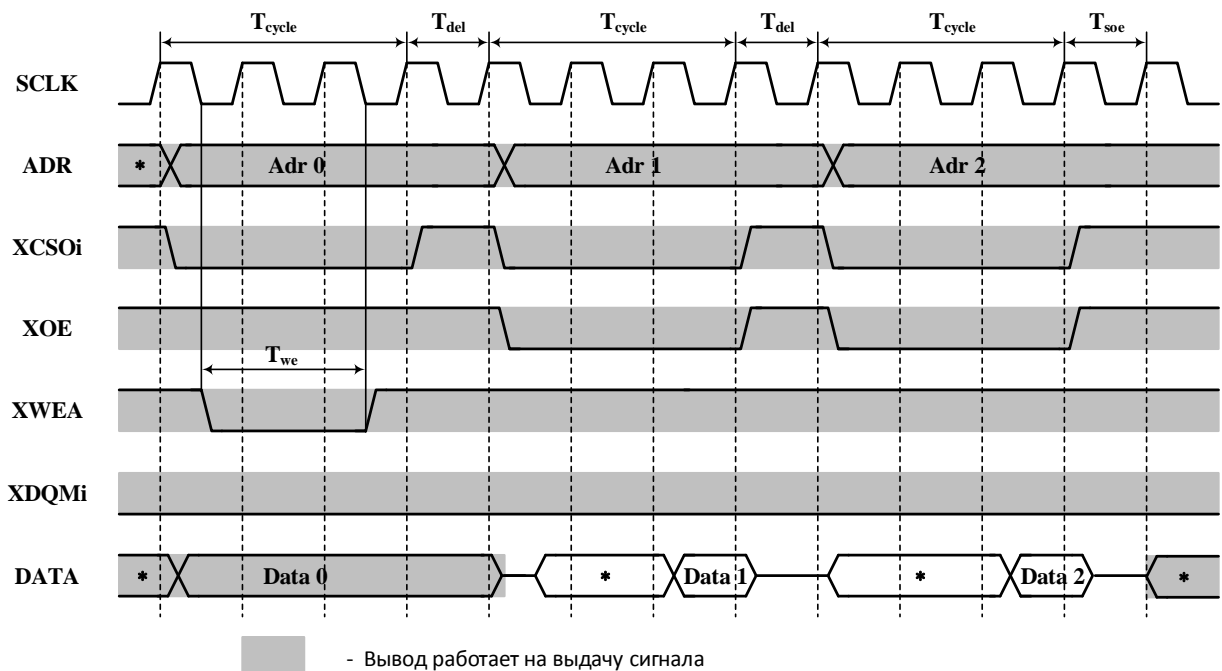
Следующая операция на внешней шине в данном режиме начнется через время, определяемое полем TDEL регистра конфигурации EMI\_SSi.

					ЮФКВ.431268.022РЭ		Лист 76
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2			



**Рисунок 1.22 – Временные диаграммы последовательных циклов чтения – записи при работе с внешней памятью типа SRAM**

На рисунке 1.23 представлены временные диаграммы цикла записи в память и последующих за ним двух циклов чтения из памяти типа SRAM.



**Рисунок 1.23 – Временные диаграммы последовательных циклов записи – чтения при работе с внешней памятью типа SRAM**

За время, равное половине периода SCLK до истечения цикла записи TCYC, управляющий сигнал XWEA снимается. В конце цикла записи снимается управляющий сигнал XCSOi. Если сразу же после цикла записи идет цикл чтения из памяти, то выходы данных одновременно переводятся в состояние “на ввод”. Через время, равное одному такту сигнала SCLK или

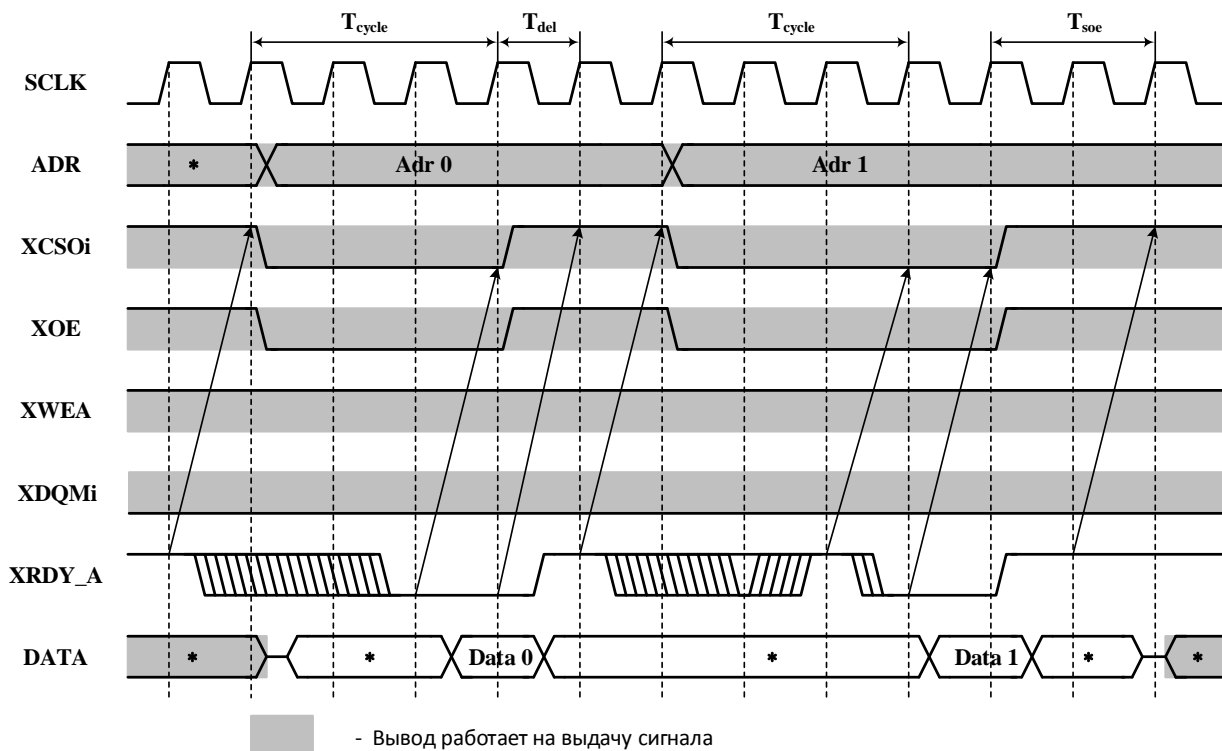
					Лист	
					77	
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		

через время TDEL (если это время больше одного такта), процессор выдает на шину адреса адрес требуемой ячейки памяти, а на управляющие выходы XCSOi и XOE - сигнал низкого уровня. С этого момента начинается отсчет времени TCYC. По окончании цикла, если не производится следующего обращения к памяти, процессор снимает сигналы XCSOi и XOE, и через время TSOE переводит выходы шины данных в состояние “на вывод”.

1.6.2.5.7.1.2 Работа с асинхронной статической памятью (SRAM) с использованием внешнего сигнала готовности

Организация циклов чтения и записи при асинхронном типе обмена по внешней шине производится с помощью управляющих выводов XCSOi (в соответствии с адресом текущего обращения к памяти), XOE, XWEA и XDQMi. Внешний сигнал готовности подается на вывод XRDY\_A. Остальные управляющие выходы находятся в неактивном состоянии.

Временные диаграммы обмена в данном режиме представлены на рисунках 1.24, 1.25.



**Рисунок 1.24 – Временные диаграммы циклов чтения из внешней памяти типа SRAM с использованием внешнего сигнала готовности**

Внешний сигнал готовности защелкивается во входном регистре процессора по положительному фронту сигнала SCLK. Операция чтения на внешней шине в данном режиме начнется, если по предыдущему фронту сигнала SCLK процессор защелкнул высокий уровень сигнала на входе XRDY\_A (неготовность внешнего устройства). В этом случае на внешние выходы выдается адрес ячейки памяти и активизируются управляющие сигналы XCSOi и XOE. Время выполнения операции не может быть меньше времени, заданного полем TCYC регистра конфигурации EMI\_SSi.

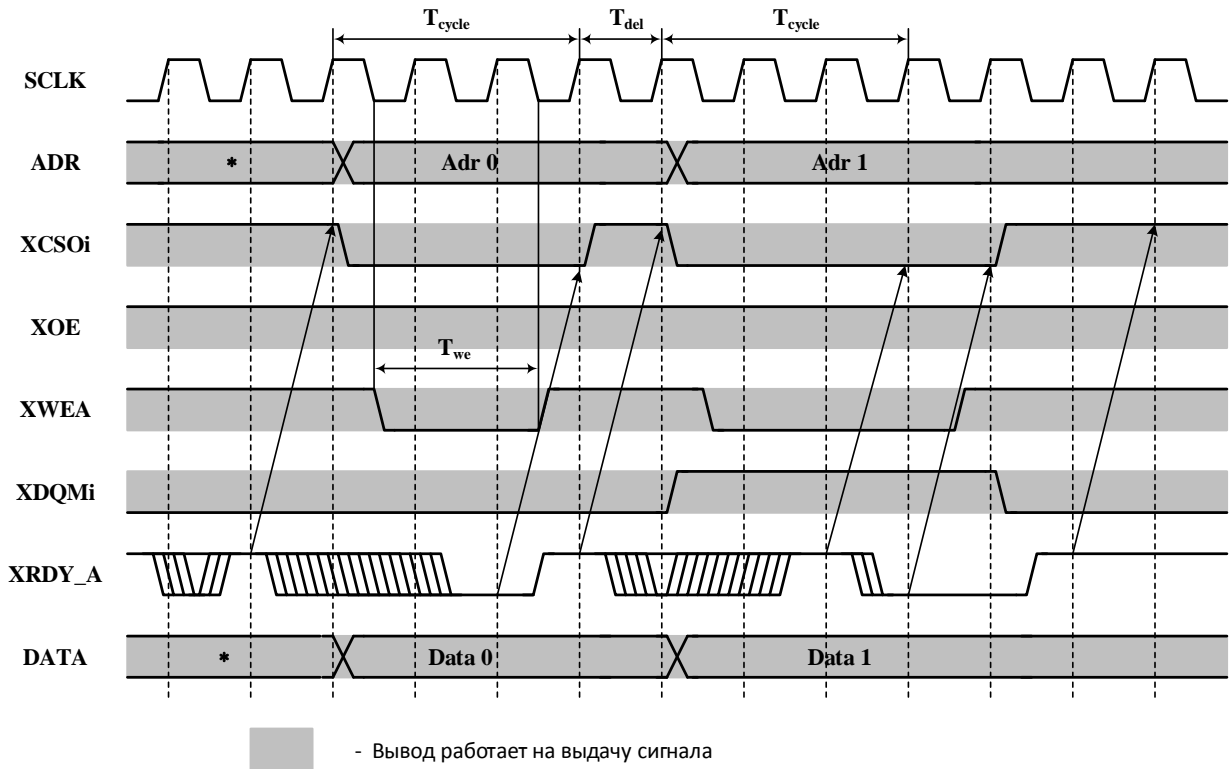
Если в такте, предшествующем последнему такту времени TCYC сигнал готовности активен (низкий уровень), то цикл чтения или записи завершается. Если сигнал готовности не активен (высокий уровень), то данный цикл обращения продолжается до тех пор, пока сигнал готовности не станет активным.

Время ожидания сигнала готовности задается полем TRDY регистра конфигурации EMI\_SSi. Время ожидания задается в тактах синхросигнала шины (SCLK) в дополнительном коде. Если за время ожидания внешнее устройство не сформирует сигнал готовности, то сигнал

					ЮФКВ.431268.022РЭ	Лист 78
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		

готовности будет сформирован внутренним образом. При этом операция чтения завершится штатно. На шину AXI вместе со считанными данными будет выдан сигнал ошибки данных и в регистре прерывания интерфейса IRR будет сформирован запрос на прерывание по отсутствию сигнала готовности внешнего устройства.

Штатное завершение цикла обращения к внешнему устройству в данном режиме предполагает, что внешнее устройство снимет сигнал готовности (выдаст на вход XRDY\_A сигнал высокого уровня). В связи с этим любая следующая операция на внешней шине может начаться через время TDEL, определенном в конфигурационном регистре EMI\_SSi, при обнаружении высокого уровня на входе XRDY\_A.



**Рисунок 1.25 – Временные диаграммы циклов записи во внешнюю память типа SRAM с использованием внешнего сигнала готовности**

Выполнение операции записи в данном режиме производится аналогично выполнению операций записи из внешней памяти типа SRAM без внешнего сигнала готовности с учетом особенностей данного режима, описанных выше.

#### 1.6.2.5.7.2 Синхронный тип обмена по внешней шине в режиме “Master”

Организация циклов чтения и записи при синхронном типе обмена по внешней шине производится с помощью управляющих выводов XCSOi (в соответствии с адресом текущего обращения к памяти), XOE, XWE, XRAS, XCAS, XDQMi, XRDY и XSTRB (если используется обмен с сигналами готовности). Управляющий вывод XWEA находится в неактивном состоянии.

Синхронный тип обмена по шине позволяет работать со следующими видами внешней памяти: синхронной динамической памятью (SDRAM), синхронной статической памятью (SSRAM). Кроме того возможен обмен данными с внешними устройствами, в конвейерном режиме с использованием сигналов готовности внешнего устройства XRDY и XSTRB. Режим работы интерфейса при синхронном типе обмена задается полями BTyp регистра конфигурации EMI\_SSi.

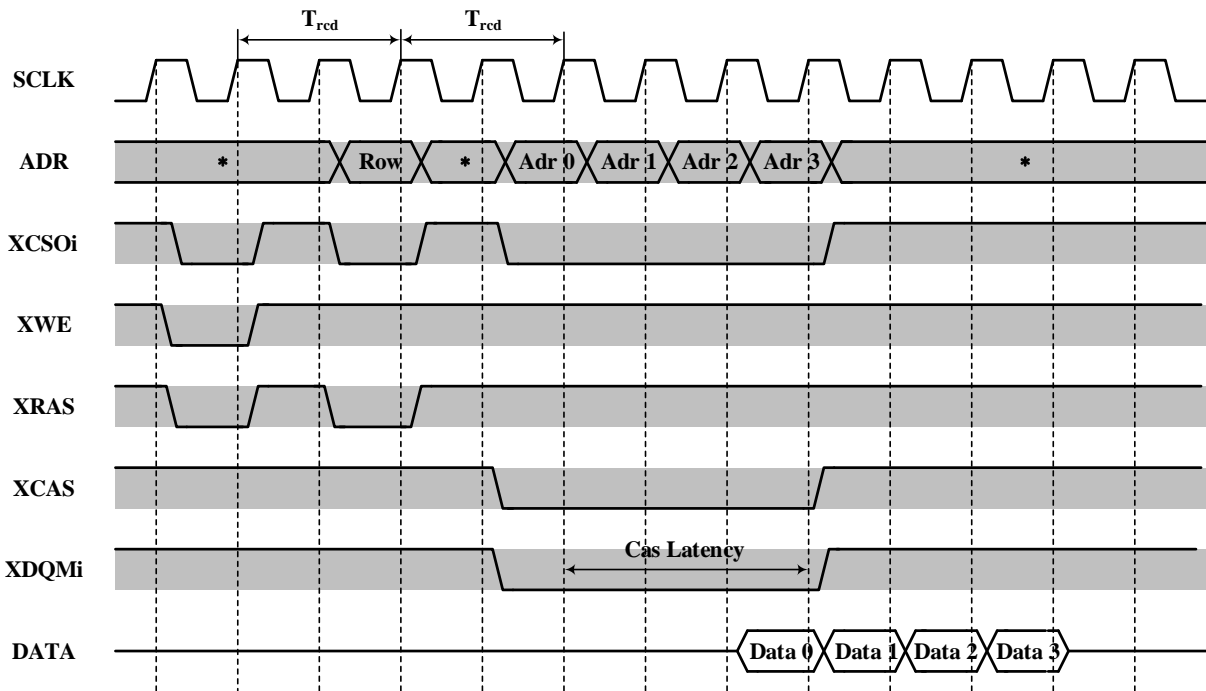
					ЮФКВ.431268.022РЭ	Лист 79
Изм	Лист	№ докум.	Подп.	Дата		
Инвар.№подл.	Подп. и дата		Взам.инвар.№	Инвар.№дубл.	Подп. и дата	
38075-3	<i>Редук</i> 16.10.2020		38075-2			

1.6.2.5.7.2.1 Работа с синхронной динамической памятью (SDRAM)

Интерфейс может работать с микросхемами внешней памяти типа SDRAM различного объема с внутренней четырехбанковой организацией. Работа с микросхемами памяти типа SDRAM с внутренней организацией в два банка без дополнительного оборудования не поддерживается.

Управление обменом с внешней памятью типа SDRAM осуществляется с помощью выводов XCSOi, XRAS, XCAS, XWE, XDQM<sub>i</sub>. При этом выходы XOE, XRDY и XSTRB находятся в неактивном состоянии.

На рисунке 1.26 представлены временные диаграммы трех последовательных циклов чтения из неоткрытой страницы внешней памяти типа SDRAM. Параметр CAS Latency равен трем тактам.



Примечание: параметр Cas Latency равен 3 тактам

■ - Вывод работает на выдачу сигнала

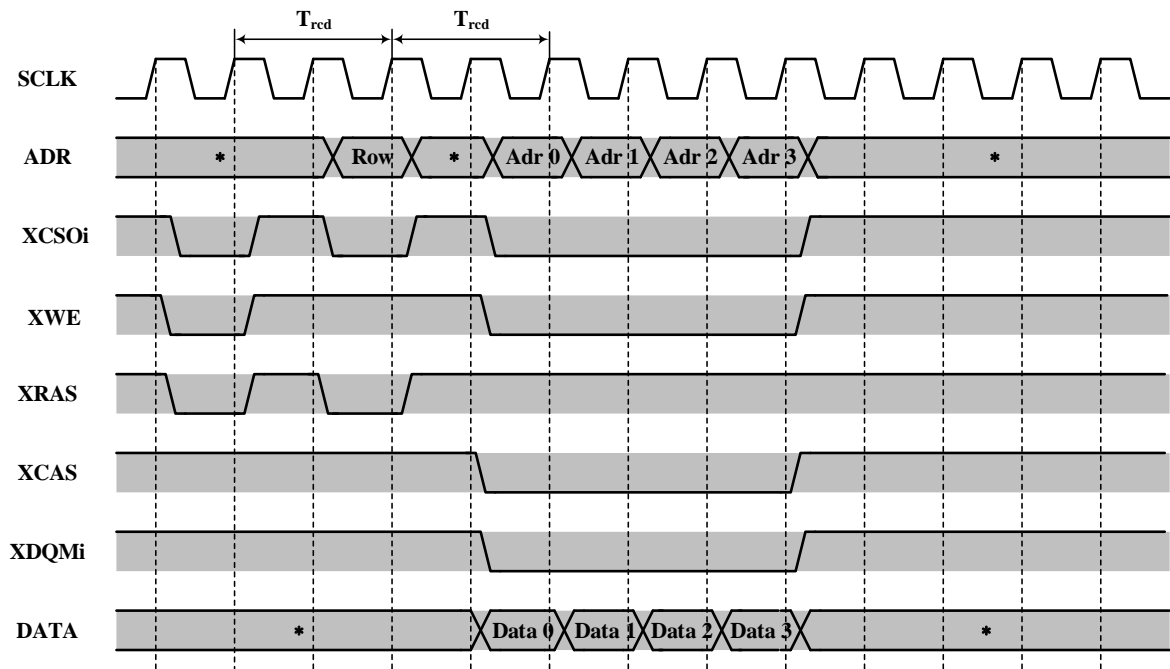
Рисунок 1.26 – Временные диаграммы циклов чтения из неоткрытой страницы SDRAM

При обращении за данными в неоткрытую страницу памяти типа SDRAM последовательно выполняются следующие команды памяти типа SDRAM: Precharge, Active и Read. Длительность выполнения команд Precharge и Active определяется полем Trcd регистра конфигурации EMI<sub>SDi</sub>. Длительность выполнения команды Read всегда составляет один такт. После команды Active процессор запоминает адрес текущей открытой строки, поэтому при следующих обращениях в эту же строку выполнения команд Precharge и Active не требуется. Соответствие команд SDRAM состояниям на управляющих выходах интерфейса представлено в таблице Таблица 1.93.

Состояния управляющих выводов и адрес требуемой ячейки памяти защелкиваются в памяти SDRAM по положительному фронту сигнала SCLK. Данные на входах процессора появляются через время, определяемое параметром CAS Latency, и защелкиваются во входном регистре данных по положительному фронту сигнала SCLK. Параметр CAS Latency задается полем CL регистра конфигурации EMI<sub>SDi</sub>.

					ЮФКВ.431268.022РЭ	Лист 80
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редюк</i> 16.10.2020		38075-2		

На рисунке 1.27 приведены временные диаграммы четырех последовательных циклов записи в неоткрытую страницу внешней памяти типа SDRAM. Параметр CAS Latency равен трем тактам.



Примечание: параметр Cas Latency равен 3 тактам

■ - Вывод работает на выдачу сигнала

**Рисунок 1.27 – Временные диаграммы циклов записи в неоткрытую страницу SDRAM**

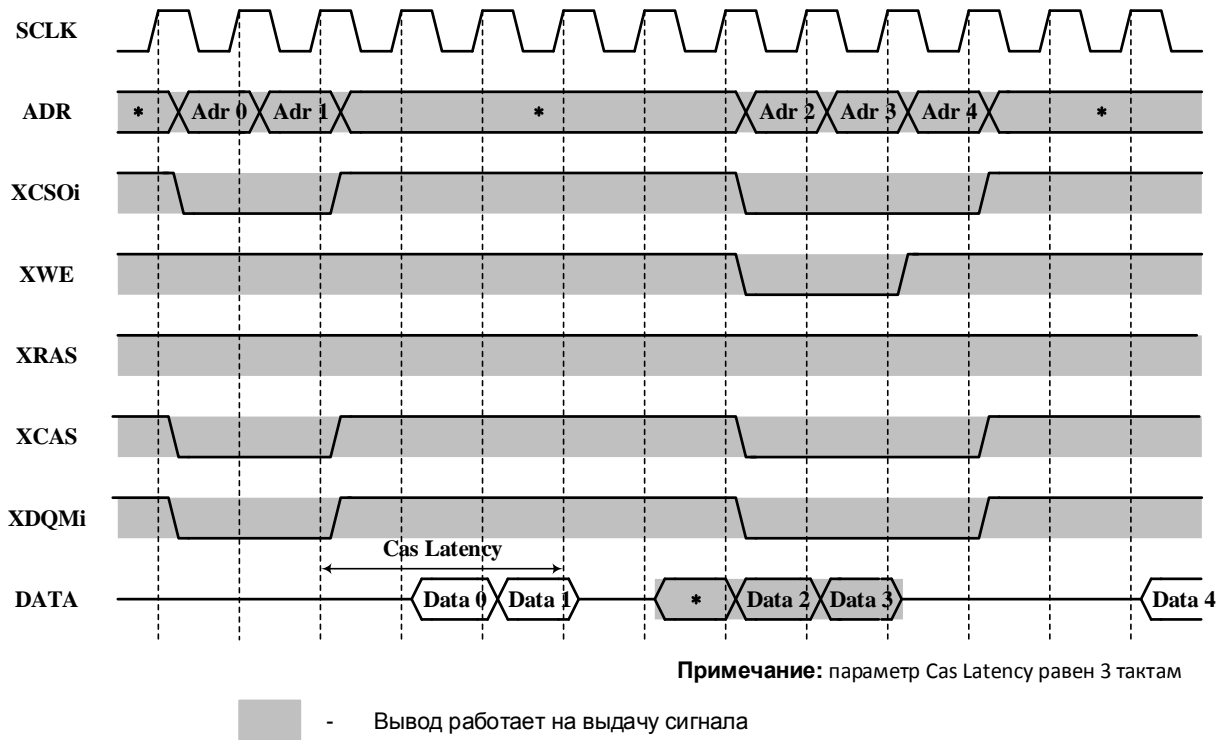
Открытие строки при операциях записи происходит точно так же, как и при операциях чтения. Записываемые данные защелкиваются во внешней памяти по положительному фронту сигнала SCLK вместе с требуемым адресом и сигналами управления. Длительность команды записи - один такт. Управляющие выходы XDQM<sub>i</sub> используются для маскировки записи отдельных байтов слова данных.

На рисунке Рисунок 1.28 приведены временные диаграммы последовательного цикла два чтения – две записи – одно чтение из открытой страницы внешней памяти типа SDRAM. Параметр CAS Latency равен трем тактам.

Если непосредственно за операцией чтения из внешней памяти типа SDRAM идет операция записи в эту память, то микросхема, после защелкивания последних считываемых данных во входном регистре, по следующему положительному фронту сигнала SCLK переводит выходы данных в состояние “на вывод”. С задержкой, определяемой полем TWR регистра конфигурации EMI\_SSi на шину выставляется адрес записываемого слова, записываемые данные и управляющие сигналы, определяющие операцию записи.

Если непосредственно за операцией записи во внешнюю память типа SDRAM идет операция чтения из этой памяти, то в следующем такте после последней операции записи микросхема переводит выходы шины данных в состояние “на ввод” и одновременно выдает на внешние выходы адрес считываемого слова и управляющие сигналы, определяющие операцию чтения.

					ЮФКВ.431268.022РЭ			Лист
								81
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
38075-3		<i>Редук</i> 16.10.2020		38075-2				



**Рисунок 1.28 – Временные диаграммы перехода чтение- запись и запись- чтение при обращении к внешней памяти типа SDRAM**

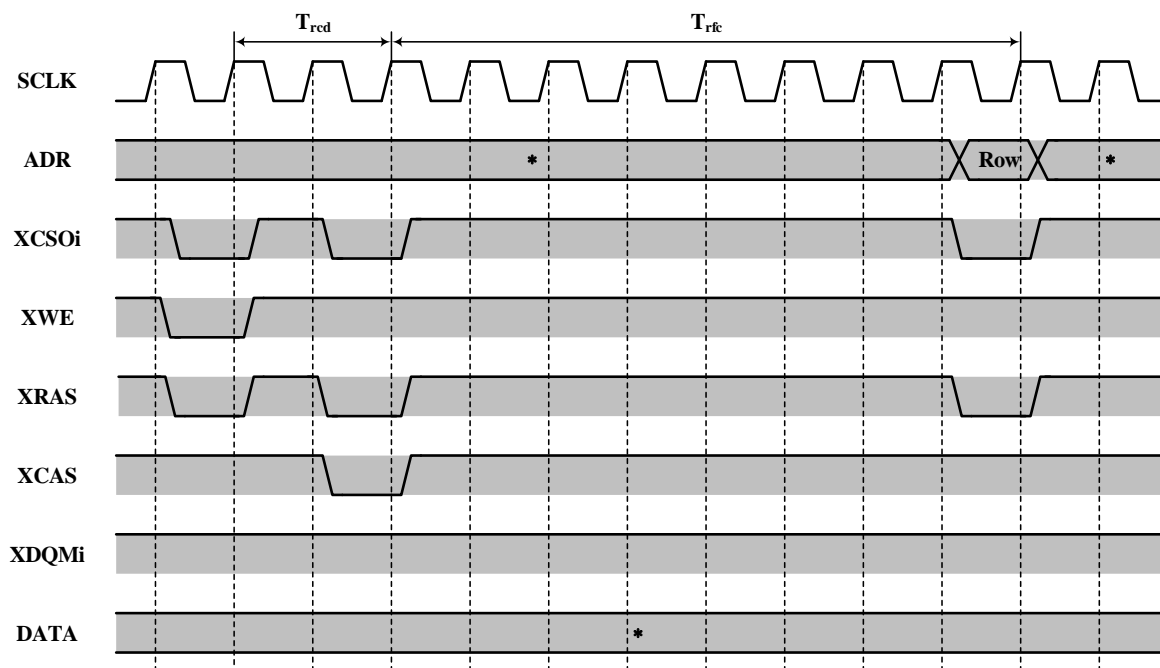
На рисунке 1.29 приведены временные диаграммы одного цикла регенерации строки внешней памяти типа SDRAM.

Регенерация строки памяти осуществляется последовательной подачей команд Precharge и Refresh. Длительность выполнения этих команд определяется полями Trcd регистра конфигурации EMI\_SDi и Trfc регистра конфигурации EMI\_RCF. Период следования команд регенерации задается полем RP регистра EMI\_RCF. Регенерация внешней памяти, если она необходима, производится независимо от того в какой банк памяти идет текущее обращение.

Операция регенерации строки памяти типа SDRAM производится одновременно во всех банках памяти, тип которых задан как SDRAM.

					ЮФКВ.431268.022РЭ	Лист 82
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редюк</i> 16.10.2020		38075-2		





Примечание: параметр Cas Latency равен 3 тактам

■ - Вывод работает на выдачу сигнала

Рисунок 1.29 – Временные диаграммы регенерации строки SDRAM

Соответствие команд SDRAM состояниям на управляющих выходах интерфейса представлено в таблице Таблица 1.93. Команда защелкивается во внешней памяти по положительному фронту сигнала SCLK.

Таблица 1.93 – Соответствие команд SDRAM состояниям на управляющих выходах интерфейса

Команда SDRAM	XCSOi	XRAS	XCAS	XWE	XDQMi
Deactive	H	X	X	X	X
Nop	L	H	H	H	H
Precharge	L	L	H	L	H
Active	L	L	H	H	H
Read	L	H	L	H	L
Write	L	H	L	L	L/H
Refresh	L	L	L	H	H
MRS	L	L	L	L	H

#### 1.6.2.5.7.2.2 Работа с синхронной статической памятью (SSRAM)

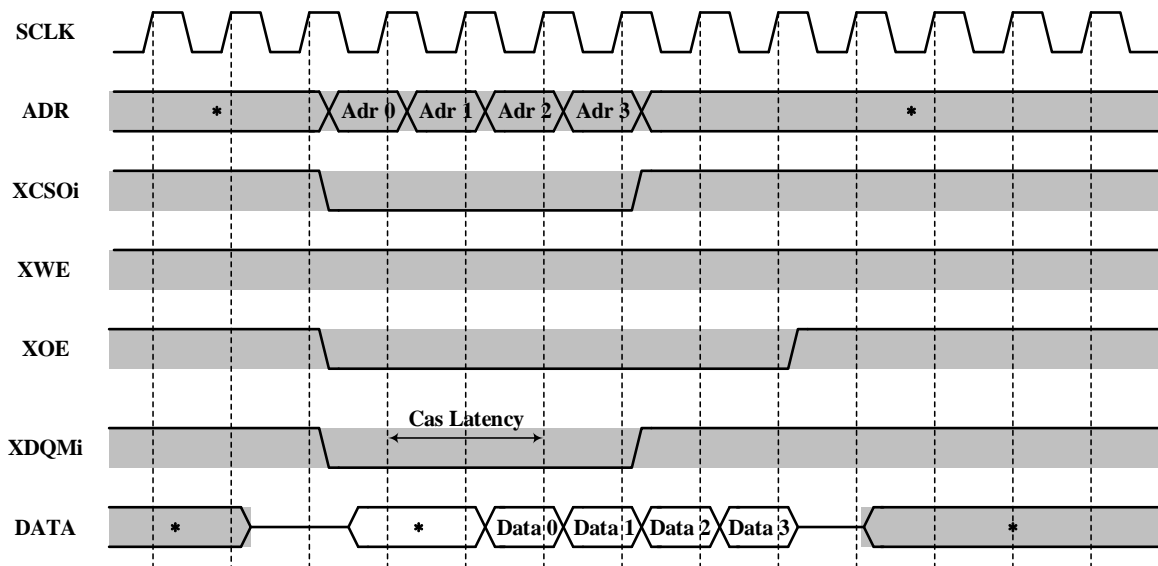
Интерфейс может работать со следующими типами микросхем памяти SSRAM:

- одноктактовой - Flow-Through SSRAM;
- двухтактовой с двухтактовым переводом в неактивное состояние - DCD (Double Cycle Deselect) Pipelined SSRAM.

Управление обменом с внешней памятью типа SSRAM осуществляется с помощью выводов XCSOi, XWE, XDQMi, XOE. При этом выходы XRAS, XCAS, XRDY и XSTRB находятся в неактивном состоянии.

На рисунке 1.30 представлены временные диаграммы четырех последовательных циклов чтения из внешней памяти типа SSRAM (Pipelined).

									Лист
									83
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата			
38075-3	<i>Редук</i> 16.10.2020		38075-2						



Примечание: параметр Cas Latency равен 2 тактам (Pipelined SSRAM)

■ - Вывод работает на выдачу сигнала

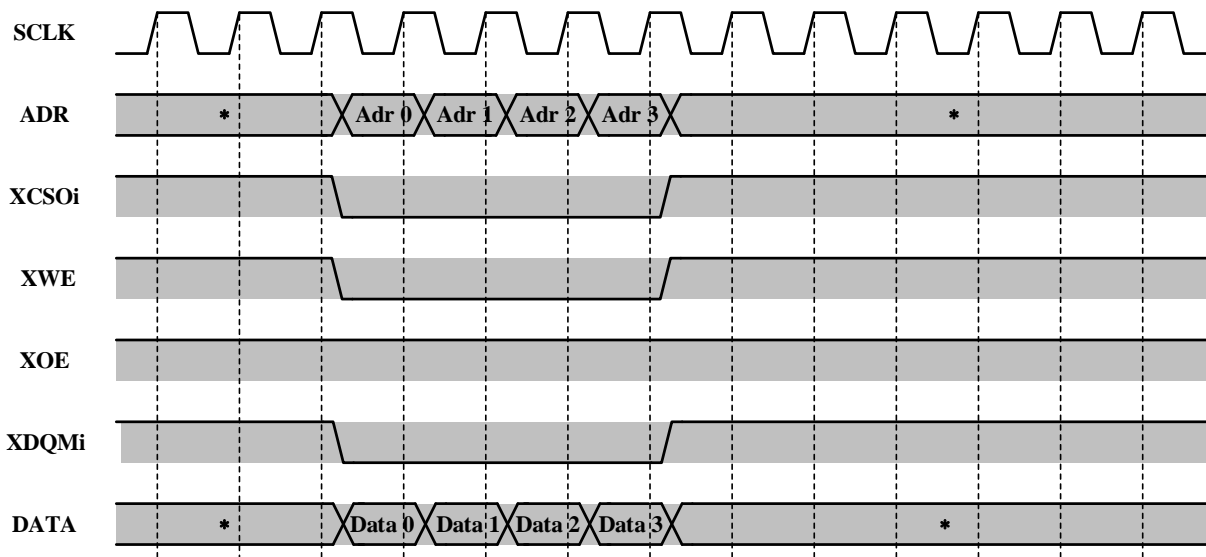
Рисунок 1.30 – Временные диаграммы циклов чтения из SSRAM

При чтении из внешней памяти типа SSRAM по положительному фронту сигнала SCLK микросхема выдает на внешнюю шину адрес требуемой ячейки памяти и сигналы XCSOi, XOE и XDQM. Адрес ячейки, в которую идет обращение, защелкивается внешней памятью по положительному фронту сигнала SCLK. Следующая команда чтения может быть защелкнута по следующему положительному фронту сигнала SCLK. После фиксации команды чтения, через время, определяемое параметром Cas Latency, считываемые данные по фронту SCLK защелкиваются во входном регистре данных микросхемы. Параметр Cas Latency, в случае внешней памяти типа SSRAM, определяется конструктивными особенностями микросхем памяти. Для Flow-Through SSRAM этот параметр равен 1 такту, а для Pipelined SSRAM - 2 тактам. Тип внешней памяти SSRAM задается полем SST регистра конфигурации EMI\_SSi. Сигнал XOE снимается при защелкивании контроллером последних считываемых данных. Через время, определяемое полем TSSOE регистра конфигурации EMI\_SSi, процессор переводит выходы шины данных в состояние “на вывод”.

На рисунке 1.31 представлены временные диаграммы четырех последовательных циклов записи во внешнюю память типа SSRAM (Pipelined).

При записи во внешнюю память типа SSRAM, по положительному фронту сигнала SCLK микросхема выдает на внешнюю шину адрес требуемой ячейки памяти, записываемые данные и сигналы XCSOi, XWE и XDQM. По следующему положительному фронту SCLK адрес и данные фиксируются внешней памятью. Длительность цикла записи составляет один такт. Управляющие выходы XDQM используются для маскировки записи определенных байтов слова данных.

										Лист
										84
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
38075-3	<i>Редук</i> 16.10.2020		38075-2							

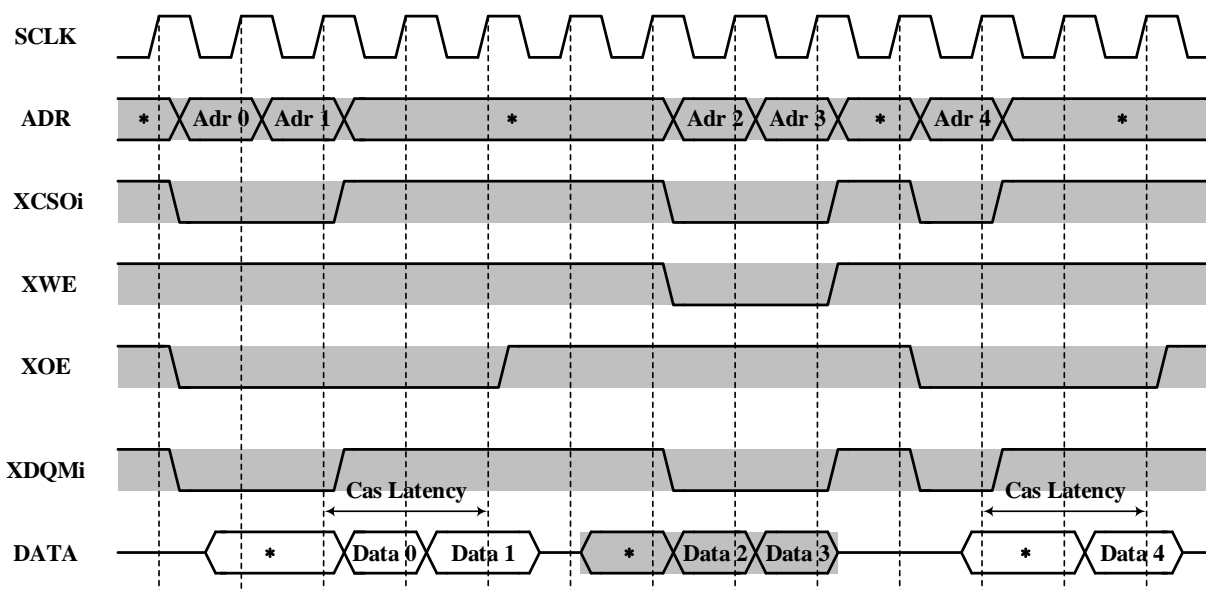


Примечание: параметр Cas Latency равен 2 тактам (Pipelined SSRAM)

■ - Вывод работает на выдачу сигнала

**Рисунок 1.31 – Временные диаграммы циклов записи в SSRAM**

На рисунке 1.32 приведены временные диаграммы последовательного цикла два чтения – две записи – одно чтение из внешней памяти типа SSRAM (Pipelined).



Примечание: параметр Cas Latency равен 2 тактам (Pipelined SSRAM)

■ - Вывод работает на выдачу сигнала

**Рисунок 1.32 – Временные диаграммы перехода чтение- запись и запись- чтение при обращении к внешней памяти типа SSRAM**

Одновременно с защелкиванием последних считываемых данных во входном регистре микросхема снимает управляющий сигнал XOE. Через время, определяемое полем TSSOE регистра конфигурации EMI\_SSi, шина данных переводится в состояние “на вывод”. С задержкой, определяемой полем TWR регистра конфигурации EMI\_SSi, микросхема выставляет на

					ЮФКВ.431268.022РЭ		Лист 85
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2			

внешние шины адрес записываемого слова, записываемые данные и управляющие сигналы, определяющие операцию записи.

Если непосредственно за операцией записи во внешнюю память типа SSRAM идет операция чтения из этой памяти, то в конце такта операции записи микросхема переводит выводы шины данных в положение “на ввод”. По следующему положительному фронту сигнала SCLK на внешнюю шину выдается адрес считываемой ячейки памяти и управляющие сигналы, определяющие операцию чтения. Защелкивание считываемых данных происходит через время Cas Latency, определяемое типом используемой памяти.

### 1.6.2.5.7.2.3 Работа интерфейса в конвейерном режиме

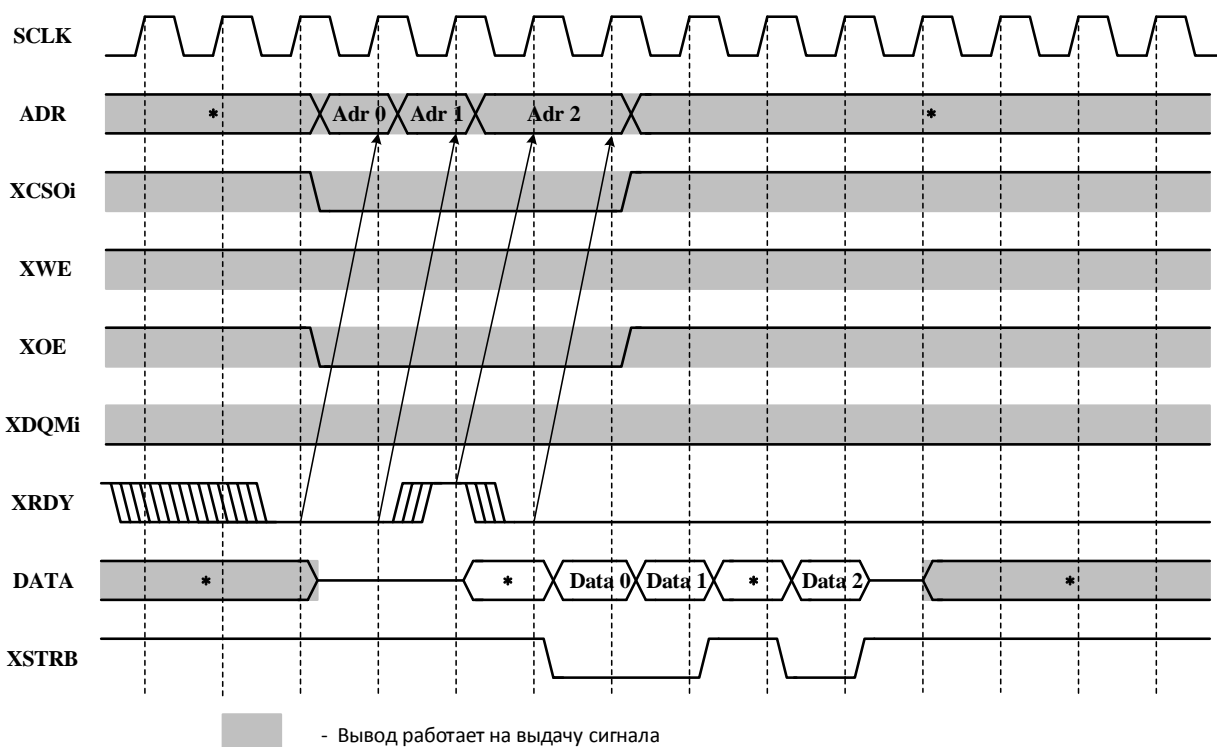
Режим поддержки внешней памяти типа SSRAM позволяет работу с внешними сигналами готовности: XRDY и XSTRB. В этом режиме управление обменом с внешним устройством осуществляется с помощью выводов XCSoi, XWEn, XDQMi, XOE, XRDY и XSTRB. При этом выходы XRAS и XCAS находятся в неактивном состоянии.

Интерфейс поддерживает две разновидности конвейерного обмена по внешней шине с использованием сигналов XRDY и XSTRB: с поддержкой страничной организации памяти и без поддержки страничной организации памяти.

Поддержка страничной организации памяти позволяет адресоваться ко всему адресному пространству одного банка внешней шины процессора за счет дополнительной операции открытия страницы.

Без поддержки страничной организации объем адресуемой памяти в банке уменьшается до 16 Мбайт, однако никаких дополнительных операций на внешней шине не производится.

Выбор разновидности конвейерного обмена с внешней памятью определяется полем PTYP регистра конфигурации EMI\_SSi.



**Рисунок 1.33 - Временные диаграммы циклов чтения в режиме “Master” с использованием сигналов готовности (конвейерный тип обмена по шине без поддержки страничной организации)**

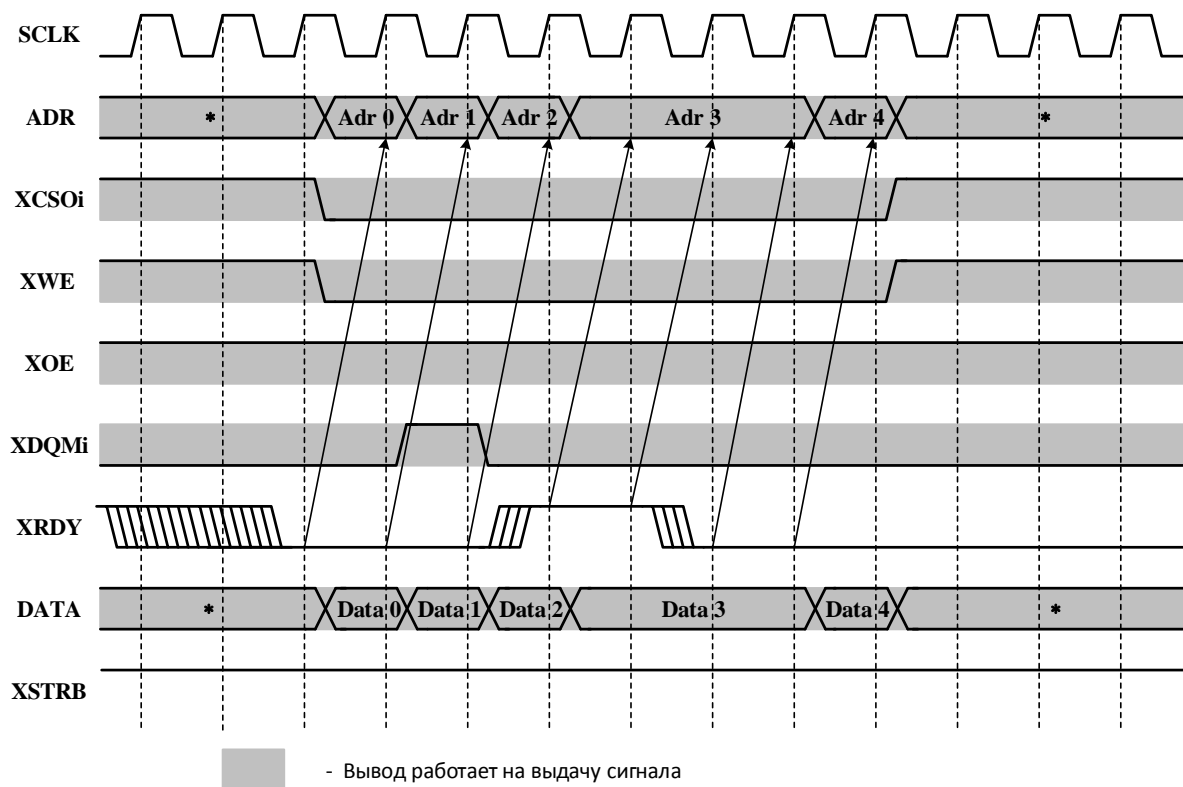
					ЮФКВ.431268.022РЭ		Лист 86
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
38075-3	<i>Редук</i> 16.10.2020		38075-2				

На рисунке 1.33 приведены временные диаграммы циклов чтения в режиме “Master” с использованием сигналов готовности при конвейерном типе обмена по шине без поддержки страничной организации. Команда чтения данных занимает один такт сигнала SCLK. При выполнении операций чтения микросхема по положительному фронту сигнала SCLK переводит выходы шины данных в положение “на ввод” и одновременно на внешнюю шину выдается требуемый адрес и управляющие сигналы, обеспечивающие выполнение операции чтения.

Сигнал готовности внешнего устройства (XRDY) защелкивается микросхемой по положительному фронту сигнала SCLK. Если сигнал готовности внешнего устройства активен (низкий уровень сигнала), то в следующем такте микросхема выдает следующую команду чтения. Если внешнее устройство не готово к обмену (высокий уровень сигнала на входе XRDY), то состояние внешних выводов интерфейса не изменяется.

Сигнал готовности данных от внешнего устройства (XSTRB) сопровождает данные, передаваемые внешним устройством. При активном сигнале XSTRB (низкий уровень сигнала) микросхема по положительному фронту сигнала SCLK защелкивает данные во входном регистре данных.

Через один такт внешней шины (SCLK) после защелкивания во входных регистрах микросхемы последних считываемых данных, выходы шины данных переводятся в положение “на вывод”.



**Рисунок 1.34 – Временные диаграммы циклов записи в режиме “Master” с использованием сигналов готовности (конвейерный тип обмена по шине без поддержки страничной организации)**

На рисунке 1.34 приведены временные диаграммы пяти последовательных циклов записи с использованием сигналов готовности при конвейерном типе обмена по шине без поддержки страничной организации памяти.

Команда записи занимает один такт сигнала SCLK. При выполнении операций записи микросхема по положительному фронту сигнала SCLK выдает на внешнюю шину требуемый адрес, записываемые данные и управляющие сигналы, обеспечивающие выполнение операции записи.

					ЮФКВ.431268.022РЭ	Лист 87
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3	<i>Редук</i> 16.10.2020		38075-2			

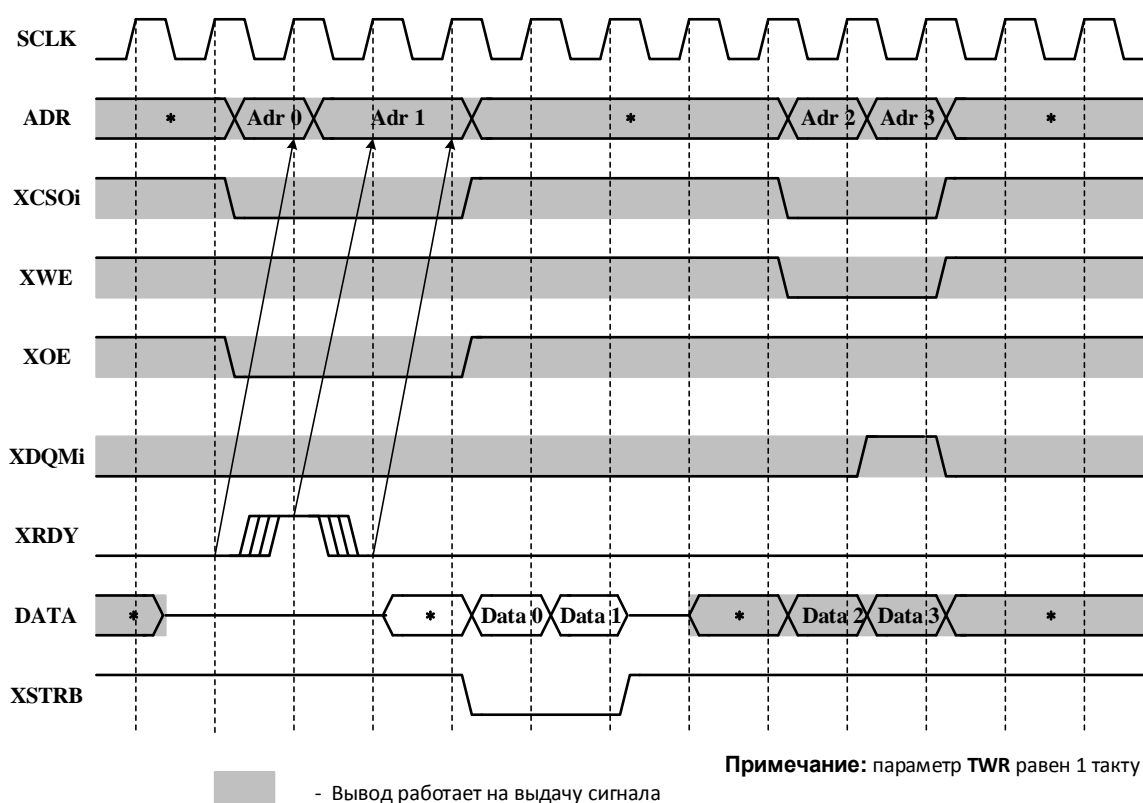
Сигнал готовности внешнего устройства XRDY защелкивается микросхемой по положительному фронту сигнала SCLK. Если сигнал готовности внешнего устройства активен (низкий уровень сигнала), то в следующем такте микросхема выдает следующую команду записи и записываемые данные. Если внешнее устройство не готово к обмену, то состояние внешних выводов интерфейса не изменяется.

Управляющие выходы XDQM<sub>i</sub> используются для маскирования записи определенных байтов слова данных.

Состояние сигнала XSTRB при операциях записи не анализируется.

На рисунке 1.35 представлены временные диаграммы последовательного цикла два чтения – две записи с использованием сигналов готовности при конвейерном типе обмена по шине без поддержки страничной организации памяти.

Через один такт внешней шины (SCLK) после защелкивания во входных регистрах микросхемы последних считываемых данных, выходы шины данных переводятся в положение “на вывод”. С задержкой, определяемой полем TWR регистра конфигурации EMI\_SSi, на внешнюю шину выдается адрес записываемого слова, записываемые данные и управляющие сигналы, определяющие операцию записи. После окончания операций записи шина данных остается принадлежащей микросхеме.



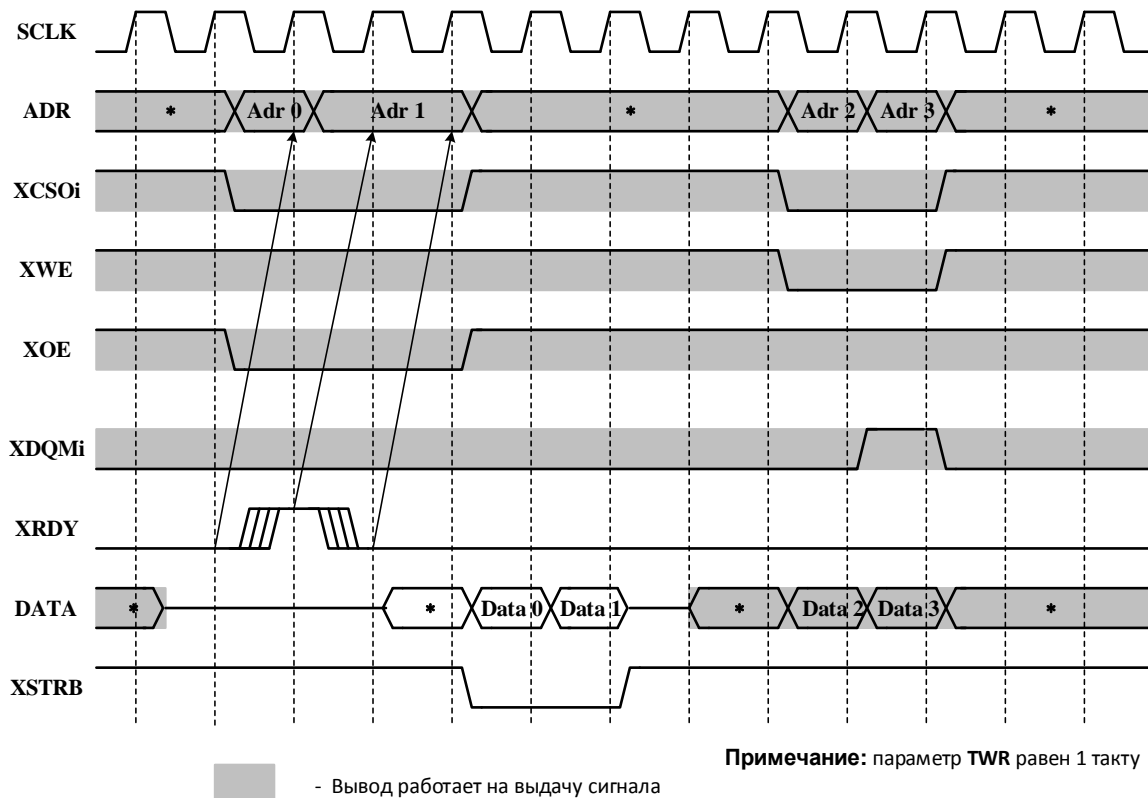
**Рисунок 1.35 – Временные диаграммы перехода чтение- запись в режиме “Master” с использованием сигналов готовности (конвейерный тип обмена по шине без поддержки страничной организации)**

На рисунке 1.36 представлены временные диаграммы последовательного цикла две записи – три чтения с использованием сигналов готовности при конвейерном типе обмена по шине без поддержки страничной организации памяти.

В конце выполнения операции записи по положительному фронту сигнала SCLK интерфейс переводит выходы шины данных в положение “на ввод”. Одновременно на внешнюю шину выдается адрес считываемой ячейки памяти и управляющие сигналы, определяющие операцию чтения. После защелкивания последних считываемых данных через время, равное одному

					ЮФКВ.431268.022РЭ	Лист 88
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3	<i>Редук</i> 16.10.2020		38075-2			

такту работы внешней шины (SCLK), микросхема переводит выходы шины данных в положение “на вывод”.



**Рисунок 1.36 – Временные диаграммы перехода запись- чтение в режиме “Master” с использованием сигналов готовности (конвейерный тип обмена по шине без поддержки страничной организации)**

На рисунках 1.37 - 1.38 приведены временные диаграммы последовательных циклов чтения данных и записи данных с использованием сигналов готовности при конвейерном типе обмена по шине с использованием страничной организации памяти соответственно.

При обмене по конвейерному типу с поддержкой страничной организации памяти, при обращении в неоткрытую страницу перед выполнением операции чтения или записи выполняется операция открытия страницы. Данная операция занимает один такт шины процессора (SCLK). По положительному фронту сигнала SCLK на шину выдается адрес открываемой страницы и управляющий сигнал XCSOi.

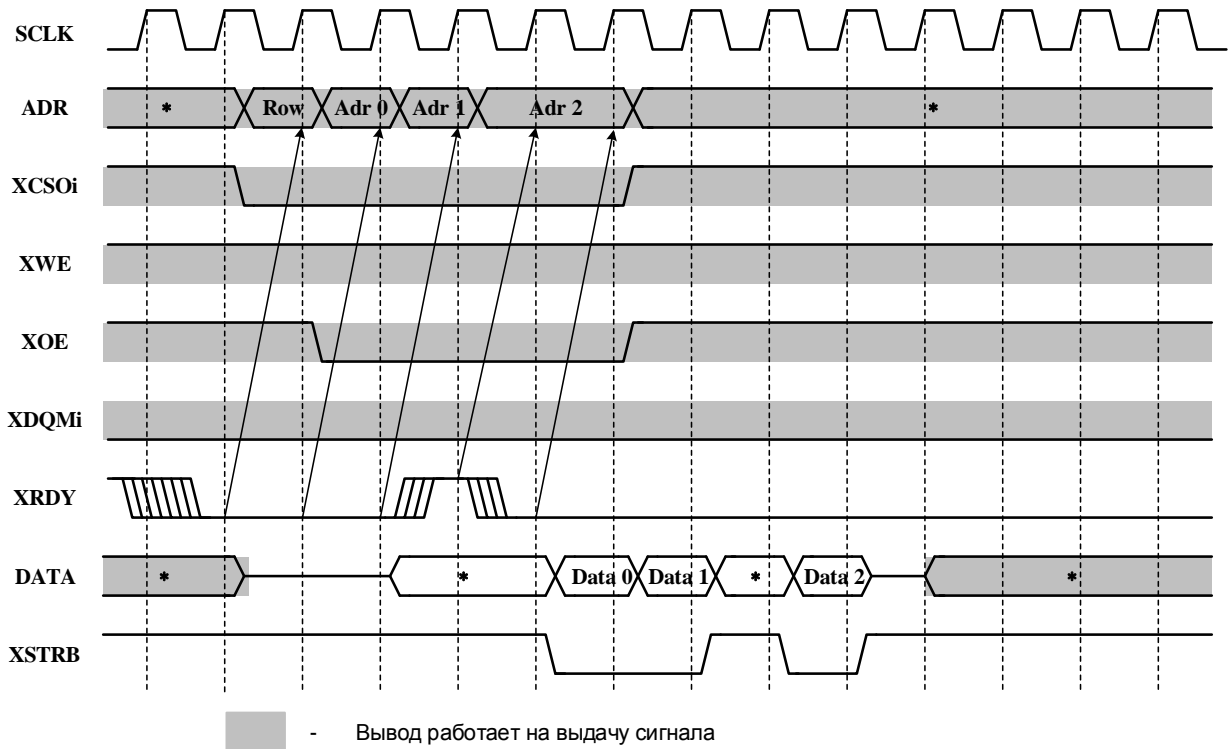
Если сигнал готовности внешнего устройства XRDY активен (низкий уровень сигнала), то в следующем такте интерфейс выполнит операцию чтения или записи. Если внешнее устройство не готово к обмену, то состояние внешних выводов интерфейса не изменяется. Операции чтения или записи в данном режиме выполняются аналогично операциям чтения или записи в конвейерном режиме без поддержки страничной организации памяти.

После выполнения операции открытия страница остается открытой до следующей операции открытия страницы или до обращения в другой банк памяти на данной шине.

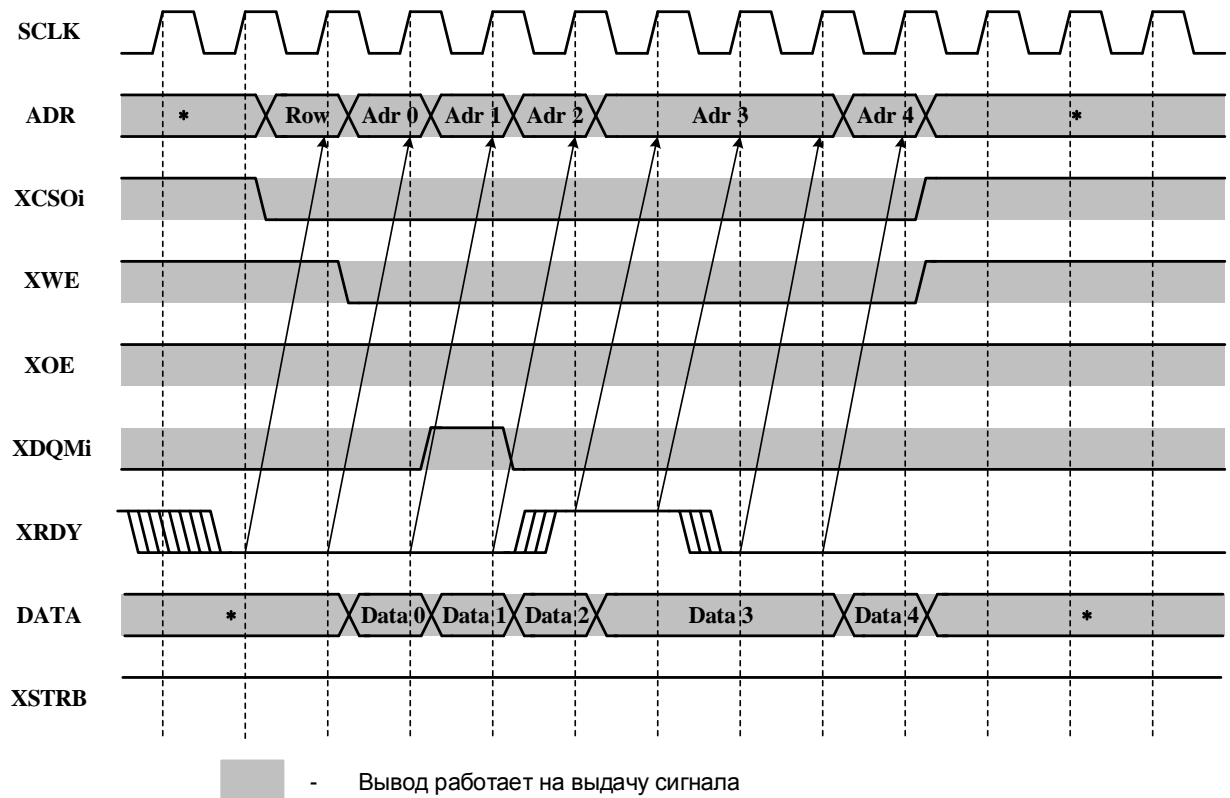
Формирование адреса страницы представлено на рисунке 1.39. На старшие разряды внешней шины адреса (A23 – A21) выводятся лог "0".

					Лист
					89
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		<i>Редук</i> 16.10.2020		38075-2	
			Подп. и дата		



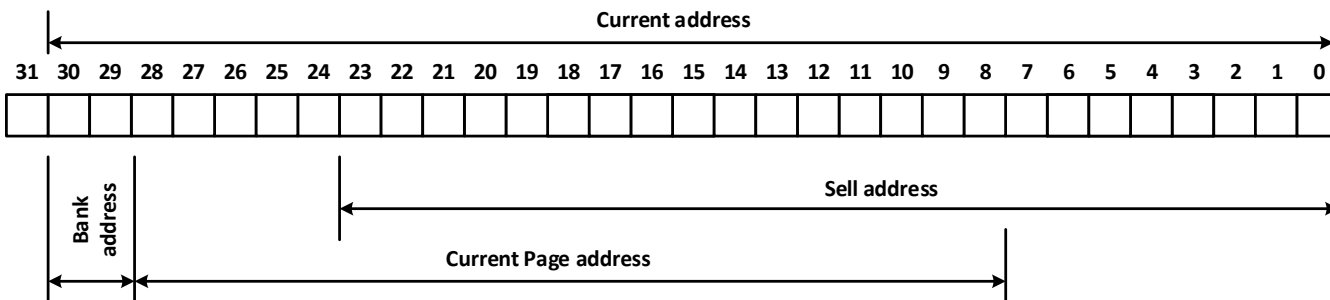


**Рисунок 1.37 – Временные диаграммы циклов чтения в режиме “Master” с использованием сигналов готовности (конвейерный тип обмена по шине со страничной организацией)**



**Рисунок 1.38 – Временные диаграммы циклов записи в режиме “Master” с использованием сигналов готовности (конвейерный тип обмена по шине со страничной организацией)**

					ЮФКВ.431268.022РЭ			Лист 90
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		<i>Редюк</i> 16.10.2020		38075-2				



*Рисунок 1.39 – Формирование адреса страницы при обращении в конвейерную память с использованием сираичной организации*

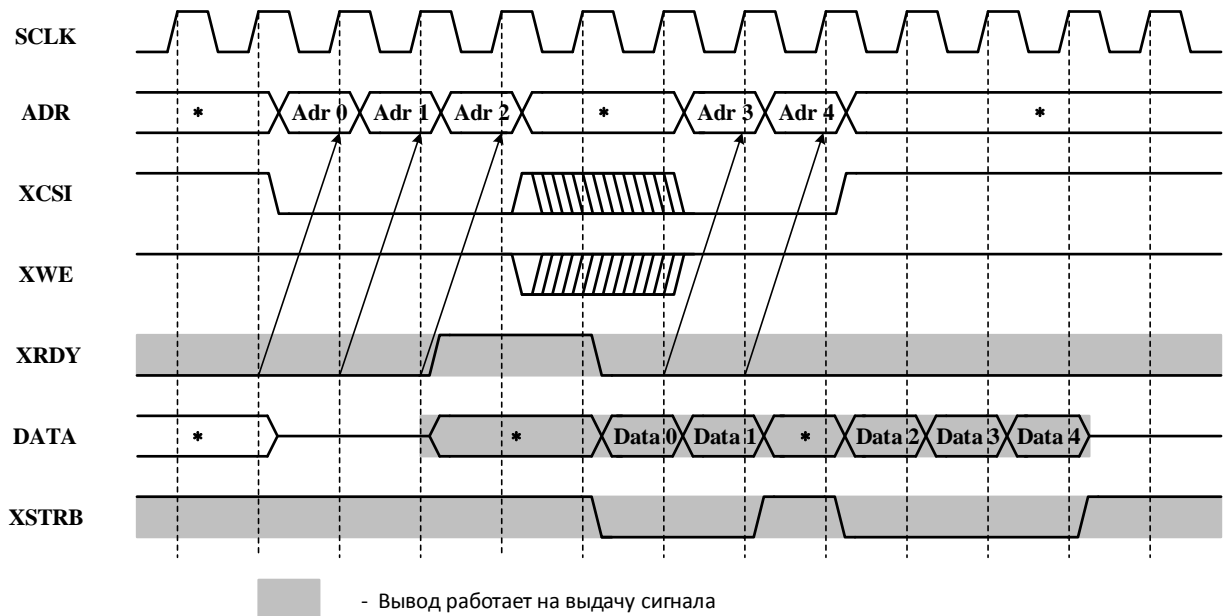
					ЮФКВ.431268.022РЭ			Лист
								91
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
38075-3		<i>Редкол</i> 16.10.2020		38075-2				

### 1.6.2.5.7.3 Доступ к внутренней памяти микросхемы

В данном разделе описываются циклы обращения внешнего устройства к внутренней памяти микросхемы, находящейся в режиме “Slave”.

Микросхема поддерживает конвейерный тип доступа к внутренней памяти. При операциях с внутренней памятью сигнал SCLK играет роль stroba адреса и управляющих сигналов. При этом сигнал SCLK тактирует как работу интерфейса микросхемы, так и работу интерфейса внешнего устройства. Адрес, данные и управляющие сигналы на шине синхронизируются положительным фронтом сигнала SCLK.

На рисунке 1.40 представлены временные диаграммы пяти циклов чтения из внутренней памяти микросхемы.



**Рисунок 1.40 – Временные диаграммы циклов чтения в режиме “Slave”**

По положительному фронту сигнала SCLK внешнее устройство выставляет на шину адрес требуемой ячейки памяти и управляющий сигнал XCSI. По следующему фронту интерфейс фиксирует адрес во входном адресном FIFO и начинает процедуру считывания данных из внутренней памяти. По этому же фронту сигнала SCLK внешнее устройство может выставить следующую команду чтения и т.д. Если адресное FIFO заполнено, микросхема снимает сигнал XRDY и перестает реагировать на команды внешнего устройства.

По окончании процедуры чтения из внутренней памяти микросхема выдает считанные данные на внешнюю шину данных и активизирует сигнал XSTRB. Данные на шине остаются неизменными в течение одного такта сигнала SCLK. Через один такт работы внешней шины интерфейс переводит выводы шины данных в состояние “на ввод”.

Время с момента защелкивания адреса до появления данных на выходах микросхемы не определено.

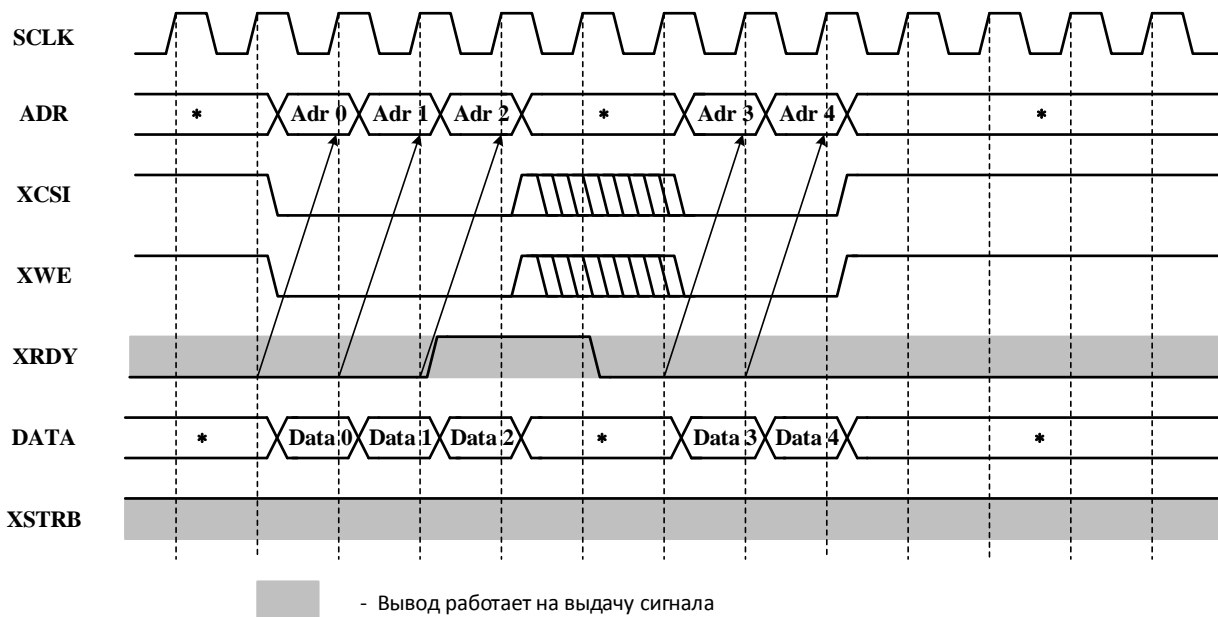
Считывание данных из внутренней памяти процессора всегда идет 32- разрядными словами.

На рисунке 1.41 представлены временные диаграммы пяти последовательных циклов записи во внутреннюю память микросхемы.

По положительному фронту сигнала SCLK внешнее устройство выставляет на шину адрес требуемой ячейки памяти, записываемые данные и управляющие сигналы XCSI и XWE. По следующему фронту SCLK интерфейс защелкивает требуемый адрес во входном адресном FIFO, данные – во входном FIFO данных. По этому же фронту сигнала SCLK внешнее устройство может выставить следующую команду записи и т.д. Если адресное FIFO заполнено, ин-

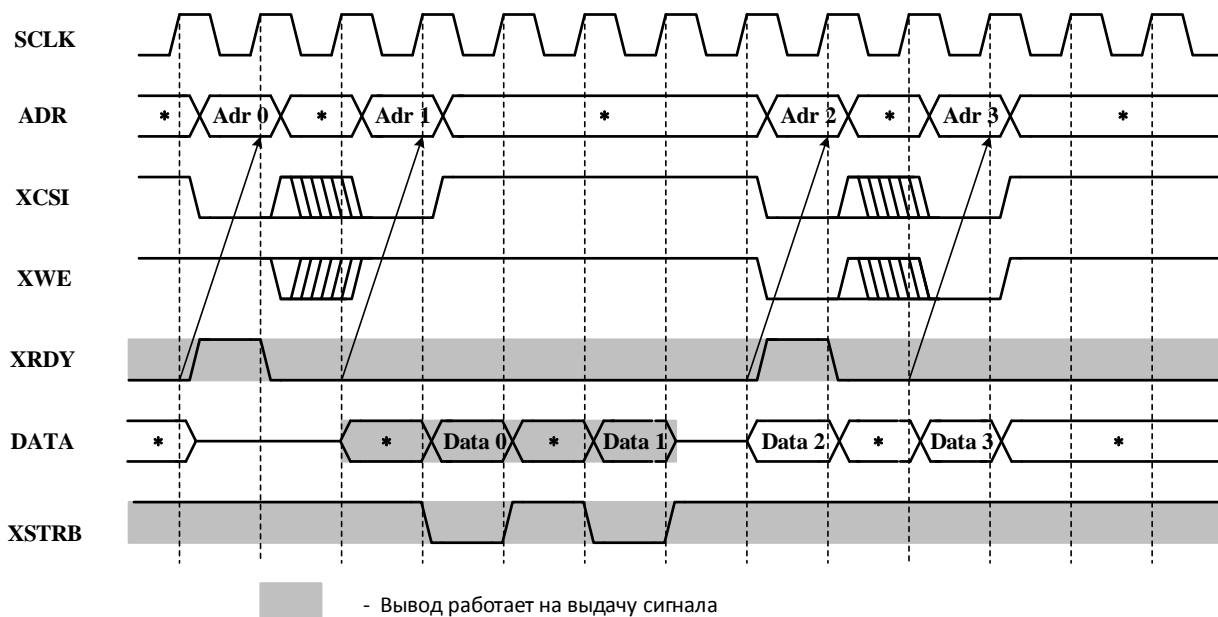
					ЮФКВ.431268.022РЭ	Лист 92
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3	<i>Редук</i> 16.10.2020		38075-2			

терфейс снимает сигнал XRDY и перестает реагировать на следующие команды. Данные во внутреннюю память микросхемы записываются только 32 – разрядными словами.



**Рисунок 1.41 – Временные диаграммы циклов записи в режиме “Slave”**

На рисунке 1.42 представлены временные диаграммы последовательного цикла два чтения – две записи во внутреннюю память микросхемы.

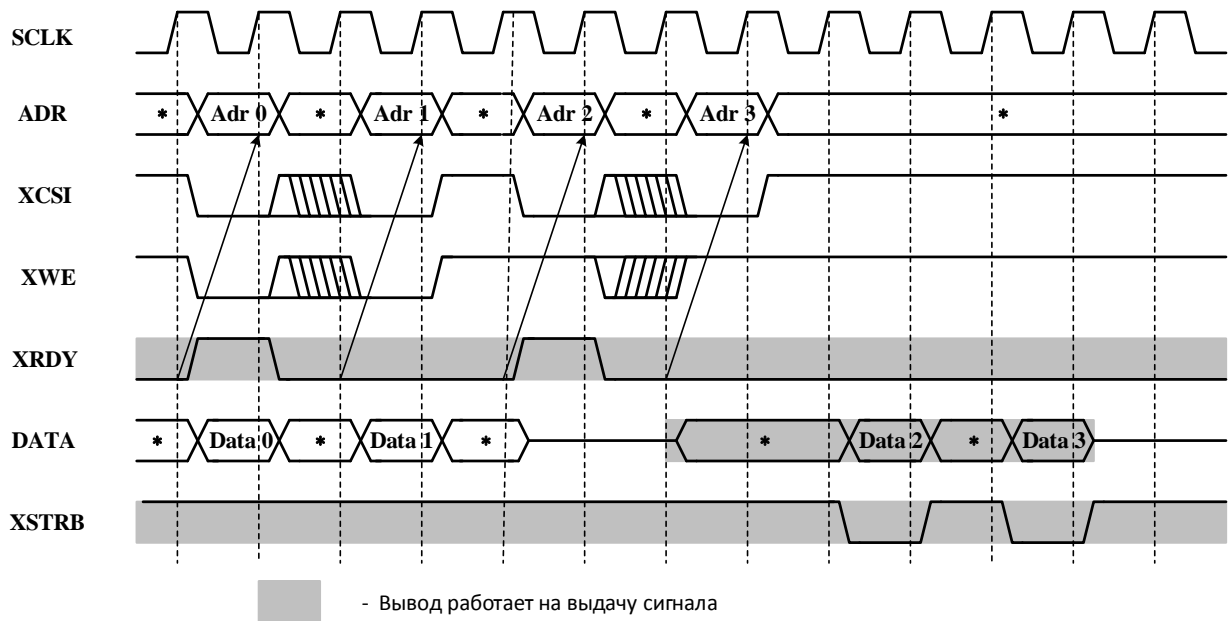


**Рисунок 1.42 – Временные диаграммы перехода чтение- запись при обращении внешнего устройства к внутренней памяти микросхемы**

Через один такт системной шины (SCLK) после выдачи на шину последних считываемых данных интерфейс переводит выводы шины данных в состояние “на ввод”. После этого по следующему положительному фронту сигнала SCLK внешнее устройство может начинать операцию записи данных во внутреннюю память микросхемы.

					Лист
					93
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		<i>Редук</i> 16.10.2020		38075-2	
			Подп. и дата		

На рисунке 1.43 приведены временные диаграммы последовательного цикла две записи – два чтения из внутренней памяти микросхемы.



**Рисунок 1.43 – Временные диаграммы перехода запись- чтение запись при обращении внешнего устройства к внутренней памяти микросхемы**

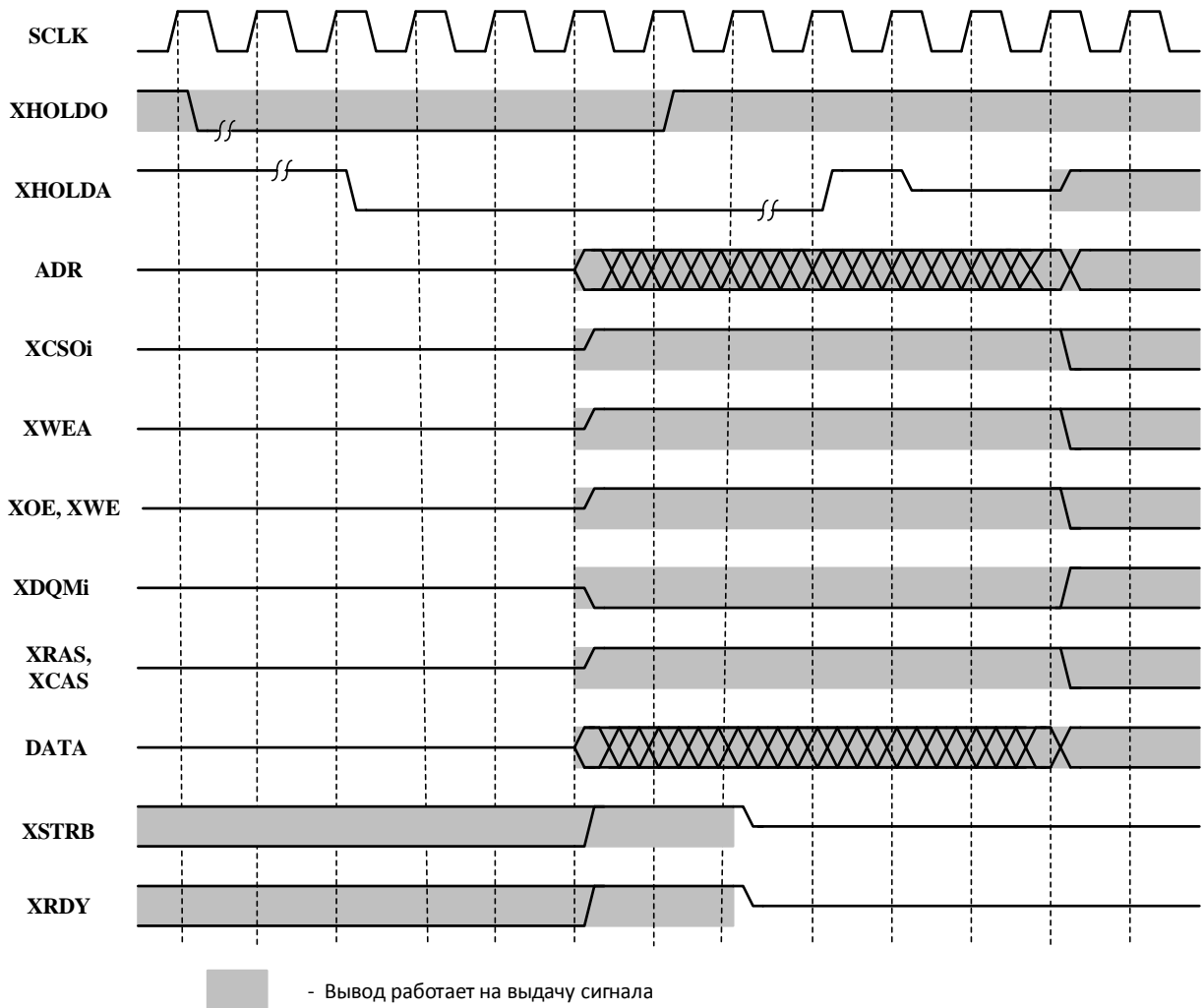
При переходе от записи к чтению, перед выдачей команды чтения на шину внешнее устройство обязано перевести шину данных в высокоимпедансное состояние. Выданная внешним устройством команда чтения защелкивается интерфейсом по следующему положительному фронту сигнала SCLK. Через такт сигнала SCLK после этого выводы шины данных микросхемы переводятся в состояние “на вывод”.

Данные, считываемые внешним устройством, выдаются на шину данных через неопределенное время и стробируются низким уровнем сигнала XSTRB.

					ЮФКВ.431268.022РЭ			Лист	
								94	
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2					

#### 1.6.2.5.7.4 Арбитраж шины

На рисунке 1.44 приведены временные диаграммы процесса передачи управления шиной от внешнего устройства к микросхеме.



**Рисунок 1.44 – Временные диаграммы передачи управления шиной от внешнего устройства к микросхеме**

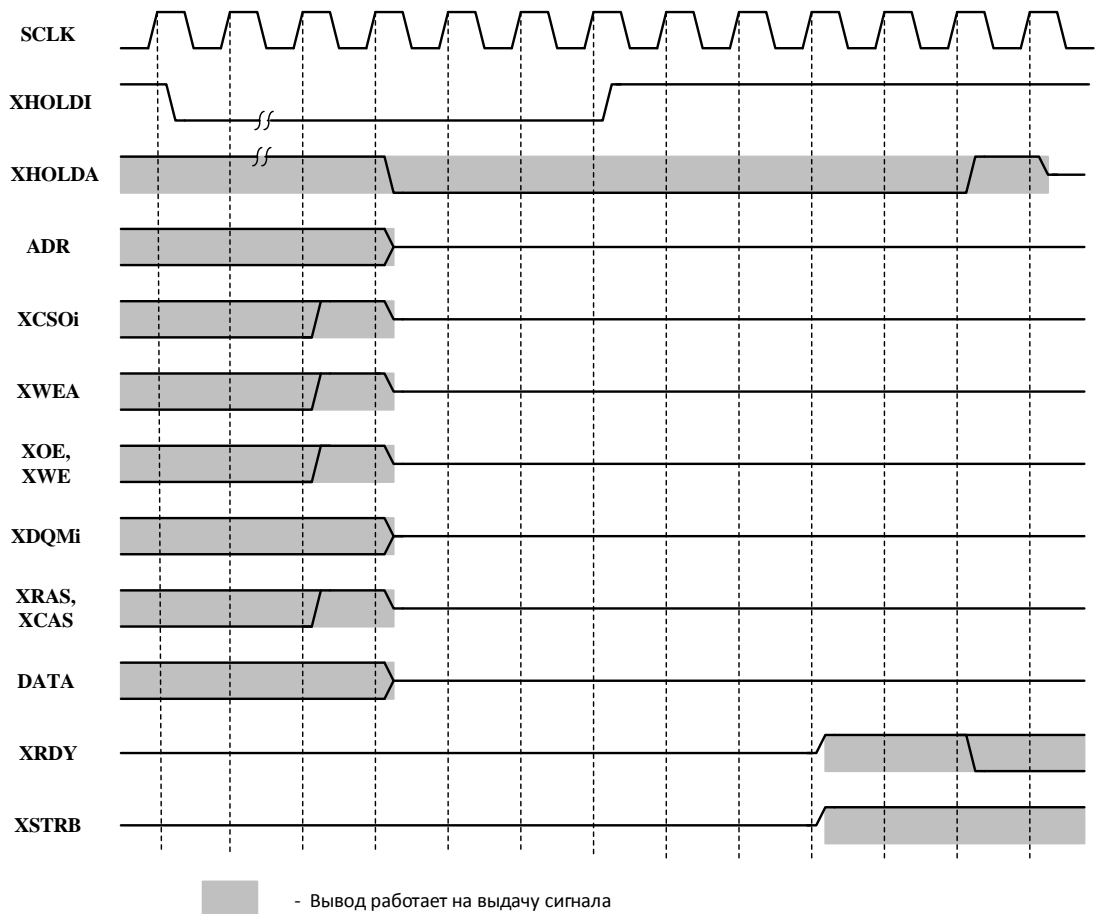
Для получения управления шиной интерфейс выставляет запрос на управление XHOLDO.

Сигнал разрешения на захват шины (низкий уровень сигнала XHOLDA) фиксируется по положительному фронту сигнала SCLK. Через два такта внешней шины микросхема устанавливает высокий уровень сигнала на выходах XRDY и XSTRB, и переводит остальные управляющие выходы, а также адресные выходы и выходы шины данных – в состояние “на выдачу”. По следующему фронту сигнала SCLK снимается сигнал XHOLDO, а в следующем такте выходы XRDY и XSTRB переводятся в состояние “на прием”. После этого интерфейс ожидает снятия сигнала разрешения на передачу шины.

Зафиксировав высокий уровень сигнала XHOLDA, интерфейс через один такт внешней шины переводит двунаправленный вывод XHOLDA в состояние “на выдачу”. Одновременно с этим может начаться операция на внешней шине.

На рисунке 1.45 приведены временные диаграммы процесса передачи микросхемой управления шиной внешнему устройству, сформировавшему запрос на захват шины.

					ЮФКВ.431268.022РЭ	Лист 95
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редюк</i> 16.10.2020		38075-2		



**Рисунок 1.45 – Временные диаграммы передачи управления шиной внешнему устройству**

Для получения управления внешней шиной внешнее устройство выставляет сигнал запроса XHOLDI.

Запрос (низкий уровень сигнала XHOLDI) защелкивается по положительному фронту сигнала SCLK. Если запросы к внешней шине со стороны микросхемы отсутствуют, и передача внешней шины программно не запрещена, то интерфейс выдает сигнал разрешения на передачу шины (низкий уровень на выводе XHOLDA) и переводит управляющие выводы, адресные выводы и выводы шины данных в состояние “на прием”.

По получению сигнала разрешения на передачу шины (XHOLDA) внешнее устройство снимает сигнал XHOLDI.

Высокий уровень сигнала XHOLDI фиксируется по положительному фронту тактового сигнала шины (SCLK). Через два такта внешней шины выводы XRDY и XSTRB переключаются в положение “на вывод” и ещё через два такта на выход XHOLDA выдается высокий уровень. В следующем такте SCLK вывод XHOLDA переводится в состояние “на прием”. С этого момента внешнее устройство становится драйвером шины.

Разрешение передачи шины внешнему устройству задается программистом в регистре управления периферийными устройствами EMI\_BUSEN (Bus Enable Register).

					ЮФКВ.431268.022РЭ	Лист 96
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редюк</i> 16.10.2020		38075-2		



### 1.6.2.6 Контроллер прямого доступа в память (MDMAC)

Контроллер обеспечивает обмен данными между различными областями памяти СБИС. Особенности контроллера ПДП являются:

- Наличие канала данных, который состоит из двух подканалов – чтения и записи данных. Эти каналы настраиваются и запускаются программно, а останавливаются либо аппаратно (по окончанию обмена или по ошибке), либо программно.
- Наличие канала дескрипторов, с помощью которого можно настроить MDMAC на несколько запусков.

Передача данных реализуется контроллером с помощью транзакций чтения и записи на шине AMBA AXI: контроллер производит чтение данных из источника с помощью подканала чтения данных, помещает данные во встроенный буфер, затем записывает данные в устройство-приёмник с помощью подканала записи данных.

#### 1.6.2.6.1 Программно доступные регистры контроллера MDMAC

Каналы ПДП настраиваются с помощью программно доступных регистров каналов. Регистры контроллера расположены в адресном пространстве периферийных устройств подсистемы ARMU по базовому адресу MDMAC\_Base=0x400C4000.


Регистры делятся на группы (подканалы):

- подканал чтения данных;
- подканал записи данных;
- подканал чтения дескрипторов;
- подканал записи дескрипторов.

В набор регистров каждого подканала входят:

- регистр текущего адреса (Address);
- регистр смещения адреса (Bias);
- счётчик последовательных данных (RowCounter);
- регистр режима адресации (AddressMode);
- основной счётчик данных (MainCounter);
- регистр управления (Control);
- регистр масок запросов на прерывание (InterruptMask);
- регистр состояния (State).

Список регистров приведен в таблице Таблица 1.94. Не указанные в таблице адреса зарезервированы. Неиспользованные старшие разряды имеющихся регистров при чтении возвращают 0.

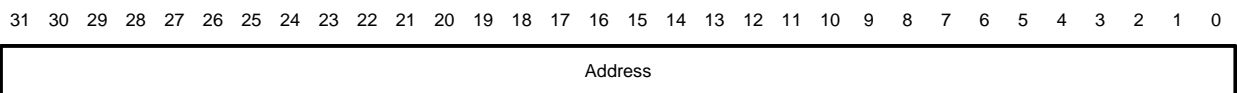
										Лист
										97
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	 16.10.2020			38075-2						

**Таблица 1.94 – Список регистров контроллера MDMAC**

Название регистра	Адрес	Разрядность	Доступ
<b>Регистры канала данных</b>			
MDMAC_MainCounter	MDMAC_Base + 0x000 hex	16	ЧТ/ЗП
MDMAC_SrcAddress	MDMAC_Base + 0x004 hex	32	ЧТ/ЗП
MDMAC_SrcBias	MDMAC_Base + 0x008 hex	32	ЧТ/ЗП
MDMAC_SrcRowCounter	MDMAC_Base + 0x00C hex	16	ЧТ/ЗП
MDMAC_SrcAddressMode	MDMAC_Base + 0x010 hex	1	ЧТ/ЗП
MDMAC_Control	MDMAC_Base + 0x014 hex	4	ЧТ/ЗП
MDMAC_DstAddress	MDMAC_Base + 0x024 hex	32	ЧТ/ЗП
MDMAC_DstBias	MDMAC_Base + 0x028 hex	32	ЧТ/ЗП
MDMAC_DstRowCounter	MDMAC_Base + 0x02C hex	16	ЧТ/ЗП
MDMAC_DstAddressMode	MDMAC_Base + 0x030 hex	1	ЧТ/ЗП
MDMAC_InterruptMask	MDMAC_Base + 0x038 hex	2	ЧТ/ЗП
MDMAC_State	MDMAC_Base + 0x03C hex	32	ЧТ/ЗП
<b>Регистры подканала чтения дескрипторов</b>			
MDMAC_Desc_SrcMainCounter	MDMAC_Base + 0x800 hex	16	ЧТ/ЗП
MDMAC_Desc_SrcAddress	MDMAC_Base + 0x804 hex	32	ЧТ/ЗП
MDMAC_Desc_SrcBias	MDMAC_Base + 0x808 hex	32	ЧТ/ЗП
MDMAC_Desc_SrcRowCounter	MDMAC_Base + 0x80C hex	16	ЧТ/ЗП
MDMAC_Desc_SrcAddressMode	MDMAC_Base + 0x810 hex	1	ЧТ/ЗП
MDMAC_Desc_SrcControl	MDMAC_Base + 0x814 hex	4	ЧТ/ЗП
MDMAC_Desc_SrcInterruptMask	MDMAC_Base + 0x818 hex	2	ЧТ/ЗП
MDMAC_Desc_SrcState	MDMAC_Base + 0x81C hex	15	ЧТ/ЗП
<b>Регистры подканала записи дескрипторов</b>			
MDMAC_Desc_DstMainCounter	MDMAC_Base + 0x820 hex	16	ЧТ/ЗП
MDMAC_Desc_DstAddress	MDMAC_Base + 0x824 hex	32	ЧТ/ЗП
MDMAC_Desc_DstBias	MDMAC_Base + 0x828 hex	32	ЧТ/ЗП
MDMAC_Desc_DstRowCounter	MDMAC_Base + 0x82C hex	16	ЧТ/ЗП
MDMAC_Desc_DstAddressMode	MDMAC_Base + 0x830 hex	1	ЧТ/ЗП
MDMAC_Desc_DstControl	MDMAC_Base + 0x834 hex	4	ЧТ/ЗП
MDMAC_Desc_DstInterruptMask	MDMAC_Base + 0x838 hex	2	ЧТ/ЗП
MDMAC_Desc_DstState	MDMAC_Base + 0x83C hex	32	ЧТ/ЗП

1.6.2.6.1.1 Регистр текущего адреса (MDMAC\_SrcAddress, MDMAC\_DstAddress, MDMAC\_Desc\_SrcAddress, MDMAC\_Desc\_DstAddress)

Формат регистров xxx\_Address приведен на рисунке 1.46.

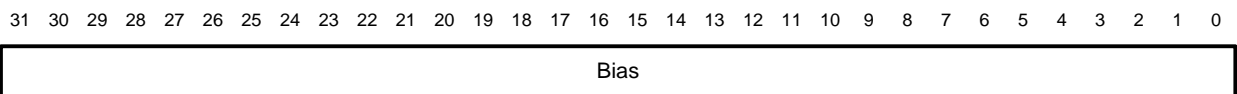


**Рисунок 1.46 – Формат регистра xxx\_Address**

Запись в данный регистр устанавливает начальный адрес буфера в памяти, с которым работает соответствующий подканал. При чтении возвращается текущий адрес в адресном генераторе. Адрес должен быть кратен 8.

1.6.2.6.1.2 Регистр смещения адреса (MDMAC\_SrcBias, MDMAC\_DstBias, MDMAC\_Desc\_SrcBias, MDMAC\_Desc\_DstBias)

Формат регистров xxx\_Bias приведен на рисунке 1.47.

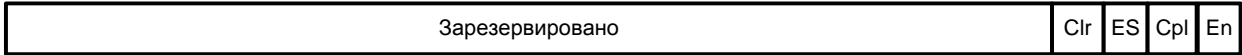


**Рисунок 1.47 – Формат регистра xxx\_Bias**

					ЮФКВ.431268.022РЭ		Лист
							98
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2			



31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



**Рисунок 1.51 – Формат регистра xxx\_Control**

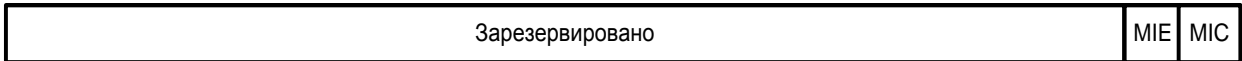
Регистр xxx\_Control используется для управления состоянием канала:

- Бит En (0-й разряд). Запись в бит En = 1 запускает передачу;
- Бит Cpl (1-й разряд). При чтении Cpl = 1 означает, что передача заданного количества слов завершена, либо запись приостановлена вследствие ошибки или программной приостановки (бит ES = 1). Чтобы произвести следующий запуск, необходимо записать Cpl = 0;
- Бит ES (2-й разряд). При чтении ES = 1 означает, что передача приостановлена. Бит ES устанавливается аппаратно, если контроллер получил сигнал об ошибке своего обращения в память – по несуществующему или недоступному адресу. Также бит ES можно установить программно или при чтении дескриптора с полем ControlWrite=0. После обработки ошибки бит ES необходимо сбрасывать программно, так как он блокирует запись;
- Бит Clr (3-й разряд) показывает, что контроллер находится в состоянии очистки буфера данных. В этом состоянии данные, находившиеся в буфере в момент установки бита ES, теряются – осуществляется только их подсчёт в регистре основного счётчика данных (MainCounter). Бит Clr сбрасывается автоматически при достижении MainCounter = 0.

1.6.2.6.1.7 Регистр масок запросов на прерывание (MDMAC\_InterruptMask, MDMAC\_Desc\_SrcInterruptMask, MDMAC\_Desc\_DstInterruptMask)

Формат регистров xxx\_InterruptMask приведен на рисунке 1.52.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



**Рисунок 1.52 – Формат регистра xxx\_InterruptMask**

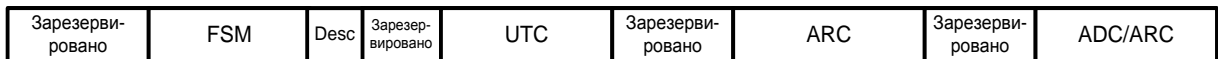
Данный регистр позволяет запретить выдачу запроса на прерывание от канала по каждой из двух причин: завершение передачи и установка бита ES. Регистр содержит следующие поля:

- Бит MIC (0-й разряд) – маска запроса на прерывание по завершению передачи. MIC = 1 – запрос маскирован, MIC = 0 – запрос разрешён.
- Бит MIE (1-й разряд) – маска запроса на прерывание по установке бита ES. MIE = 1 – запрос маскирован, MIE = 0 – запрос разрешён.

1.6.2.6.1.8 Регистр состояния MDMAC\_State, MDMAC\_Desc\_SrcState, MDMAC\_Desc\_DstState

Формат регистров xxx\_State приведен на рисунке 1.53.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



**Рисунок 1.53 – Формат регистра xxx\_State**

Регистр состояния State доступен только для чтения и записи бита Desc, показывает внутреннее состояние подканала. Может быть использован для отладки и для обработки ошибок-

					Лист
					100
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		16.10.2020		38075-2	

ных ситуаций. Форматы данного регистра в разных подканалах отличаются. Регистр содержит следующие поля:

- Поле ADC (разряды 4-0 регистров MDMAC\_State и MDMAC\_Desc\_DstState) – счётчик доступных данных. Показывает количество данных, имеющих в буфере канала, но ещё не выданных на запись в память;
- Поле ARC (разряды 12-8 регистра MDMAC\_State и разряды 4-0 регистра MDMAC\_Desc\_SrcState) – счётчик активных запросов. Показывает количество данных, запрос на чтение которых уже отдан, но данные ещё не попали в буфер;
- Поле UTC (разряды 20-16) – счётчик незавершённых транзакций. Показывает количество транзакций записи на шине AXI3, для которых ещё не получено подтверждения;
- Бит Desc (разряд 23 регистра MDMAC\_Desc\_SrcState) – режим работы канала дескрипторов: 1 – режим канала дескрипторов (по умолчанию), 0 – режим второго канала данных;
- Поле FSM (разряды 28-24) – показывает текущее состояние конечного автомата.

Значения поля FSM для регистра MDMAC\_State:

- 00h – Idle – бездействие;
- 01h – ReadWrite – чтение и запись данных;
- 03h – WriteOnly – чтение завершено, остаётся только запись;
- 07h – UncompleteWrite – ожидание подтверждения последней записи;
- 02h – Complete – запись завершена;
- 06h – DataMiss – режим очистки буфера данных.

Значения поля FSM для регистра MDMAC\_Desc\_SrcState:

- 00h – Idle – бездействие;
- 01h – ReadWrite – чтение дескриптора и запись его в регистры канала данных;
- 03h – WriteOnly – запись и ожидание завершения работы канала данных;
- 02h – Complete – работа канала чтения дескрипторов завершена;
- 06h – DataMiss – режим очистки буфера дескрипторов.

Значения поля FSM для регистра MDMAC\_Desc\_DstState:

- 00h – Idle – бездействие;
- 01h – ReadWrite – запись дескриптора в память;
- 03h – UncompleteWrite – ожидание подтверждения записи дескриптора;
- 02h – Complete – работа канала записи дескрипторов завершена;
- 06h – DataMiss – режим очистки буфера дескрипторов.

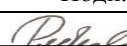
#### 1.6.2.6.2 Рекомендуемые алгоритмы работы с MDMAC

##### 1.6.2.6.2.1 Порядок работы с каналом данных MDMAC в режиме однократного запуска

Данный способ позволяет произвести передачу одного массива данных с помощью MDMAC из одной области памяти в другую:

1) Записать требуемые значения в регистры

- MDMAC\_MainCounter – размер передаваемого массива в 64-разрядных словах;
- MDMAC\_SrcAddress – начальный адрес исходного массива;
- MDMAC\_SrcAddressMode – режим адресации при обращении к исходному массиву – одномерный или двухмерный;
- MDMAC\_SrcRowCounter – при двухмерном режиме обращения к исходному массиву – длина строки в 64-разрядных словах;
- MDMAC\_SrcBias – при двухмерном режиме обращения к исходному массиву – смещение при переходе к новой строке;
- MDMAC\_DstAddress – начальный адрес массива назначения;
- MDMAC\_DstAddressMode – режим адресации при записи массива назначения – одномерный или двухмерный;

									Лист
									101
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата				
38075-3	 16.10.2020		38075-2						

- MDMAC\_DstRowCounter – при двухмерном режиме обращения к массиву назначения – длина строки в 64-разрядных словах;
- MDMAC\_DstBias – при двухмерном режиме обращения к массиву назначения – смещение при переходе к новой строке;
- MDMAC\_InterruptMask – должен или нет MDMAC сформировать запрос на прерывание по завершению работы канала.

2) Запустить MDMAC – записать в регистр MDMAC\_Control значение 1.

3) Дождаться завершения – в регистре MDMAC\_Control установится бит CPL, и если в регистре MDMAC\_InterruptMask разрешено прерывание, MDMAC установит запрос на прерывание.

4) Привести канал в исходное состояние – записать в регистр MDMAC\_Control значение 0; при этом запрос на прерывание сбросится.

#### 1.6.2.6.2.2 Канал дескрипторов MDMAC

Канал дескрипторов MDMAC позволяет организовать запуски канала данных MDMAC на выполнение нескольких подряд передач без прерывания программы на процессоре. Одна задача на запуск канала данных описывается в виде специальной структуры в памяти – дескриптора ( Таблица 1.95). Дескриптор содержит поля параметров передачи и два управляющих слова: ControlWrite и ControlComplete. Дескриптор должен быть выровнен в памяти до 64-разрядного слова.

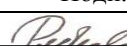
**Таблица 1.95 – Формат дескриптора MDMAC**

Номер 32-разрядного слова	Номер 64-разрядного слова	Старшее слово, разряды [63:32]	Младшее слово, разряды [31:0]	Комментарий
0	0	SrcBias	SrcAddress	параметры передачи
1				
2	1	SrcAddressMode	SrcRowCounter	
3				
4	2	DstBias	DstAddress	
5				
6	3	DstAddressMode	DstRowCounter	
7				
8	4	InterruptMask	MainCounter	
9				
10	5	ControlComplete	ControlWrite	управляющие слова ControlWrite: 0 – стоповый дескриптор, 1 – дескриптор ожидает обработки, 2 – дескриптор отработал, ControlComplete следует задавать равным 0
11				

Следует всегда одновременно запускать подканалы канала дескрипторов с одинаковым значением MDMAC\_Desc\_DstMainCounter и MDMAC\_Desc\_SrcMainCounter. При запуске канала дескрипторов следует задать адреса в памяти, откуда канал будет читать дескрипторы (MDMAC\_Desc\_SrcAddress) и куда будет писать отработанные дескрипторы (MDMAC\_Desc\_DstAddress). По мере работы канала дескрипторов соответствующие указатели (MDMAC\_Desc\_SrcAddress и MDMAC\_Desc\_DstAddress) инкрементируются. Допускается, как и в канале данных, двухмерная адресация к дескрипторам.

С каждым дескриптором MDMAC производит следующие действия:

- читает дескриптор из памяти;
- записывает параметры передачи в соответствующие регистры канала данных;
- записывает параметры передачи в память отработавших дескрипторов;
- записывает содержимое поля ControlWrite в регистр MDMAC\_Control;

									Лист
									102
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата			Взам.инв.№	Инва.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					



- если 0-й бит поля ControlWrite установлен, то дожидается, когда канал данных завершит работу (установится бит CPL регистра MDMAC\_Control);
- записывает значение поля ControlComplete в регистр MDMAC\_Control;
- записывает поля ControlWrite и ControlComplete в память отработавших дескрипторов, при этом в поле ControlWrite на месте бита 0 пишется 0, на месте бита 1 – значение 1.

#### 1.6.2.6.2.3 Порядок работы с MDMAC при фиксированном наборе запусков

Данный способ подразумевает, что стоит задача передать фиксированный набор массивов данных, не прерывая работу процессорного ядра во время передачи.

1) Сформировать в памяти структуру дескрипторов, а также выделить в памяти область, куда будут записаны отработанные дескрипторы (это может быть один и тот же массив).

2) Запретить прерывания от канала данных (если разрешено).

3) Настроить подканалы канала дескрипторов – записать в регистры

- MDMAC\_Desc\_SrcMainCounter и MDMAC\_Desc\_DstMainCounter – размер структуры дескрипторов в 64-разрядных словах (количество дескрипторов, умноженное на б);
- MDMAC\_Desc\_SrcAddress – начальный адрес структуры дескрипторов;
- MDMAC\_Desc\_DstAddress – начальный адрес структуры, куда будут записаны отработавшие дескрипторы;
- MDMAC\_Desc\_SrcAddressMode, MDMAC\_Desc\_SrcRowCounter, MDMAC\_Desc\_SrcBias, MDMAC\_Desc\_DstAddressMode, MDMAC\_Desc\_DstRowCounter, MDMAC\_Desc\_DstBias – параметры двухмерной адресации, если требуется для чтения или записи дескрипторов;
- MDMAC\_Desc\_SrcInterruptMask, MDMAC\_Desc\_DstInterruptMask – разрешить прерывание от канала дескрипторов – имеет смысл разрешать прерывание либо только от канала записи дескрипторов (к моменту прерывания данные и дескрипторы уже будут записаны в память), либо только от канала чтения дескрипторов (данные будут записаны в память, но последний дескриптор может быть ещё не записан).

4) Запустить канал дескрипторов – записать в регистры MDMAC\_Desc\_SrcControl и MDMAC\_Desc\_DstControl значение 1.

5) Дождаться завершения работы канала дескрипторов – в регистрах MDMAC\_Desc\_SrcControl и MDMAC\_Desc\_DstControl бит CPL установится в 1, также установится запрос на прерывание.

6) Привести канал в исходное состояние – записать в регистры MDMAC\_Desc\_SrcControl и MDMAC\_Desc\_DstControl значение 0; при этом запрос на прерывание сбросится.

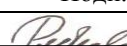
#### 1.6.2.6.2.4 Порядок работы с очередью дескрипторов MDMAC

Данный способ позволяет организовать пополняемую очередь из дескрипторов MDMAC. Алгоритм предполагает наличие относительно большой области дескрипторов в памяти системы, в которую по мере работы системы дописываются новые дескрипторы. Детали механизмов переиспользования памяти в области дескрипторов здесь не описаны – можно организовать различные схемы, в том числе с использованием режима двухмерной адресации. Достаточно простой вариант состоит из следующих шагов:

- произвести первый запуск, записав в начало области дескрипторов первые задачи;
- добавлять дескрипторы по мере появления новых задач;
- при достижении конца выделенной области – ожидать завершения работы MDMAC;
- оставшиеся задачи обработать как первые в новом запуске.

Во время работы по указанному алгоритму MDMAC может успеть обработать последнюю задачу в очереди до того, как процессор добавит новый дескриптор. Для обработки такой ситуации предлагается использовать специальный стоповый дескриптор, а также алгоритм финализации канала дескрипторов, описанный ниже.

#### 1.6.2.6.2.5 Стоповый дескриптор

									Лист
									103
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата		Взам.инв.№	Инва.№дубл.	Подп. и дата				
38075-3	 16.10.2020		38075-2						



Стоповый дескриптор – это обычный дескриптор, в котором поле ControlWrite имеет значение 0, а остальные поля дескриптора содержат незначимую команду, например, передачу одного 64-разрядного слова из неиспользуемой ячейки памяти в неё же.

Когда MDMAC считывает стоповый дескриптор, канал дескрипторов останавливается. В описываемом алгоритме стоповый дескриптор следует создавать в конце очереди дескрипторов после последнего значимого дескриптора.

#### 1.6.2.6.2.6 Первый запуск

1) Сформировать начало очереди – по базовому адресу области дескрипторов записать дескрипторы для задач MDMAC.

2) Записать в конец очереди стоповый дескриптор.

3) Запретить прерывание от канала данных (если на данный момент разрешено).

4) Настроить подканалы канала дескрипторов – записать в регистры:

- MDMAC\_Desc\_SrcMainCounter и MDMAC\_Desc\_DstMainCounter – размер области дескрипторов в 64-разрядных словах;
- MDMAC\_Desc\_SrcAddress и MDMAC\_Desc\_DstAddress – начальный адрес области дескрипторов;
- MDMAC\_Desc\_SrcAddressMode и MDMAC\_Desc\_DstAddressMode – значение 0 (в данном примере используем только одномерную адресацию);
- MDMAC\_Desc\_SrcInterruptMask или MDMAC\_Desc\_DstInterruptMask – разрешить прерывание от канала дескрипторов.

5) Запустить канал дескрипторов – записать в регистры MDMAC\_Desc\_SrcControl и MDMAC\_Desc\_DstControl значение 1.

#### 1.6.2.6.2.7 Добавление дескрипторов в очередь

1) Запретить прерывание от канала дескрипторов.

2) Если к этому моменту было обработано прерывание по окончании работы канала дескрипторов, то, вместо продолжения данного алгоритма, выполнить алгоритм первого запуска.

3) Фиксировать адрес поля ControlWrite текущего стопового дескриптора.

4) Дописать новые дескрипторы после стопового.

5) Записать новый стоповый дескриптор после новых дескрипторов.

6) Записать в поле ControlWrite старого стопового дескриптора значение 1.

7) Фиксировать адрес поля ControlWrite нового стопового дескриптора.

8) Разрешить прерывание от канала дескрипторов (снять оба бита маски MISC и MIE одного из подканалов).

9) Далее в момент, когда MDMAC читает старый стоповый дескриптор, возможны два варианта:

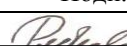
- MDMAC успел прочитать значение слова ControlWrite=0 – канал остановится и процессор перейдёт к обработке прерывания;
- MDMAC прочитал новое значение поля ControlWrite=1 – незначимая операция выполнится и MDMAC перейдёт к выполнению добавленных дескрипторов.

#### 1.6.2.6.2.8 Обработка прерывания по окончании работы канала дескрипторов

Прерывание могло быть вызвано одной из двух причин, различить их можно, прочитав бит ES регистра MDMAC\_Desc\_SrcControl:

- ES=0 – достижение конца области дескрипторов;
- ES=1 – достижение стопового дескриптора.

В первом случае следует перевести канал дескрипторов в исходное состояние, произведя запись в регистры MDMAC\_Desc\_DstControl и MDMAC\_Desc\_SrcControl значения 0. Далее можно начать новую работу с MDMAC с алгоритма первого запуска.

					ЮФКВ.431268.022РЭ			Лист
								104
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		 16.10.2020		38075-2				

Во втором случае возможны две ситуации в зависимости от значения регистра MDMAC\_Desc\_DstAddress:

- равен значению, сохранённому в п. 7 алгоритма добавления дескриптора в очередь (см. 1.6.2.6.2.7) – MDMAC отработал все добавленные дескрипторы;
- равен значению, сохранённому в п. 3 (см. 1.6.2.6.2.7) – MDMAC не отработал последние добавленные дескрипторы.

В случае остановки по достижению стопового дескриптора всегда следует выполнить алгоритм финализации канала дескрипторов. Затем, если MDMAC не отработал последние добавленные дескрипторы, то далее можно выполнить алгоритм первого запуска со смещённым базовым адресом (сохранённый в п.3 + 8 байт) и уменьшенным размером области дескрипторов.

#### 1.6.2.6.2.9 Алгоритм финализации канала дескрипторов

Финализацию следует проводить всегда, когда канал дескрипторов завершился с установленным битом ES в регистре MDMAC\_Desc\_SrcControl.

1) Записать в регистр MDMAC\_Desc\_SrcControl значение 0x0C – очистка буфера прочитанных дескрипторов.

2) Дождаться в регистре MDMAC\_Desc\_SrcState в поле ARC значения 0.

3) Дождаться установки бита CPL в регистре MDMAC\_Desc\_DstControl.

4) Записать в регистры MDMAC\_Desc\_SrcControl и MDMAC\_Desc\_DstControl значение 0.

#### 1.6.2.6.2.10 Использование канала дескрипторов как второго канала данных

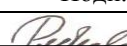
Канал дескрипторов в MDMAC можно использовать как независимый канал данных. В этом режиме данные, читаемые подканалом чтения дескрипторов, без изменений и задержек передаются в подканал записи дескрипторов. Режим второго канала данных можно включить, сбросив бит Desc регистра MDMAC\_Desc\_SrcState. Переключать бит Desc допускается только при неработающем канале дескрипторов.

Второй канал данных не даёт выигрыша в производительности – одновременно работающие два канала будут делить общую пропускную способность.

#### 1.6.2.6.2.11 Прерывания от контроллера MDMAC

От контроллера MDMAC формируется один обобщённый запроса на прерывание в следующих случаях:

- По нормальному завершению работы канала данных, когда выполняется условие – установлен бит Cpl регистра MDMAC\_Control и сброшен бит маски M1C в регистре MDMAC\_InterruptMask (в т.ч. в конце процесса передачи);
- По ошибке доступа канала данных в память, когда установлен бит ES регистра MDMAC\_Control и сброшен бит маски M1E в регистре MDMAC\_InterruptMask;
- По достижению подканалом чтения дескрипторов конца области дескрипторов – установлен бит Cpl регистра MDMAC\_Desc\_SrcControl и сброшен бит маски M1C регистра MDMAC\_Desc\_InterruptMask;
- По достижению подканалом записи дескрипторов конца области дескрипторов – установлен бит Cpl регистра MDMAC\_Desc\_DstControl и сброшен бит маски M1C регистра MDMAC\_Desc\_InterruptMask;
- По достижению подканалом чтения дескрипторов стопового дескриптора – установлен бит ES регистра MDMAC\_Desc\_SrcControl;
- По достижению подканалом записи дескрипторов стопового дескриптора – установлен бит ES регистра MDMAC\_Desc\_DstControl.

									Лист
									105
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата		Взам.инв.№	Инва.№дубл.	Подп. и дата				
38075-3	 16.10.2020		38075-2						

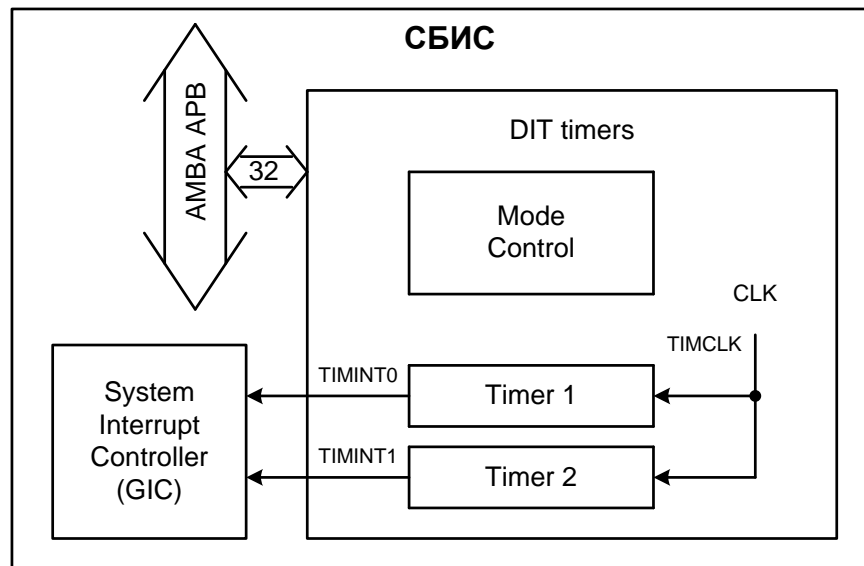
### 1.6.2.7 Блок двояенных интервальных таймеров (DIT)

Блок двояенных таймеров в СБИС 1888BC058 имеет следующие характеристики:

- два 32/16-разрядных таймера;
- для каждого таймера можно настроить режим его работы (свободный счет, периодичный, одиночный);
- счетчики таймеров работают на системной частоте PCLK;
- каждый таймер имеет собственный выход прерывания;
- подключение к системной шине СБИС через интерфейс AMBA APB, используются полный, 32-разрядный интерфейс шины данных.

#### 1.6.2.7.1 Устройство блока двояенных таймеров

Блок не имеет сигналов, соединенных с внешними выводами микросхемы. На рисунке 1.54 приведена структурная схема блока двояенных таймеров.



**Рисунок 1.54 – Схема блока двояенных таймеров**

Блок состоит из двух идентичных блоков Timer 1 и Timer 2, каждый из которых может функционировать в 16- или 32-битном режиме. Внутри каждого блока находится счетчик FRC (Free Running Counter).

Оба таймера могут быть программно настроены на работу в одном из следующих режимов:

- свободный счет (free-running) – счетчик таймера постоянно декрементируется, счет автоматически начинается с максимального значения после достижения нуля;
- периодический (periodic) – аналогично предыдущему, только после достижения нуля счет начинается со значения, предварительно загруженного в регистр TimerXLoad;
- одиночный (one-shot) – счетчик начинает декрементироваться со значения, загруженного в регистр TimerXLoad, после достижения нуля счет останавливается.

Ниже приведена последовательность работы с таймерами:

- Провести начальные настройки используемого таймера, т.е. прописать поля регистра TimerXControl;
- Загрузить начальное значение счетчика в регистр TimerXLoad;

									Лист
									106
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2						

- Разрешить счет путем установки бита TimerEn регистра TimerXControl. Если после установки этого бита записать новое значение в регистр TimerXLoad, то счетчик продолжит декрементироваться с нового значения;
- Другой способ записать новое значение счетчика заключается в записи фонового регистра TimerXBGLoad. Эта запись не будет иметь мгновенного эффекта, вместо этого записанное значение переписывается в счётчик автоматически по достижению счетчиком нулевого значения;
- Текущее значение счетчика может быть считано из регистра TimerXValue в любой момент времени;
- Каждый раз, когда счетчик достигает нулевого значения, генерируется прерывание. Для сброса сгенерированного прерывания необходимо произвести запись в регистр TimerXIntClr. Генерация прерывания может быть замаскирована путем установки соответствующих бит регистра управления TimerXControl.

#### 1.6.2.7.2 Регистровая модель блока сдвоенных таймеров

Программно доступные регистры блока сдвоенных таймеров DIT расположены в области памяти периферийных устройств ARMU (ARM Peripheral Area), имеют базовое смещение DIT Base = 0xFFFF08000 и общий размер 4 Кбайта. Спецификация регистров представлена в таблице 1.96:

					ЮФКВ.431268.022РЭ			Лист
								107
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2				

**Таблица 1.96 – Спецификация регистров блока DIT**

Адрес	Тип	Разрядность	Начальное значение	Имя	Описание
DIT Base + 0x00	ЧТ/ЗП	32	0x00000000	Timer1Load	Регистр загрузки. TimerXLoad
DIT Base + 0x04	ЧТ	32	0xFFFFFFFF	Timer1Value	Регистр текущего значения. TimerXValue
DIT Base + 0x08	ЧТ/ЗП	8	0x20	Timer1Control	Регистр управления. TimerXControl
DIT Base + 0x0C	ЗП	-	-	Timer1IntClr	Регистр снятия прерываний. TimerXIntClr
DIT Base + 0x10	ЧТ	1	0x0	Timer1RIS	Регистр состояния прерывания до наложения маски. TimerXRIS
DIT Base + 0x14	ЧТ	1	0x0	Timer1MIS	Регистр состояния прерывания после наложения маски. TimerXMIS
DIT Base + 0x18	ЧТ/ЗП	32	0x00000000	Timer1BGLoad	Фоновый регистр загрузки. TimerXBGLoad
DIT Base + 0x20	ЧТ/ЗП	32	0x00000000	Timer2Load	Регистр загрузки. TimerXLoad
DIT Base + 0x24	ЧТ	32	0xFFFFFFFF	Timer2Value	Регистр текущего значения. TimerXValue
DIT Base + 0x28	ЧТ/ЗП	8	0x20	Timer2Control	Регистр управления. TimerXControl
DIT Base + 0x2C	ЗП	-	-	Timer2IntClr	Регистр снятия прерываний. TimerXIntClr
DIT Base + 0x30	ЧТ	1	0x0	Timer2RIS	Регистр состояния прерывания до наложения маски. TimerXRIS
DIT Base + 0x34	ЧТ	1	0x0	Timer2MIS	Регистр состояния прерывания после наложения маски. TimerXMIS
DIT Base + 0x38	ЧТ/ЗП	32	0x00000000	Timer2BGLoad	Фоновый регистр загрузки. TimerXBGLoad
DIT Base + 0x40 to 0xEFC	-	-	-	-	Зарезервировано
DIT Base + 0xF00	ЧТ/ЗП	1	0x0	TimerITCR	Регистр управления тестом интеграции. TimerITCR
DIT Base + 0xF04	ЗП	2	0x0	TimerITOP	Регистр управления тестом интеграции. TimerITOP
DIT Base + 0xF08 to 0xFDC	-	-	-	-	Зарезервировано
DIT Base + 0xFE0	ЧТ	8	0x04	TimerPeriphID0	Идентификатор периферийного устройства. TimerPeriphID0 биты [7:0]
DIT Base + 0xFE4	ЧТ	8	0x18	TimerPeriphID1	Идентификатор периферийного устройства. TimerPeriphID1 биты [15:8]
DIT Base + 0xFE8	ЧТ	8	0x04	TimerPeriphID2	Идентификатор периферийного устройства. TimerPeriphID2 биты [23:16]
DIT Base + 0xFEC	ЧТ	8	0x00	TimerPeriphID3	Идентификатор периферийного устройства. TimerPeriphID3 биты [31:24]
DIT Base + 0xFF0	ЧТ	8	0x0D	TimerPCellID0	PrimeCell идентификатор. TimerPCellID0 биты [7:0]
DIT Base + 0xFF4	ЧТ	8	0xF0	TimerPCellID1	PrimeCell идентификатор. TimerPCellID1 биты [15:8]
DIT Base + 0xFF8	ЧТ	8	0x05	TimerPCellID2	PrimeCell идентификатор. TimerPCellID2 биты [23:16]
DIT Base + 0xFFC	ЧТ	8	0xB1	TimerPCellID3	PrimeCell идентификатор. TimerPCellID3 биты [31:24]

					ЮФКВ.431268.022РЭ	Лист
						108
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редюк</i> 16.10.2020		38075-2		

Далее приведено подробное описание каждого регистра. Использование X в названии регистров означает, что регистр относится к Timer 1, либо к блоку Timer 2.

#### 1.6.2.7.2.1 Регистр загрузки TimerXLoad

Регистр TimerXLoad – это 32-битный регистр, в который программно записывается значение, начиная с которого счетчик должен декрементироваться. Если периодический режим включен и текущее значение достигает нуля, то происходит перезагрузка счетчика.

При записи текущее значение счетчика незамедлительно меняется на записанное.

Минимальным значением для TimerXLoad является 1. Если значение TimerXLoad установлено в 0, то прерывания вырабатываются незамедлительно.

В периодическом режиме из регистра TimerXLoad читается значение, которое будет загружено в счетчик, как только он станет равным нулю.

#### 1.6.2.7.2.2 Регистр текущего значения TimerXValue

Регистр TimerXValue – 32-битный регистр, предназначенный только для чтения, содержит текущее значение декрементирующегося счетчика.

Старшие 16 битов 32-битного регистра TimerXValue не сбрасываются автоматически в нуль при переходе в 16-битный режим. В них сохраняется значение, записанное прежде в 32-битном режиме.

#### 1.6.2.7.2.3 Регистр управления TimerXControl

Формат регистра приведен в таблице 1.97.

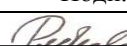
**Таблица 1.97 – Формат регистра TimerXControl**

Биты	Название	Тип	Функции
[31:8]	-	-	Резервные биты, не изменяются, игнорируются при чтении
[7]	TimerEn	ЧТ/ЗП	Бит разрешения: 0 = FRC неактивен (по умолчанию) 1 = FRC активен
[6]	TimerMode	ЧТ/ЗП	Бит режима: 0 = FRC находится в режиме свободного счёта (по умолчанию) 1 = FRC находится в периодическом режиме.
[5]	IntEnable	ЧТ/ЗП	Бит разрешения прерываний: 0 = прерывание запрещено 1 = прерывание разрешено (по умолчанию).
[4]	-	-	Резервные биты, не изменяются, игнорируются при чтении
[3:2]	TimerPre	ЧТ/ЗП	Биты масштабирования частоты счёта (делитель частоты): 00 = синхросигнал не делится (по умолчанию) 01 = синхросигнал делится на 16 10 = синхросигнал делится на 256 11 = не используется.
[1]	TimerSize	ЧТ/ЗП	Выбирает разрядность счётчика: 0 = 16-битный счетчик (по умолчанию) 1 = 32-битный счетчик.
[0]	OneShot	ЧТ/ЗП	Выбирает однократный или многократный режим счетчика: 0 = многократный режим (по умолчанию) 1 = однократный режим.

Состояние счетчика, разрядность и делитель частоты – это установки, которые не должны меняться, пока счётчик работает. Смену настроек следует производить при выключенном счётчике.

#### 1.6.2.7.2.4 Регистр снятия прерываний TimerXIntClr

Любая запись в данный регистр снимает запрос на прерывание от таймера.

									Лист
									109
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020		38075-2						



1.6.2.7.2.5 Регистр состояния прерывания до наложения маски TimerXRIS

Регистр TimerXRIS указывает на состояние запроса на прерывание до наложения маски. Формат регистра представлен в таблице 1.98.

**Таблица 1.98 – Формат регистра TimerXRIS**

Биты	Имя	Тип	Функция
[31:1]	-	-	Резервные биты, не изменяются, игнорируются при чтении
[0]	TimerXRIS	ЧТ	Состояние запроса на прерывание до наложения маски

1.6.2.7.2.6 Регистр состояния прерывания после наложения маски. TimerXMIS

Регистр TimerXMIS указывает на состояние запроса на прерывание после наложения маски. Это значение представляется логическим «И» между битом состояния прерывания (TimerXRIS) и битом разрешения прерываний (IntEnable) регистра управления. Формат регистра представлен в таблице 1.99.

**Таблица 1.99 – Формат регистра TimerXMIS**

Биты	Имя	Тип	Функция
[31:1]	-	-	Резервные биты, не изменяются, игнорируются при чтении
[0]	TimerXMIS	ЧТ	Состояние запроса на прерывание после наложения маски

1.6.2.7.2.7 Фоновый регистр загрузки TimerXBGLoad

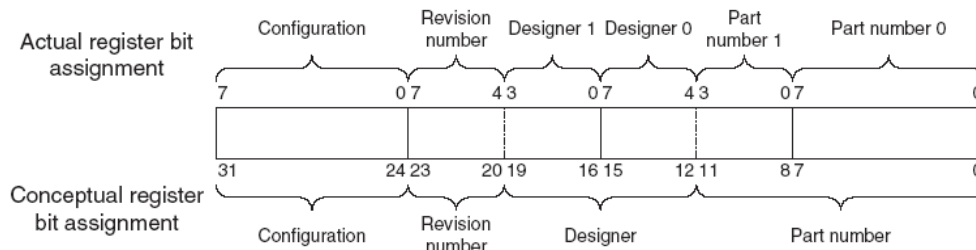
Регистр TimerXBGLoad – является 32-битным регистром, который содержит значение, с которого счетчик начинает декрементироваться. Данное значение используется для перезагрузки счетчика в периодическом режиме, когда текущее значение счета достигает нуля.

1.6.2.7.2.8 Идентификатор периферийного устройства TimerPeriphID0-3

Регистр TimerPeriphID0-3 представляет собой четыре 8-битных регистра, предназначенных только для чтения, которые охватывают адресное пространство от 0xFE0 до 0xFEC. Регистры могут быть концептуально представлены как 32-битный регистр. В таблице 1.100 и на рисунке 1.55 приведен формат полей этого регистра.

**Таблица 1.100 – Формат регистра TimerPeriphID0-3**

Биты	Выполняемые функции
PartNumber[11:0]	Содержит шифр компонента периферийного блока. Для DIT – 0x804
DesignerID[19:12]	Идентификационный номер проектировщика блока. Для ARM – 0x41 (ASCII A)
Revision[23:20]	Является номером ревизии периферийного блока. Номер ревизии начинается с нуля
Configuration[31:24]	Является вариантом конфигурацией периферии. Для DIT 0x0



**Рисунок 1.55 – Формат регистра TimerPeriphID0-3**

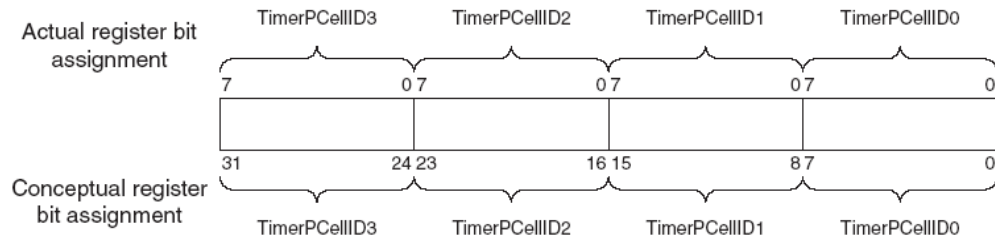
					Лист	
					110	
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		



Обращение к регистрам должно быть 32-битным, независимо от их реальной разрядности.

#### 1.6.2.7.2.9 PrimeCell идентификатор TimerPCellID0-3

Регистры TimerPCellID0-3 – четыре 8-битных регистра, которые охватывают адресное пространство 0xFF0-0xFFC. Регистры, предназначенные только для чтения, могут быть концептуально представлены как 32-битный регистр. Регистр предназначен для идентификации стандартных периферийных блоков в составе системы. Регистр TimerPCellID установлен в 0xB105F00D. На рисунке 1.56 приведен формат этого регистра.



**Рисунок 1.56 – Формат регистра TimerPCellID0-3**

#### 1.6.2.7.2.10 Регистр управления тестом интеграции TimerITCR

Этот однобитный регистр включает тестовый режим интеграции, в котором сигналы прерывания напрямую контролируются регистром TimerITOP. Формат регистра приведен в таблице 1.101.

**Таблица 1.101 – Формат регистра TimerITCR**

Биты	Название	Тип	Выполняемая функция
[31:1]	-	-	Зарезервированы, чтение не определено, должны быть записаны нули
[0]	ITEN	ЧТ/ЗП	Разрешение режима «теста интеграции». Когда этот бит установлен в 1, DIT переходит в режим теста интеграции, иначе находится в нормальном режиме.

#### 1.6.2.7.2.11 Регистр управления выходными сигналами TimerITOP

Когда используется режим теста интеграции, выходные сигналы прерывания непосредственно управляются битами этого регистра. Формат регистра приведен в таблице 1.102.

**Таблица 1.102 – Формат регистра TimerITOP**

Биты	Название	Тип	Выполняемая функция
[31:2]	-	-	Зарезервированы, чтение не определено, должны быть записаны нули
[0]	TIMERINT2	ЗП	Сигнал запроса на прерывание таймера 2 в режиме теста интеграции
[1]	TIMERINT1	ЗП	Сигнал запроса на прерывание таймера 1 в режиме теста интеграции

#### 1.6.2.7.2.12 Прерывания

Блок имеет 2 прерывания, каждое из которых подключено к системному контроллеру прерываний (GIC).

									Лист
									111
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	<i>Редук</i> 16.10.2020			38075-2					

### 1.6.2.8 Блок сторожевого таймера (WDOG)

Блок сторожевого таймера в СБИС 1888BC058 имеет следующие характеристики:

- 32– разрядный счетчик, с программируемым временем срабатывания;
- счетчик таймера работает на системной частоте PCLK;
- выход прерывания;
- выход запроса на сброс, поступающий на блоки CRG и внешний вывод WDT;
- подключение к системной шине СБИС через AMBA APB интерфейс, используются полный, 32 разрядный интерфейс шины данных.

#### 1.6.2.8.1 Устройство блока сторожевого таймера

Блок не имеет сигналов, соединенных с внешними выводами микросхемы.

На рисунке 1.57 приведена структурная схема блока:

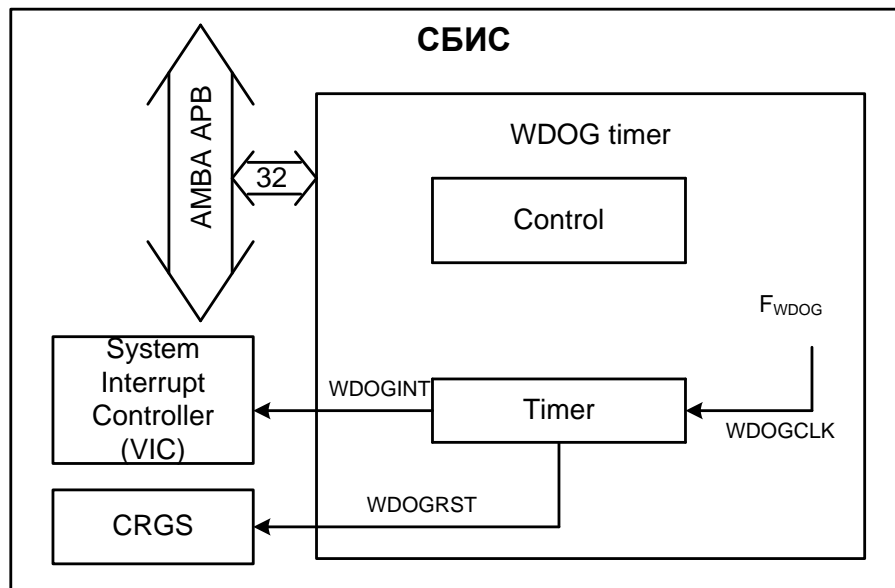


Рисунок 1.57 – Схема блока сторожевого таймера

Блок состоит из программируемого 32-разрядного таймера, работающего на частоте FWDOG, а также схемы управления.

После снятия сигнала системного сброса блок находится в выключенном состоянии. Принцип работы с блоком следующий:

Программным образом задается интервал счета таймера, после чего счетчик начинает декрементироваться.

Когда счетчик достигает нулевого значения, генерируется сигнал прерывания WDOGINT, а счетчик перезаписывается начальным значением. Если до достижения счетчиком нулевого значения, прерывание не будет обработано (сброшено), то будет сформирован сигнал WDOGRST, который, если это разрешено в настройках CRGS, приведет к сбросу СБИС.

Для исключения случайного сброса СБИС вследствие неправильной записи в регистры блока сторожевого таймера, предусмотрена возможность программно заблокировать эти регистры для записи.

#### 1.6.2.8.2 Регистровая модель блока сторожевого таймера

									Лист
									112
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата		Взам.инв.№		Инва.№дубл.	Подп. и дата			
38075-3	<i>Редук</i> 16.10.2020		38075-2						

Программно доступные регистры блока сторожевого таймера WDOG расположены в области памяти периферийных устройств ARMU (ARM Peripheral Area), имеют базовое смещение WDOG Base = 0xFFFF09000 и общий размер 4 Кбайта. Спецификация регистров представлена в таблице Таблица 1.103.

**Таблица 1.103 – Спецификация регистров блока WDOG**

Адрес	Тип	Разрядность	Начальное значение	Имя	Описание
WDOG Base + 0x00	ЧТ/ЗП	32	0xFFFFFFFF	WdogLoad	Регистр загрузки. WdogLoad
WDOG Base + 0x04	ЧТ	32	0xFFFFFFFF	WdogValue	Регистр значения. WdogValue
WDOG Base + 0x08	ЧТ/ЗП	2	0x0	WdogControl	Регистр управления. WdogControl
WDOG Base + 0x0C	ЗП	-	-	WdogIntClr	Регистр снятия прерываний. WdogIntClr
WDOG Base + 0x10	ЧТ	1	0x0	WdogRIS	Регистр состояния прерывания до наложения маски. WdogRIS
WDOG Base + 0x14	ЧТ	1	0x0	WdogMIS	Регистр состояния прерывания после наложения маски. WdogMIS
WDOG Base + 0x18 to 0xBFC	-	-	-	-	Зарезервировано
WDOG Base + 0xC00	ЧТ/ЗП	32	0x0	WdogLock	Регистр блокировки. WdogLock
WDOG Base + 0xC04 to 0xEFC	-	-	-	-	Зарезервировано
WDOG Base + 0xF00	ЧТ/ЗП	1	0x0	WdogITCR	Регистр управления тестом интеграции. WdogITCR
WDOG Base + 0xF04	ЗП	2	0x0	WdogITOP	See Integration Test Output Set Register, WdogITOP
WDOG Base + 0xF08 to 0xFDC	-	-	-	-	Зарезервировано
WDOG Base + 0xFE0	ЧТ	8	0x05	WdogPeriphID0	Идентификатор периферийного устройства. WdogPeriphID0
WDOG Base + 0xFE4	ЧТ	8	0x18	WdogPeriphID1	Идентификатор периферийного устройства. WdogPeriphID1
WDOG Base + 0xFE8	ЧТ	8	0x14	WdogPeriphID2	Идентификатор периферийного устройства. WdogPeriphID2
WDOG Base + 0xFEC	ЧТ	8	0x00	WdogPeriphID3	Идентификатор периферийного устройства. WdogPeriphID3
WDOG Base + 0xFF0	ЧТ	8	0x0D	WdogPCellID0	Идентификатор PrimeCell. WdogPCellID0
WDOG Base + 0xFF4	ЧТ	8	0xF0	WdogPCellID1	Идентификатор PrimeCell. WdogPCellID1
WDOG Base + 0xFF8	ЧТ	8	0x05	WdogPCellID2	Идентификатор PrimeCell. WdogPCellID2
WDOG Base + 0xFFC	ЧТ	8	0xB1	WdogPCellID3	Идентификатор PrimeCell. WdogPCellID3

Далее приведено подробное описание каждого регистра.

**1.6.2.8.2.1 Регистр загрузки WdogLoad**

					Лист
					113
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		<i>Редюк</i> 16.10.2020		38075-2	
			Подп. и дата		

Представляет 32-битный регистр, доступный на запись и чтение, который хранит значение, с которого счетчик начинает декрементироваться. Если в регистре записано некоторое значение, то счетчик незамедлительно перезагружается новым значением. Минимально возможным значением для WdogLoad является 1. Если значение регистра WdogLoad установлено в нуль, то прерывания вырабатываются незамедлительно.

#### 1.6.2.8.2.2 Регистр значения WdogValue

Представляет 32-битный регистр, доступный только на чтение, выдает текущее значение декрементирующего счетчика.

#### 1.6.2.8.2.3 Регистр управления WdogControl

Представляет регистр, доступный на запись и чтение, который разрешает программному обеспечению (ПО) управлять сторожевым таймером. В таблице 1.104 ниже приведен формат регистра WdogControl.

**Таблица 1.104 – Формат регистра WdogControl**

Биты	Название	Тип	Выполняемая функция
[31:2]	-	-	Зарезервировано
[1]	RESEN	ЧТ/ЗП	Разрешающий сигнал блока WDOG для сброса выхода, WDOGRST. Работает как маска для сброса выхода. Если установлен высокий уровень, то разрешен сброс, если низкий, то сброс неактивен.
[0]	INTEN	ЧТ/ЗП	Сигнал, разрешающий прерывание события, WDOGINT. Если установлен высокий уровень, то счетчик находится в активном состоянии и разрешены прерывания, если установлен низкий уровень, то счетчик и прерывания неактивны. Нужно перезагрузить счетчик значением, которое хранится в WdogLoad, если прерывание ранее было неактивным, но затем стало разрешенным.

#### 1.6.2.8.2.4 Регистр снятия прерываний WdogIntClr

Любая запись в данный регистр, снимает прерывание WDOG, и перезагружает счетчик значением регистра WdogLoad.

#### 1.6.2.8.2.5 Регистр состояния прерывания до наложения маски WdogRIS

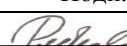
Данный регистр определяет состояние прерываний до наложения маски, формируемых счетчиком. Регистр WdogRIS возводится в единицу в момент, когда счетчик сторожевого таймера достигает нуля. В таблице 1.105 приведен формат регистра WdogRIS.

**Таблица 1.105 – Формат регистра WdogRIS**

Биты	Название	Тип	Выполняемая функция
[31:1]	-	-	Зарезервировано
[0]	WDOGRIS	ЧТ	Состояние прерывания от счетчика до наложения маски.

#### 1.6.2.8.2.6 Регистр состояния прерывания после наложения маски. WdogMIS

Данный регистр определяет состояние прерывания счетчика после наложения маски. Это значение представляется логическим элементом «И» между битом WDOGRIS и битом INTEN регистра управления, и представляет аналогичное значение выходного сигнала WDOGINT. В таблице 1.106 приведен формат регистра WdogMIS.

									Лист
									114
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		 16.10.2020			38075-2				

**Таблица 1.106 – Формат регистра WdogMIS**

Биты	Название	Тип	Выполняемая функция
[31:1]	-	-	Зарезервировано
[0]	WDOG MIS	ЧТ	Состояние прерывания от счетчика после наложения маски.

**1.6.2.8.2.7 Регистр блокировки WdogLock**

Данный регистр может блокировать все другие регистры, доступные по записи. Таким образом можно защитить регистры WDOG от некорректно работающего программного обеспечения. Запись значения 0x1ACCE551 разблокирует все регистры блока, т.е. разрешает программный доступ по записи ко всем регистрам. Запись любого другого значения блокирует доступ по записи. Чтение из этого регистра возвращает состояние блокировки:

- 0 – доступ по записи разрешен (нет блокировки)
- 1 – доступ по записи запрещен (заблокирован)

В таблице 1.107 приведен формат регистра WdogLock.

**Таблица 1.107 – Формат регистра WdogLock**

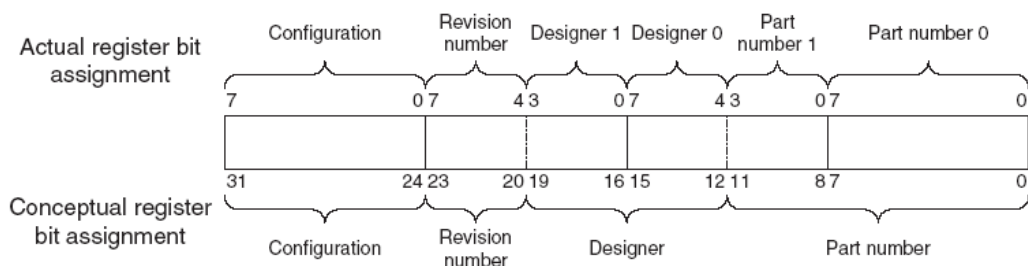
Биты	Название	Тип	Выполняемая функция
[31:0]	WDOG LOCK	ЧТ/ЗП	Запись значения 0x1ACCE551 в этот регистр разрешает запись во все регистры. Запись любого другого значения делает невозможным доступ по записи ко всем регистрам. Чтение возвращает состояние блокировки: 0x00000000 – запись во все регистры разрешена 0x00000001 – запись во все регистры запрещена

**1.6.2.8.2.8 Идентификатор периферийного устройства WdogPeriphID0-3**

Регистр TimerPeriphID0-3 представляет четыре 8-битных регистра, предназначенных только для чтения, которые охватывают адресное пространство от 0xFE0 до 0xFEC. Регистры могут быть концептуально представлены как 32-битный регистр. В таблице 1.108 и на рисунке 1.58 приведен формат этого регистра.

**Таблица 1.108 – Формат регистра WdogPeriph0-3**

Биты	Выполняемые функции
PartNumber[11:0]	Содержит шифр компонента периферийного блока. Для DIT 0x805
DesignerID[19:12]	Идентификационный номер проектировщика блока. Для ARM 0x41 (ASCII A)
Revision[23:20]	Является номером ревизии периферийного блока. Номер ревизии начинается с нуля
Configuration[31:24]	Является вариантом конфигурацией периферии. Для DIT 0x0



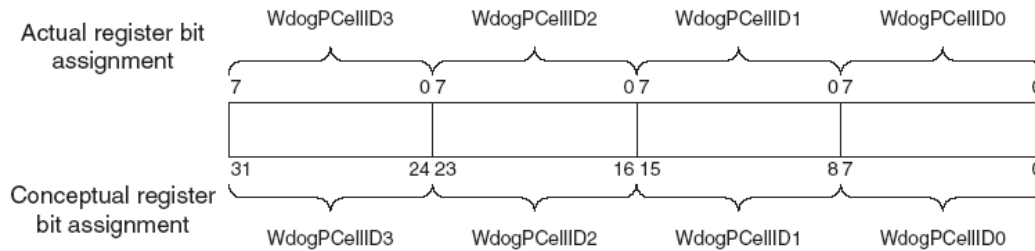
**Рисунок 1.58 – Формат регистра WdogPeriph0-3**

					ЮФКВ.431268.022РЭ	Лист 115
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		

Отметим, что при проектировании важно помнить, что периферийные блоки занимают четыре Кбайта адресного пространства. Обращение к периферийным регистрам должно быть 32-битным, независимо от их реальной разрядности.

#### 1.6.2.8.2.9 PrimeCell идентификатор WdogPCellID0-3

Регистры WdogPCellID0-3 – четыре 8-битных регистра, которые охватывают адресное пространство 0xFF0-0xFFC. Регистры, программно доступные только по чтению, могут быть концептуально представлены как 32-битный регистр. Регистр предназначен для идентификации стандартных периферийных блоков в составе системы. Регистр WdogPCellID установлен в 0xB105F00D. На рисунке 1.59 приведен формат этого регистра.



**Рисунок 1.59 – Формат регистра WdogPCell0-3**

#### 1.6.2.8.2.10 Регистр управления тестом интеграции WdogITCR

Этот однобитный регистр используется для активации тестового режима проверки правильности интеграции периферийного блока в систему – далее «теста интеграции». Когда используется этот режим, прерывание WDOGINT и сигнал сброса WDOGRST контролируются регистром WdogITOP. Формат регистра приведен в таблице 1.109.

**Таблица 1.109 – Формат регистра WdogITCR**

Биты	Название	Тип	Выполняемая функция
[31:1]	-	-	Зарезервированы
[0]	ITEN	ЧТ/ЗП	Разрешение режима «теста интеграции». Когда этот бит установлен в 1, WDOG переходит в режим теста интеграции, иначе находится в нормальном режиме.

#### 1.6.2.8.2.11 Регистр управления выходными сигналами WdogITOP

Когда используется режим теста интеграции, выходные сигналы прерывания непосредственно управляются битами этого регистра. Формат регистра приведен в таблице 1.110.

**Таблица 1.110 – Формат регистра WdogITOP**

Биты	Название	Тип	Выполняемая функция
[31:2]	-	-	Зарезервированы, чтение не определено, должны быть записаны нули
[0]	WDOGINT	ЗП	Значение выхода WDOGINT, в режиме теста интеграции
[1]	WDOGRST	ЗП	Значение выхода WDOGRST, в режиме теста интеграции

									Лист
									116
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2						



### 1.6.2.8.3 Прерывания

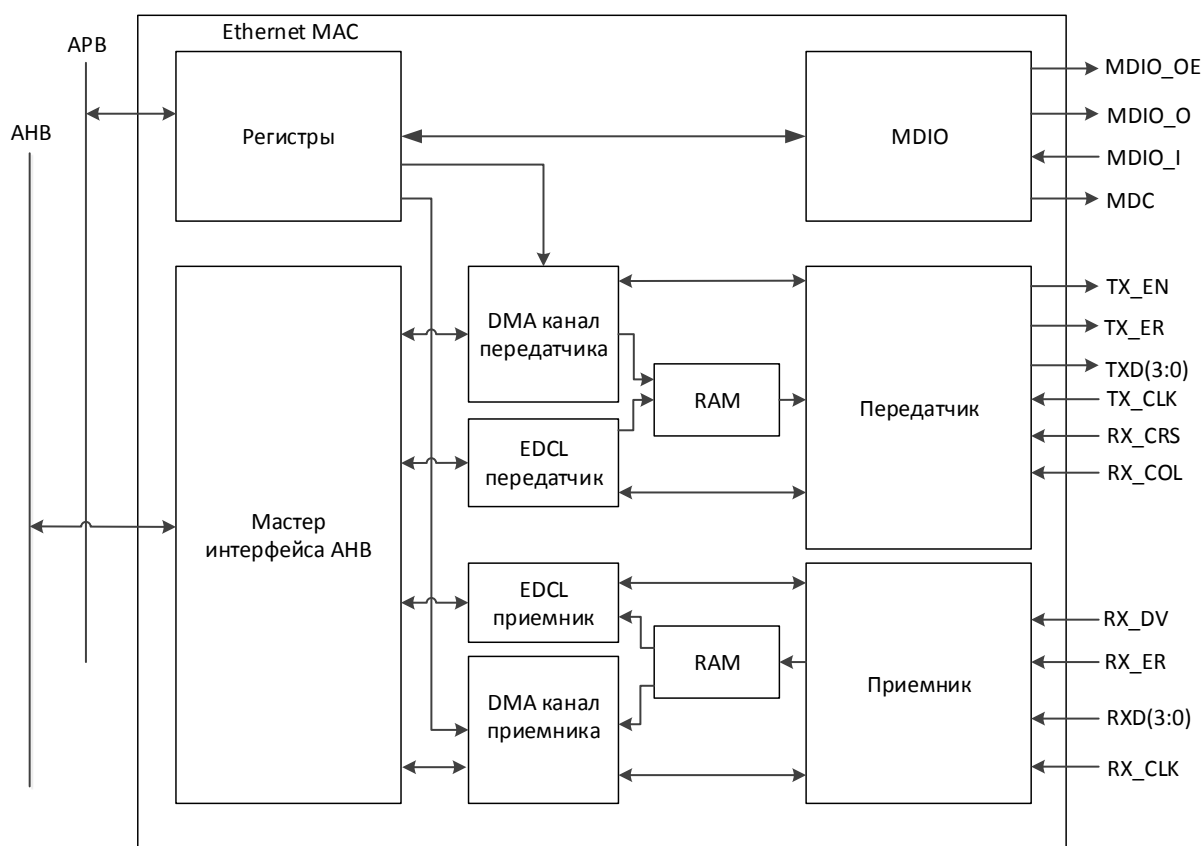
Блок имеет выход прерывания, которое подключено к системному контроллеру прерываний GIC (см. 1.6.2.3).

### 1.6.2.9 Контроллер интерфейса Ethernet (GRETH)

СБИС 1888BC058 содержит MAC-контроллер (GRETH), который поддерживает сетевой протокол Ethernet. Скорость передачи контроллера составляет 10 или 100 Мбит/сек в полудуплексном и дуплексном режимах. Интерфейс AMBA APB используется для конфигурации и управления контроллером, интерфейс AMBA AHB используется для доступа к памяти микросхемы. Поток данных обрабатывается DMA-каналами. Один DMA-канал предназначен для передачи данных, другой – для приема данных. Оба канала используют единый интерфейс АНВ. Внешний интерфейс соответствует стандарту МП. К данному интерфейсу должно быть подключено устройство физического уровня (PHY). GRETH также обеспечивает доступ к интерфейсу МП Management (MDIO интерфейс), который используется для настройки блока PHY.

Аппаратно в контроллере поддерживается интерфейс Ethernet Debug Communication Link (EDCL).

Структурная схема блока GRETH приведена на рисунке 1.60.



**Рисунок 1.60 – Структурная схема блока GRETH**

#### 1.6.2.9.1 Работа контроллера GRETH

Контроллер GRETH состоит из трёх функциональных блоков: двух DMA-каналов, MDIO-интерфейса и блока удаленной отладки EDCL.

Основная функциональность контроллера – передача данных между памятью микросхемы и сетью Ethernet. Один DMA-канал используется для передачи данных, другой DMA-канал – для приема данных. Конфигурирование DMA-каналов осуществляется с помощью программно доступных регистров.

					Лист	
					117	
					ЮФКВ.431268.022РЭ	
Изм	Лист	№ докум.	Подп.	Дата		
Инав.№подл.	Подп. и дата		Взам.инв.№	Инав.№дубл.	Подп. и дата	
38075-3	<i>Редук</i> 16.10.2020		38075-2			



Интерфейс MDIO используется для доступа к конфигурационным регистрам одной или более микросхем PHY.

Блок EDCL обеспечивает доступ внешнего устройства к памяти микросхемы. Блок позволяет производить удаленную отладку программного обеспечения. Для этого совместно используется протоколы UDP, IP, ARP с протоколом пользовательского уровня (custom application layer). EDCL не имеет программно-доступных регистров и работает всегда параллельно с DMA-каналами.

СБИС 1888BC058 поддерживает подключение PHY-микросхем только с интерфейсом МП.

#### 1.6.2.9.1.1 Поддержка протоколов

Контроллер GRETH разработан согласно стандарту IEEE 802.3-2002. Дополнительный уровень управления не поддерживается. Это означает, что пакеты с типом 0x8808 отбрасываются.

#### 1.6.2.9.1.2 Синхронизация

GRETH-контроллер имеет три домена тактовых сигналов: АНВ, Ethernet-приемник, Ethernet-передатчик. Тактовые сигналы Ethernet-приемника и Ethernet-передатчика генерируются внешним PHY и поступают в ядро посредством интерфейса МП. Три домена тактовых сигналов асинхронны друг другу. Все сигналы полностью синхронизованы внутри ядра контроллера.

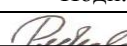
Оба рабочих режима: дуплексный и полудуплексный, поддерживаются и могут работать со скоростью 10 или 100 Мбит/с.

#### 1.6.2.9.1.3 Интерфейс передатчика TxDMA

Интерфейс DMA-передатчика используется для передачи данных по сети Ethernet. При передаче данных используются дескрипторы, располагаемые в памяти.

#### 1.6.2.9.1.3.1 Подготовка дескриптора

Дескриптор состоит из двух 32-разрядных слов, поля которых описаны в таблицах 1.111 и 1.112. Количество байтов, которые должны быть переданы, устанавливаются в поле длины (LENGTH), поле адреса (ADDRESS) адресует данные. Адрес должен быть выровнен с точностью до слова (32 бита). Если бит разрешения прерывания IE установлен, то при отправке пакета будет сгенерировано прерывание (для этого необходимо, чтобы бит прерывания передатчика в управляющем регистре также был установлен). Прерывание будет сгенерировано независимо от того, был ли пакет передан успешно или нет.

										Лист
										118
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	 16.10.2020			38075-2						

**Таблица 1.111 – Описание полей слова 0 дескриптора передатчика GRETH**

Биты	Название	Функция
[31:16]	-	Не используется.
[15]	Attempt Limit Error (AL)	Пакет не был передан, потому что было достигнуто максимальное количество попыток отправки с коллизиями.
[14]	Underrun Error (UE)	Пакет был некорректно передан из-за ошибки опустошения выходного FIFO.
[13]	Interrupt enable (IE)	Разрешение прерываний. Прерывание будет сгенерировано, когда пакет от этого дескриптора будет послан, при условии, что бит разрешения прерывания передатчика в управляющем регистре установлен. Прерывание формируется независимо от того, успешно был передан пакет или с ошибкой.
[12]	Wrap(WR)	Если установлен в 1, то после чтения данного дескриптора указателю дескриптора присваивается начальное значение (0). Если этот бит не установлен, указатель будет увеличен на 8. Указатель автоматически возвращается в начальное состояние (0), когда достигает границы области дескрипторов 1 Кб.
[11]	Enable(EN)	Установка 1 активирует дескриптор.
[10:0]	LENGTH	Количество байтов, которое должно быть передано.

**Таблица 1.112 – Описание полей слова 1 дескриптора передатчика GRETH**

Биты	Название	Функция
[31:2]	Address (ADDRESS)	Указатель на область памяти, откуда данные будут загружены.
[1:0]	RES	Не используется

Для активации дескриптора необходимо установить бит EN, после этого дескриптор не должен перезаписываться до момента, пока GRETH сам не сбросит бит EN.

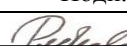
1.6.2.9.1.3.2 Начало передачи

Для начала передачи недостаточно только активировать дескриптор. Сначала в контроллере GRETH должен быть задан указатель области памяти, содержащей дескрипторы. Соответствующий указатель задается в регистре указателя дескриптора передатчика. Адрес должен быть выровнен по границе 1 Кбайт. Разряды с 31 по 10 содержат базовый адрес области дескрипторов, в то время как разряды с 9 по 3 формируют указатель на индивидуальный дескриптор. Первый дескриптор будет помещен по базовому адресу и, когда адрес будет использован GRETH-контроллером, поле указателя будет увеличено на 8, чтобы указать на следующий дескриптор. Указатель будет автоматически возвращен обратно в начальное состояние (0), когда будет достигнута граница 1 Кбайт (отработает дескриптор со смещением адреса 0x3F8) или когда будет прочитан дескриптор с установленным битом WR.

Последний шаг для запуска передачи – это установка бита разрешения передачи (transmit enable) в управляющем регистре. Таким образом контроллеру сообщается о наличии активных дескрипторов в таблице дескрипторов.

1.6.2.9.1.3.3 Обработка дескриптора после передачи

Когда передача пакета закончена, результат записывается в слово 0 соответствующего дескриптора. Признак ошибки отсутствия данных (Underrun Error) устанавливается, если передающее FIFO становилось пустым до того, как пакет был полностью передан (например, из-за того, что у GRETH-контроллера недостаточно приоритета для доступа к определенной области адресного пространства). Признак ошибки исчерпания количества попыток (Attempt Limit Error) устанавливается, если произошло больше коллизий, чем разрешено. Пакет считается успешно переданным, если оба этих бита равны 0. Другие разряды слова 0 дескриптора устанавливаются в 0 после передачи, слово 1 дескриптора остается нетронутым.

									Лист
									119
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		 16.10.2020		38075-2					

Разряд разрешения (EN) является признаком возможности повторного использования дескриптора. Дескриптор можно использовать повторно после того, как этот бит был сброшен контроллером.

В регистре состояния контроллера GRETH имеются 3 бита, которые определяют состояние контроллера:

- Ошибка передатчика (Transmission Error) устанавливается каждый раз, когда передача заканчивается с ошибкой (когда, по крайней мере, один из 2 статусных битов в передаваемом дескрипторе был установлен);
- Прерывание передатчика (Transmitter Interrupt) устанавливается каждый раз, когда передача закончилась успешно;
- Признак ошибки передатчика АНВ (Transmitter АНВ Error) устанавливается, когда происходит ошибка на шине АНВ, или во время чтения дескриптора, или во время чтения пакета данных. Любые инициированные передачи будут прекращены, и передатчик будет остановлен. Для возобновления передачи в таком случае следует снова установить бит разрешения передачи в управляющем регистре.

#### 1.6.2.9.1.3.4 Данные передачи

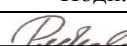
Данные для передачи должны быть помещены, начиная с адреса, указанного в поле адреса дескриптора. Вместе с данными в буфере данных должен храниться заголовок пакета Ethernet (MAC-адреса и поле типа), GRETH не генерирует его автоматически. В конце каждого пакета автоматически добавляются 4 байта контрольной суммы (CRC) пакета Ethernet. Одному дескриптору соответствует один пакет Ethernet. Если поле размера в дескрипторе больше 1514, то пакет не будет передан.

#### 1.6.2.9.1.4 Интерфейс приемника RxDMA

Интерфейс DMA-приемника используется для приема данных из сети Ethernet. При приеме данных используются дескрипторы, записанные заранее в память.

#### 1.6.2.9.1.4.1 Подготовка дескрипторов

Дескриптор состоит из двух 32-разрядных слов, поля которых описаны в таблицах 1.113 и 1.114. Поле адреса слова 1 указывает на буфер памяти, в котором должны быть сохранены принятые данные. Адрес должен быть выровнен с точностью до слова (32 бита). Максимальный размер буфера составляет 1514. Если разряд разрешения прерывания (IE) установлен, то прерывание будет сгенерировано, когда пакет будет принят в буфер (для этого необходимо, чтобы бит включения прерывания приемника в управляющем регистре также был установлен). Прерывание генерируется независимо от правильности принятия пакета.

										Лист
										120
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата			
38075-3	 16.10.2020		38075-2							

**Таблица 1.113 – Описание полей слова 0 дескриптора приемника GRETH**

Биты	Название	Функция
[31:27]	-	Не используется.
[26]	Multicast address (MC)	Признак того, что адрес в заголовке пакета был Multicast-адресом
[25:19]	-	Не используется.
[18]	Length error (LE)	Признак несовпадения длины/типа пакета в заголовке с действительным числом принятых байтов.
[17]	Overrun error (OE)	Признак переполнения приемного FIFO. Кадр данных был некорректно принят из-за переполнения FIFO.
[16]	CRC error (CE)	Признак ошибки CRC. Ошибка контрольной суммы (CRC) была обнаружена в данном кадре.
[15]	Frame too long (FT)	Был принят кадр, размер которого превышает максимальный. Лишняя часть будет отброшена.
[14]	-	Не используется.
[13]	Interrupt enable (IE)	Разрешение прерываний. Установка бита разрешает формирование прерывания после принятия пакета дескриптора. Прерывание генерируется независимо от того, успешно был принят пакет, или он был завершен с ошибкой
[12]	Wrap(WR)	Если установлен в 1, то после чтения данного дескриптора указатель дескриптора присваивается начальное значение (0). Если этот бит не установлен, то указатель будет увеличен на 8. Указатель автоматически принимает начальное значение (0), когда достигает границы области дескрипторов 1кБайт.
[11]	Enable(EN)	Установка 1 активирует дескриптор.
[10:0]	LENGTH	Количество байтов, которое должно быть принято.

**Таблица 1.114 – Описание полей слова 1 дескриптора приемника GRETH**

Биты	Название	Функция
[31:2]	Address (ADDRESS)	Указатель на область памяти, куда данные будут загружены.
[1:0]	RES	Не используется.

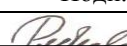
1.6.2.9.1.4.2 Начало приема

Для начала приема данных недостаточно только активировать дескриптор. Сначала в контроллере должен быть задан указатель области памяти, содержащей дескрипторы. Соответствующий указатель задается в регистре указателя дескриптора приемника. Адрес должен быть выровнен по границе 1 Кбайт. Разряды с 31 по 10 содержат базовый адрес области дескрипторов, в то время как разряды с 9 по 3 формируют указатель на индивидуальный дескриптор. Первый дескриптор помещается по базовому адресу и, когда он будет использован контроллером, поле указателя будет увеличено на 8, чтобы указать на следующий дескриптор. Указателю будет автоматически присвоено начальное значение (0), когда будет достигнута граница 1 Кб (использован дескриптор со смещением адреса 0x3F8) или когда будет прочитан дескриптор с установленным битом WR.

Последний шаг для включения приема – это установка бита разрешения приема (RE) в управляющем регистре. Таким образом контроллеру сообщается о возможности считать первый дескриптор и ожидать входной пакет.

1.6.2.9.1.4.3 Обработка дескриптора после приема

После окончания приема контроллер сбрасывает бит активации (EN) в слове 0 дескриптора приемника, и другие управляющие биты (WR, IE). Поле длины (LENGTH) определяет количество принятых байтов. По адресу, определенному в слове 1 дескриптора передатчика, сохраняются следующие части пакета Ethernet: MAC-адрес приемника, MAC-адрес источника, тип и поле данных. Разряды 18-14 в слове 0 дескриптора приемника фиксируют различные ошибки при приеме данных (Таблица 1.113). Все пять разрядов сбрасываются после приема данных, если нет ошибок.

					ЮФКВ.431268.022РЭ			Лист
								121
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		 16.10.2020		38075-2				

Если адрес принятого пакета не соответствует запрограммированному MAC-адресу устройства, то будет установлен бит IA регистра статуса.

Пакеты, большие максимального размера, вызывают установку признака FT в слове 0 дескриптора приемника, при этом не гарантируется, что в поле длины (LENGTH) содержится правильное значение количества принятых байтов.

#### 1.6.2.9.1.4.4 Прием с ошибками на шине АНВ

Если происходит ошибка на шине АНВ во время чтения дескриптора или сохранения данных, то устанавливается бит ошибки при приеме на шине АНВ (RA) в регистре состояния и приемник останавливается. Для возобновления приёма в таком случае следует снова установить бит разрешения (RE) в управляющем регистре.

#### 1.6.2.9.1.4.5 MAC-адреса принимаемых пакетов

Контроллер принимает пакеты, в которых в качестве MAC-адреса назначения указаны:

- собственный MAC-адрес (задаётся программно в регистрах MAC Address);
- широковещательный MAC-адрес;
- MAC-адрес типа multicast, если установлен бит Multicast enable управляющего регистра.

Для каждого принимаемого пакета типа multicast контроллер

- извлекает MAC-адрес назначения;
- рассчитывает для него контрольную сумму CRC32 (в соответствии со стандартом Ethernet);
- берёт младшие 6 разрядов полученной контрольной суммы в качестве номера бита регистра hash table;
- если соответствующий бит регистра hash table установлен, то пакет принимается, иначе – отбрасывается.

#### 1.6.2.9.1.5 MDIO-интерфейс

Интерфейс MDIO обеспечивает доступ к конфигурационным регистрам микросхемы РНУ. Контроллер обеспечивает полную поддержку MDIO-интерфейса

MDIO-интерфейс может быть использован для управления от 1 до 32 РНУ, содержащих до 32 16-разрядных регистров. Доступ к регистрам РНУ осуществляется с помощью регистра MDIO Control/Status. Для проведения операции чтения следует записать номер РНУ, адрес регистра и установить разряд RD. После этого контроллер устанавливает разряд занятости (Busy bit). Конец операции чтения можно отследить по сбросу бита занятости. Если операция была успешной, разряд Linkfail сбрасывается, в поле данных находятся считанные данные. При ошибочном завершении операции устанавливается бит Linkfail. В этом случае поле данных не определено.

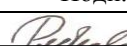
Операцию записи инициирует запись 16-разрядных данных, номера РНУ и адреса регистра с установленным битом записи WR. Операция заканчивается, когда сбрасывается разряд занятости (busy bit); если операция была успешной, бит Linkfail равен 0.

#### 1.6.2.9.1.6 Интерфейс для удаленной отладки (Ethernet Debug Communication Link)

Ethernet Debug Communication Link (EDCL) обеспечивает доступ к шине АНВ посредством сетевого протокола Ethernet. Совместно используются протоколы UDP, IP, ARP и протокол прикладного пользовательского уровня. Протокол прикладного уровня использует алгоритм ARQ для обеспечения целостности команд чтения и записи. Передача по чтению или по записи может быть сгенерирована по любому адресу на шине АНВ.

#### 1.6.2.9.1.6.1 Функционирование EDCL

EDCL получает пакеты параллельно с приемным каналом DMA MAC-контроллера. EDCL использует отдельный MAC-адрес: 0xEC1766AEDE30, который позволяет различать пакеты

									Лист
									122
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					

для EDCL от пакетов, предназначенных DMA-каналу MAC-контроллера. EDCL также имеет отдельный IP-адрес: 0xC0A80101 (значение при загрузке микросхемы). При этом младшие четыре бита IP-адреса и MAC-адреса EDCL устанавливаются в соответствии со значениями на входах BOOTM0, BOOTM1, BOOTM2, как показано в таблице 1.115. Значения IP-адреса EDCL можно программно изменить, используя регистр EDCL IP. Значения MAC-адреса EDCL изменить программно нельзя.

**Таблица 1.115 – Соответствие IP- и MAC-адресов входам BOOTM**

BOOTM[2:0]	4 lsb EDCL IP и EDCL MAC
0x0, 0x1, 0x2, 0x3	0x1
0x4	0xA
0x5	0xB
0x6	0xC
0x7	0xD

После проверки пакетов на корректность выполняется операция на шине АНВ. Ответы посылаются автоматически блоком передатчиком EDCL при завершении операции.

#### 1.6.2.9.1.6.2 Протокол EDCL

На рисунке 1.61 показан пакет EDCL.

Заголовок Ethernet	Заголовок IP	Заголовок UDP	Пустые 2 байта	Управляющее слово, 4 байта	Адрес, 4 байта	Данные, 0-242 32-разрядных слова	Контрольная сумма (FCS)
--------------------	--------------	---------------	----------------	----------------------------	----------------	----------------------------------	-------------------------

**Рисунок 1.61 – Пакет EDCL**

Для успешной работы по EDCL требуется следующее: корректные MAC- и IP-адреса приемника, как указано в основных настройках, поле типа протокола Ethernet, содержащее 0x806 (ARP) или 0x800 (IP). Контрольная сумма IP-заголовка и идентификационные поля не проверяются. Существует несколько ограничений для полей IP-заголовка. Поле протокола должно быть всегда равным 0x11 (UDP). Длина и контрольная сумма – единственные IP-поля, изменяемые при ответе.

EDCL обеспечивает только один доступ в каждый момент времени – поэтому не требуется проверять номер UDP-порта. Ответ будет иметь исходный номер порта источника в обоих полях: источника и приемника. Контрольная сумма UDP не используется, и при ответах поле контрольной суммы равно 0.

Формат управляющего слова пакета EDCL приведен на рисунке 1.62.

Зарезервировано, 16 бит	Порядковый номер, 14 бит	R/W, 1 бит	Длина, 10 бит	Зарезервировано, 7 бит
-------------------------	--------------------------	------------	---------------	------------------------

**Рисунок 1.62 – Формат управляющего слова пакета EDCL**

16-битное смещение используется для того, чтобы выровнять в памяти оставшуюся часть данных прикладного уровня по границе, кратной слову, и может быть любым. Поле R/W определяет, будет выполняться чтение или запись. Поле длины содержит количество байтов, которое нужно прочитать или записать. Если R/W равен 1, поле данных, показанное на рисунке выше (Рисунок 1.61), содержит данные, которые должны быть записаны. Если R/W равен 0, то поле данных должно быть пустым.

На рисунке 1.63 поля прикладного уровня ответов от EDCL.

Зарезервировано, 16 бит	Порядковый номер, 14 бит	R/W, 1 бит	Длина, 10 бит	Зарезервировано, 7 бит
-------------------------	--------------------------	------------	---------------	------------------------

**Рисунок 1.63 – Поля прикладного уровня пакетов подтверждения EDCL**

					ЮФКВ.431268.022РЭ					Лист
										123
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020			38075-2					



EDCL использует алгоритм, обеспечивающий надежные передачи. 14-разрядный порядковый номер в принимаемых пакетах проверяется на совпадение с внутренним счетчиком.

Если они не совпадают:

- операция не выполняется;
- в ответном пакете поле ACK/NAK устанавливается в 1;
- в ответном пакете передается значение внутреннего счетчика.

Если порядковые номера совпадают, то:

- операция совершается;
- значение счетчика передается в пакете подтверждения;
- в ответном пакете поле ACK/NAK устанавливается в 0;
- внутренний счетчик инкрементируется.

Поле длины (LENGTH) всегда сбрасывается для кадров с ACK/NAK=1. Неиспользуемые поля не проверяются и копируются при ответе.

#### 1.6.2.9.1.6.3 Размер буфера EDCL

Блок EDCL содержит внутренние блоки памяти, предназначенные для хранения полученных пакетов в процессе передачи данных. Максимальный размер данных, которые могут быть переданы в пакете EDCL (рисунок 1.61, размер поля данных) составляет 114 32-разрядных слов.

#### 1.6.2.9.2 Программная модель контроллера GRETH

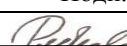
Программно доступные регистры контроллера GRETH расположены в области памяти периферийных устройств ARMU (ARM Peripheral Area), имеют базовое смещение GRETH Base = 0x40080000 и общий размер 4 Кбайта. Регистры имеют разрядность 32 бита. Спецификация регистров представлена в таблице 1.116.

**Таблица 1.116 – Регистры контроллера GRETH**

Адрес	Название	Описание
GRETH_Base+0x00	Control register	Регистр управления
GRETH_Base+0x04	Status register	Регистр состояния
GRETH_Base+0x08	MAC Address MSB	Регистр, определяющий старшие биты (MSB) MAC-адреса
GRETH_Base+0x0C	MAC Address LSB	Регистр, определяющий младшие биты (LSB) MAC-адреса
GRETH_Base+0x10	MDIO Control/Status	Регистр управления/состояния интерфейса MDIO
GRETH_Base+0x14	Transmit descriptor pointer	Регистр базового адреса таблицы дескрипторов передатчика
GRETH_Base+0x18	Receiver descriptor pointer	Регистр базового адреса таблицы дескрипторов приемника
GRETH_Base+0x1C	EDCL IP	Регистр IP-адреса для EDCL
GRETH_Base+0x20	Hash table msb	Регистр старших битов hash-таблицы
GRETH_Base+0x24	Hash table lsb	Регистр младших битов hash-таблицы
GRETH_Base+0x28	EDCL MAC address MSB	Регистр старших битов MAC-адреса для EDCL
GRETH_Base+0x2C	EDCL MAC address LSB	Регистр младших битов MAC-адреса для EDCL

##### 1.6.2.9.2.1 Регистр управления

Формат регистра управления GRETH приведен в таблице 1.117.

									Лист
									124
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата		
38075-3	 16.10.2020		38075-2						



**Таблица 1.117 – Формат регистра управления GRETH**

Биты	Название	Функция
[31]	EDCL available (ED)	Установлено, если EDCL поддерживается.
[30:28]	EDCL buffer size (BS)	Показывает количество памяти, используемое в EDCL-буферах. 0=1 Кбайт, 1=2 Кбайта, ...6=64 Кбайта.
[27]	-	Не используется.
[26]	MDIO interrupts available (MA)	Установлено, если ядро контроллера поддерживает прерывания от MDIO. Бит доступен только для чтения.
[25]	Multicast available (MC)	Установлено, если ядро контроллера поддерживает механизм multicast.
[24:15]	-	Зарезервированы.
[14]	EDCL Disable (ED)	При установке бита происходит отключение EDCL, при сбросе EDCL включается. Начальное значение не определено (может быть разным в зависимости от работы начального загрузчика).
[13]	-	Зарезервировано, следует записывать 0.
[12]	-	Зарезервировано, следует записывать 0.
[11]	Multicast enable (ME)	Разрешение приема пакетов multicast.
[10]	PHY status change interrupt enable (PI)	Разрешение прерывания от PHY-блоков.
[9:8]	-	Не используется.
[7]	Speed (SP)	Устанавливает текущий режим скорости. 0 – 10 Мбит/с, 1 – 100 Мбит/с. Значение по умолчанию автоматически считывается из PHY-блока после аппаратного сброса. Значение при сбросе – 1.
[6]	Reset (RS)	1, записанная в этот разряд, сбрасывает ядро контроллера. Бит сбрасывается автоматически.
[5]	Promiscuous mode (PM)	Если бит установлен, GRETH-контроллер работает в смешанном режиме, который означает, что он будет получать все пакеты независимо от адреса назначения.
[4]	Full duplex (FD)	Если бит установлен, GRETH-контроллер работает в дуплексном режиме, иначе он работает в полудуплексе. Значение при сбросе “0”.
[3]	Receiver Interrupt (RI)	Разрешает прерывания от блока приемника. Значение при сбросе “0”.
[2]	Transmitter Interrupt (TI)	Разрешает прерывания от блока передатчика. Значение при сбросе “0”.
[1]	Receive enable (RE)	Следует записывать 1 после активации дескриптора приёмника. Пока данный бит установлен, GRETH читает очередной дескриптор. Бит сбрасывается, когда GRETH дойдёт до выключенного дескриптора.
[0]	Transmit enable (TE)	Следует записывать 1 после активации дескриптора передатчика. Пока данный бит установлен, GRETH читает очередной дескриптор. Бит сбрасывается, когда GRETH дойдёт до выключенного дескриптора.

1.6.2.9.2.2 Регистр состояния

Формат регистра состояния GRETH приведен в таблице 1.118.

										Лист
										125
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2							

**Таблица 1.118 – Формат регистра состояния GRETH**

Биты	Название	Функция
[31:9]	-	Не используется.
[8]	PHY status changes (PS)	Устанавливается каждый раз, когда обнаруживается изменение состояния PHY-блока.
[7]	Invalid address (IA)	Был принят пакет с MAC-адресом, не соответствующим запрограммированному. Для сброса следует записать значение 1. Значение при сбросе "0".
[6]	Too small (TS)	Был принят пакет меньше минимального размера. Для сброса следует записать значение 1. Значение при сбросе "0".
[5]	Transmitter AHB error (TA)	Обнаружена ошибка на шине АНВ при работе DMA-передатчика. Для сброса следует записать значение 1.
[4]	Receiver AHB error (RA)	Обнаружена ошибка на шине АНВ при работе DMA-приемника. Для сброса следует записать значение 1.
[3]	Transmitter Interrupt (TI)	Пакет был передан без ошибок. Для сброса следует записать значение 1.
[2]	Receiver interrupt (RI)	Пакет был принят без ошибок. Для сброса следует записать значение 1.
[1]	Transmit error (TE)	Пакет был передан с ошибкой. Для сброса следует записать значение 1.
[0]	Receiver error (RE)	Пакет был принят с ошибкой. Для сброса следует записать значение 1.

**1.6.2.9.2.3 Регистр старших разрядов MAC-адреса (MAC Address MSB)**

Формат регистра старших разрядов MAC-адреса приведен в таблице 1.119.

**Таблица 1.119 – Формат регистра старших разрядов MAC-адреса**

Биты	Название	Функция
[31:16]	-	Не используется.
[15:0]	MAC Address [47:32]	Два старших байта MAC-адреса.

**1.6.2.9.2.4 Регистр младших разрядов MAC-адреса (MAC Address LSB)**

Формат регистра младших разрядов MAC-адреса приведен в таблице 1.120.

**Таблица 1.120 – Формат регистра младших разрядов MAC-адреса**

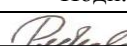
Биты	Название	Функция
[31:0]	MAC Address [31:0]	Четыре младших байта MAC-адреса.

**1.6.2.9.2.5 Регистр управления/состояния интерфейса MDIO (MDIO Control/Status)**

Формат регистра управления/состояния интерфейса MDIO приведен в таблице 1.121.

**Таблица 1.121 – Формат регистра управления/состояния интерфейса MDIO**

Биты	Название	Функция
[31:16]	Data (DATA)	При операции чтения в этом поле выдаются считанные данные. При операции записи в это поле следует писать данные, которые будут переданы в PHY. Значение при сбросе - 0x0000.
[15:11]	PHY address (PHYADDR)	Поле содержит адрес PHY-блока, который будет выбран для операции чтения или записи. Значение при сбросе - 0x0000.
[10:6]	Register address (REGADDR)	Это поле содержит адрес регистра, который будет выбран для операции чтения или записи. Значение при сбросе - 0x0000.
[5]	-	Не используется.
[4]	Not valid (NV)	Когда операция закончена (BUSY=0), этот бит указывает были ли приняты валидные данные (содержит ли поле данных правильные данные). Значение при сбросе "0".
[3]	Busy (BU)	Когда операция выполняется, этот разряд установлен в 1. Как только операция закончена, этот разряд сбрасывается. Значение при сбросе "0".
[2]	Linkfail (LF)	Когда операция завершается (BUSY=0), этот бит устанавливается, если произошла ошибка на интерфейсе MDIO. Значение при сбросе "1".
[1]	Read (RD)	Запуск операции чтения. Значение при сбросе "0".
[0]	Write (WR)	Запуск операции записи. Значение при сбросе "0".

					Лист
					126
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		 16.10.2020		38075-2	

1.6.2.9.2.6 Регистр базового адреса таблицы дескрипторов передатчика (*Transmit descriptor pointer*)

Формат регистра базового адреса таблицы дескрипторов передатчика приведен в таблице 1.122.

**Таблица 1.122 – Формат регистра базового адреса таблицы дескрипторов передатчика**

Биты	Название	Функция
[31:10]	Transmitter descriptor table base address	Базовый адрес таблицы дескрипторов передатчика.
[9:3]	Descriptor pointer	Указатель на индивидуальные дескрипторы. Автоматически увеличивается контроллером.
[2:0]	-	Не используется

1.6.2.9.2.7 Регистр базового адреса таблицы дескрипторов приемника (*Receiver descriptor pointer*)

Формат регистра базового адреса таблицы дескрипторов приемника приведен в таблице 1.123.

**Таблица 1.123 – Формат регистра базового адреса таблицы дескрипторов приемника**

Биты	Название	Функция
[31:10]	Receiver descriptor table base address	Базовый адрес таблицы дескрипторов приемника.
[9:3]	Descriptor pointer	Указатель на индивидуальные дескрипторы. Автоматически увеличивается контроллером.
[2:0]	-	Не используется

1.6.2.9.2.8 Регистр IP-адреса для EDCL (*EDCL IP*)

Формат регистра IP-адреса для EDCL приведен в таблице 1.124.

**Таблица 1.124 – Формат регистра IP-адреса для EDCL**

Биты	Название	Функция
[31:0]	EDCL IP	IP-адрес при приёме EDCL. Начальное значение – 0xC0A80101 (при этом младшие четыре бита могут быть другими (Таблица 1.115)). Может быть перезаписан.

1.6.2.9.2.9 Регистр старших битов hash-таблицы (*Hash table msb*)

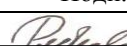
Формат регистра старших битов has-таблицы приведен в таблице 1.125.

**Таблица 1.125 – Формат регистра старших битов hash-таблицы**

Биты	Название	Функция
[31:0]	Hash table [63:32]	Значение битов с 63 по 32 hash-таблицы.

1.6.2.9.2.10 Регистр младших битов hash-таблицы (*Hash table lsb*)

Формат регистра младших битов has-таблицы приведен в таблице 1.126.

									Лист
									127
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					

**Таблица 1.126 – Формат регистра младших битов hash-таблицы**

Биты	Название	Функция
[31:0]	Hash table [31:0]	Значение битов с 31 по 0 hash-таблицы.

**1.6.2.9.2.11 Регистр старших битов MAC-адреса для EDCL (EDCL MAC address MSB)**

Формат регистра старших битов MAC-адреса для EDCL приведен в таблице 1.127.

**Таблица 1.127 – Формат регистра старших битов MAC-адреса для EDCL**

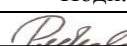
Биты	Название	Функция
[31:16]	-	Зарезервировано
[15:0]	EDCL MAC Address [47:32]	Содержит два старших байта MAC-адреса для EDCL 0xEC17, доступен только для чтения.

**1.6.2.9.2.12 Регистр младших битов MAC-адреса для EDCL (EDCL MAC address LSB)**

Формат регистра младших битов MAC-адреса для EDCL приведен в таблице 1.128.

**Таблица 1.128 – Формат регистра младших битов MAC-адреса для EDCL**

Биты	Название	Функция
[31:0]	EDCL MAC Address [31:0]	Четыре младших байта MAC-адреса для EDCL Начальное значение – 0x66AEDE30 (младшие четыре бита могут быть другими (Таблица 1.115)), доступен только для чтения.

										Лист
										128
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		 16.10.2020			38075-2					

### 1.6.2.10 Блоки контроллеров синхронного последовательного порта (SPI)

Микросхема имеет в своем составе 5 контроллеров синхронного последовательного интерфейса (SPI). Контроллеры идентичны друг другу, но имеют разную конфигурацию:

- Контроллер SPI0 может работать только в режиме master. Данный контроллер имеет 8 сигналов выборки ведомого (slave select).
- Контроллеры SPI1 - SPI4 могут работать как в режиме master, так и в режиме slave. Каждый из этих контроллеров имеет один сигнал выборки ведомого.

Далее будет дано описание унифицированного контроллера SPI.

Контроллер интерфейса SPI обеспечивает обмен информацией между процессором и устройствами, подключенными к внешнему последовательному интерфейсу типа SPI. Контроллер обеспечивает подключение стандартных устройств со следующими разновидностями интерфейса типа SPI:

- интерфейс SPI в спецификации фирмы Motorola (Motorola SPI);
- интерфейс SPI в спецификации фирмы Texas Instruments (Texas Instruments SPI);
- интерфейс SPI в спецификации фирмы National Semiconductors (National Semiconductors Microwire).

Контроллер может работать в режиме ведущего (Master) или ведомого (Slave).

Обмен данными между внешним устройством и памятью процессора возможен как в программном режиме, так и в режиме ПДП.

Управление контроллером, программный режим работы с внешними устройствами, а также конфигурация встроенного контроллера ПДП осуществляется по 32-разрядной шине AMBA APB спецификации 3.0. Обмен данными в режиме ПДП осуществляется по 32-разрядной шине AMBA AXI спецификации 3.0, причем порт ПДП подключается к этой шине в качестве "мастера".

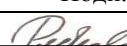
Работа блока контроллера тактируется тактовым сигналом FSSPCLK равным 128 МГц. Скорость передачи данных задается программистом путем деления тактовой частоты работы контроллера на программно задаваемый коэффициент. Максимальная скорость передачи данных в режиме Master не должна превышать 64 Мбит/сек.

Максимальная скорость передачи данных при работе контроллера SPI в режиме Slave:

- При использовании контроллера интерфейса в режиме Slave только на прием данных – тактовая частота сигнала SPI\_CLK может быть не более 1/2 тактовой частоты работы контроллера.
- При использовании контроллера интерфейса в режиме Slave на прием и на передачу данных – тактовая частота сигнала SPI\_CLK может быть не более 1/12 тактовой частоты работы контроллера.

#### 1.6.2.10.1 Программно доступные регистры контроллера SPI

Программно доступные регистры контроллера порта SPI расположены в области памяти периферийных устройств ARM, имеют базовое смещение SSP Base = 0xFFE0\_2000 hex и общий размер 4 Кбайта. Спецификация регистров представлена в таблице 1.129.

									Лист
									129
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					

**Таблица 1.129 – Спецификация регистров контроллера интерфейса SPI**

Адрес (байтовый доступ)	Тип	Раз- ряд- ность	Начальное значение	Имя	Описание
0xFFE0_2000 hex	ЧТ/ЗП	16	0x0000	SSPCR0	Регистр 0 управления режимами работы порта.
0xFFE0_2004 hex	ЧТ/ЗП	4	0x0	SSPCR1	Регистр 1 управления режимами работы порта.
0xFFE0_2008 hex	ЧТ/ЗП	16	не определено	SSPDR	Регистр данных порта.
0xFFE0_200C hex	ЧТ	5	0x03	SSPSR	Регистр состояния порта.
0xFFE0_2010 hex	ЧТ/ЗП	8	0x00	SSPCPSR	Регистр множителя синхросигнала.
0xFFE0_2014 hex	ЧТ/ЗП	4	0x0	SSPIMSC	Регистр масок прерываний порта.
0xFFE0_2018 hex	ЧТ	4	0x8	SSPRIS	Регистр состояния прерываний от порта до наложения маски.
0xFFE0_201C hex	ЧТ	4	0x0	SSPMIS	Регистр состояния прерываний от порта после наложения маски.
0xFFE0_2020 hex	ЗП	4	0x0	SSPICR	Регистр сброса прерываний порта.
0xFFE0_2024 hex	ЧТ/ЗП	2	0x0	SSPDMACR	Регистр управления режимом ПДП порта.
0xFFE0_2028 hex – 0xFFE0_20FF hex	-	-	-	-	Зарезервировано.
0xFFE0_2100 hex	ЧТ/ЗП	32	0x0000	SSPDMATXADR	Регистр адреса передатчика контроллера ПДП порта.
0xFFE0_2104 hex	ЧТ/ЗП	32	0x0000	SSPDMARXADR	Регистр адреса приемника контроллера ПДП порта.
0xFFE0_2108 hex	ЧТ/ЗП	32	0x0000	SSPDMACNT	Счетчик данных контроллера ПДП порта.
0xFFE0_210C hex	ЧТ/ЗП	1	0x0	SSPDMATXRXDIS	Регистр конфигурации режима приема/передачи контроллера ПДП порта.
0xFFE0_2110 hex	ЧТ/ЗП	1	0x0	SSPDMACTR	Регистр управления контроллером ПДП порта.
0xFFE0_2114 hex – 0xFFE0_211B hex	-	-	-	-	Зарезервировано.
0xFFE0_211C hex	ЧТ	2	0x0	SSPDMASTS	Регистр состояния контроллера ПДП порта.
0xFFE0_2120 hex	ЧТ/ЗП	1	0x0	SSPDMAIM	Регистр маски прерывание контроллера ПДП порта.
0xFFE0_2124 hex	ЧТ/ЗП	1	0x0	SSPDMAIR	Регистр запроса на прерывание от контроллера ПДП порта.
0xFFE0_2128 - 0xFFE0_212F hex	-	-	-	-	Зарезервировано.
0xFFE0_2130 hex	ЧТ/ЗП	1	0x1	SSPDMAPT	Регистр упаковки данных контроллера ПДП порта.
0xFFE0_2134 hex - 0xFFE0_213F hex	-	-	-	-	Зарезервировано.
0xFFE0_2140 hex	ЧТ/ЗП	4	0x1	SSPDMACS	Регистр выбора ведомого устройства порта.
0xFFE0_2144 hex – 0xFFE0_23FF hex	-	-	-	-	Зарезервировано.

					ЮФКВ.431268.022РЭ		Лист
							130
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата
38075-3		<i>Редюк</i> 16.10.2020		38075-2			

1.6.2.10.1.1 Регистр управления 0 контроллера порта SSPCR0

Регистр SSPCR0 –регистр управления 0 контроллера порта. Регистр доступен по чтению и записи и определяет режим работы порта SPI, скорость передачи данных и размер слова данных, выдаваемых на внешнюю шину. В таблице 1.130 приведен формат регистра SSPCR0.

**Таблица 1.130 – Формат регистра SSPCR0**

Биты	Название	Тип	Описание
[15:8]	SCR	ЧТ/ЗП	Serial Clock Rate. Множитель скорости передачи данных.
[7]	SPH	ЧТ/ЗП	SSPCLKOUT Phase. Фаза сигнала SSPCLKOUT.
[6]	SPO	ЧТ/ЗП	SSPCLKOUT Polarity. Полярность сигнала SSPCLKOUT.
[5:4]	FRF	ЧТ/ЗП	Frame Format. Формат данных: 00 - Motorola SPI формат передачи; 01 - Texas Instruments SPI формат передачи; 10 - National Semiconductors Microwire формат передачи; 11 - не используется.
[3:0]	DSS	ЧТ/ЗП	Data Size Select. Выбор размера данных: 0000...0010 – зарезервировано; 0011 – 4-битные данные; 0100 – 5-битные данные; 0101 – 6-битные данные; 0110 – 7-битные данные; 0111 – 8-битные данные; 1000 – 9-битные данные; 1001 – 10-битные данные; 1010 – 11-битные данные; 1011 – 12-битные данные; 1100 – 13-битные данные; 1101 – 14-битные данные; 1110 – 15-битные данные; 1111 – 16-битные данные.

Поле SCR используется для определения скорости приема и передачи данных на внешних выводах контроллера. Скорость передачи данных вычисляется по следующей формуле:

$$\frac{F_{SSPCLK}}{CPSDVR \times (1+SCR)}$$

где FSSPCLK – тактовая частота работы контроллера порта (значение после сброса 128 МГц),

CPSDVSR – значение от 2 до 254, задаваемое в регистре множителя синхросигнала SSPCPSR.

Поле SCR может принимать значения от 0 до 255.

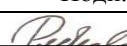
Скорость передачи данных не может превышать 64 Мбит/сек.

Поля SPO, SPH и FRF определяют формат передачи данных. Форматы передачи данных описаны далее.

Поле DSS определяет количество бит, в 16-разрядном слове данных, выдаваемых на внешние выводы интерфейса и, соответственно, принимаемых с внешних выводов. Как при выдаче, так и при приеме данные должны быть выровнены по правому краю 16-разрядного слова.

1.6.2.10.1.2 Регистр управления 1 контроллера порта SSPCR1

Регистр SSPCR1 –регистр управления 1 контроллера порта. Регистр доступен по чтению и записи и определяет параметры работы контроллера. В таблице 1.131 приведен формат регистра SSPCR1.

									Лист
									131
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата			
38075-3	 16.10.2020		38075-2						



**Таблица 1.131 – Формат регистра SSPCR1**

Биты	Название	Тип	Описание
[15:4]	-	-	Зарезервировано, при записи должен записываться 0.
[3]	SOD	ЧТ/ЗП	Управление выдачей данных на внешний вывод SPITXD при работе контроллера SPI в режиме "Slave" 0 – на вывод SPITXD выдаются данные 1 – вывод SPITXD находится в высокоимпедансном состоянии
[2]	MS	ЧТ/ЗП	Режим работы контроллера SPI: 0 – контроллер в режиме "Master" 1 – контроллер в режиме "Slave"
[1]	SSE	ЧТ/ЗП	Synchronous Serial Port Enable. Управление портом: 0 – порт неактивен; 1 – порт активен.
[0]	LBM	ЧТ/ЗП	Loop Back Mode. Управление тестовым кольцевым режимом: 0 – нормальный режим функционирования порта; 1 – выходы передающего сдвигового регистра соединены с входами принимающего сдвигового регистра.

Изменение режима работы контроллера SPI (изменение состояния бита MS) возможно только в неактивном состоянии порта.

**1.6.2.10.1.3 Регистр данных SSPDR**

Регистр SSPDR – 16-битный регистр данных. Формат регистра представлен в таблице 1.132.

**Таблица 1.132 – Формат регистра SSPDR**

Биты	Название	Тип	Описание
[15:0]	DATA	ЧТ/ЗП	Если разрядность данных меньше 16 бит, то данные должны быть выровнены по правому краю слова. Старшие неиспользуемые биты игнорируются автоматически. В режиме приема происходит автоматическое выравнивание по правому краю слова.

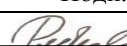
Запись в SSPDR приводит к записи данных в буфер передаваемых данных. Буфер передаваемых данных состоит из восьми 16-разрядных регистров, организованных в очередь по принципу FIFO. Данные из передающего буфера автоматически записываются в передающий сдвиговый регистр и последовательно выдвигаются на внешний вывод SPITXD. Количество выдвигаемых бит программируется полем DSS регистра SSPCR0.

Одновременно с выдачей данных производится защелкивание принимаемых данных с внешнего вывода SPIRXD. После накопления полного SPI фрейма, определяемого полем DSS регистра SSPCR0, данные помещаются в приемный буфер данных. Приемный буфер данных также состоит из восьми 16-разрядных регистров организованных в очередь по принципу FIFO.

Чтение данных из регистра SSPDR и является чтением данных из приемного буфера. Если разрядность принимаемых данных меньше, чем 16 бит, то данные автоматически выравниваются по правому краю слова.

Состояние приемного и передающего буферов отражается в регистре состояния контроллера SSPSR.

**1.6.2.10.1.4 Регистр состояния контроллера порта SSPSR**

									Лист
									132
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		 16.10.2020			38075-2				

Регистр SSPSR – регистр состояния контроллера порта. Регистр доступен только по чтению, и отражает текущее состояние порта SPI. В таблице 1.133 приведен формат регистра SSPSR.

**Таблица 1.133 – Формат регистра SSPSR**

Биты	Название	Тип	Описание
[15:5]	-	-	Зарезервировано
[4]	BSY	ЧТ	Флаг занятости порта SPI: 0 - порт SPI простаивает; 1 - порт SPI передает и/или принимает пакет данных.
[3]	RFF	ЧТ	Признак полноты принимающего буфера данных: 0 - принимающий буфер не полон; 1 - принимающий буфер полон.
[2]	RNE	ЧТ	Признак пустоты принимающего буфера данных: 0 - принимающий буфер пуст; 1 - принимающий буфер не пуст.
[1]	TNF	ЧТ	Признак полноты передающего буфера данных: 0 - передающий буфер данных полон; 1 - передающий буфер данных не полон.
[0]	TFE	ЧТ	Признак пустоты передающего буфера данных: 0 - передающий буфер данных не пуст; 1 - передающий буфер данных пуст.

**1.6.2.10.1.5 Регистр множителя синхросигнала SSPCPSR**

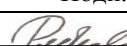
Регистр SSPCPSR - регистр делителя синхросигнала. Регистр доступен по чтению и по записи. В таблице 1.134 приведен формат регистра SSPCPSR.

**Таблица 1.134 – Формат регистра SSPCPSR**

Биты	Название	Тип	Описание
[15:8]	-	-	Зарезервирован, должен быть прописан 0
[7:0]	CPSDVSR	ЧТ/ЗП	Clock Prescale Divisor. Значение делителя синхросигнала. Должен принимать четные значения от 2 до 254, в зависимости от частоты тактового сигнала работы контроллера FSSPCLK. Младшие значащие биты всегда принимают значение 0 при чтении.

**1.6.2.10.1.6 Регистр маски прерываний SSPIMSC**

Регистр SSPIMSC- регистр маски прерываний. Запись 1 в соответствующий бит устанавливает маску, а запись 0 – снимает её. Чтение регистра возвращает текущее значение маски. В таблице 1.135 приведен формат регистра SSPIMSC.

									Лист
									133
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					

**Таблица 1.135 – Формат регистра SSPIMSC**

Биты	Название	Тип	Описание
[15:4]	-	-	Зарезервировано, должен быть прописан 0
[3]	TXIM	ЧТ/ЗП	Маска прерывания по заполнению передающего буфера данных более чем на половину: 0 - прерывание замаскировано; 1 - прерывание не маскировано.
[2]	RXIM	ЧТ/ЗП	Маска прерывания по заполнению приемного буфера данных менее чем на половину: 0 - прерывание замаскировано; 1 - прерывание не маскировано.
[1]	RTIM	ЧТ/ЗП	Маска прерывания по наличию данных в приемном буфере после завершения приема данных с внешних выводов: 0 - прерывание замаскировано; 1 - прерывание не маскировано.
[0]	RORIM	ЧТ/ЗП	Маска прерывания по переполнению приемного буфера данных: 0 - прерывание замаскировано; 1 - прерывание не маскировано.

**1.6.2.10.1.7 Регистр запросов на прерывание до наложения маски SSPRIS**


Регистр SSPRIS – регистр запросов на прерывание до наложения маски. В регистре фиксируются запросы на прерывание до наложения маски. В таблице 1.136 приведен формат регистра SSPRIS.

**Таблица 1.136 – Формат регистра SSPRIS**

Биты	Название	Тип	Описание
[15:4]	-	-	Зарезервировано.
[3]	TXRIS	ЧТ	Запрос на прерывание по заполнению передающего буфера данных более чем на половину.
[2]	RXRIS	ЧТ	Запрос на прерывание по заполнению приемного буфера данных менее чем наполовину.
[1]	RTRIS	ЧТ	Запрос на прерывание по наличию данных в приемном буфере после завершения приема данных с внешних выводов.
[0]	RORRIS	ЧТ	Запрос на прерывание по переполнению приемного буфера данных.

**1.6.2.10.1.8 Регистр состояния прерывания после наложения маски SSPMIS**

Регистр SSPMIS – Регистр состояния прерывания после наложения маски. Регистр доступен только по чтению и содержит текущее состояние прерываний после наложения маски. В таблице 1.137 приведен формат регистра SSPMIS.

										Лист
										134
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	 16.10.2020			38075-2						

**Таблица 1.137 – Формат регистра SSPMIS**

Биты	Название	Тип	Описание
[15:4]	-	-	Зарезервировано
[3]	TXMIS	ЧТ	Запрос на прерывание по заполнению передающего буфера данных более чем на половину
[2]	RXMIS	ЧТ	Запрос на прерывание по заполнению приемного буфера данных менее чем на половину
[1]	RTMIS	ЧТ	Запрос на прерывание по наличию данных в приемном буфере после завершения приема данных с внешних выводов
[0]	RORMIS	ЧТ	Запрос на прерывание по переполнению приемного буфера данных

**1.6.2.10.1.9 Регистр сброса запросов на прерывания SSPICR**

Регистр SSPICR – регистр сброса запросов на прерывания. Регистр доступен только по записи. Запись единицы сбрасывает соответствующий запрос на прерывание. Запись 0 не производит эффекта. В таблице 1.138 приведен формат регистра SSPICR.

**Таблица 1.138 – Формат регистра SSPICR**

Биты	Название	Тип	Описание
[15:2]	-	-	Зарезервирован, должен быть прописан 0
[1]	RTIC	ЗП	Сброс запроса на прерывание по наличию данных в приемном буфере после завершения приема данных с внешних выводов.
[0]	RORIC	ЗП	Сброс запроса на прерывание по переполнению приемного буфера данных.

**1.6.2.10.1.10 Регистр управления ПДП SSPDMACR**

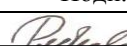
Регистр SSPDMACR – регистр управления ПДП. Регистр доступен на запись и на чтение и определяет возможность использования режима ПДП на прием и на передачу. В таблице 1.139 приведен формат регистра SSPDMACR.

**Таблица 1.139 – Формат регистра SSPDMACR**

Биты	Название	Тип	Описание
[15:2]	-	-	Зарезервирован, должен быть прописан 0
[1]	TXDMAE	ЧТ/ЗП	Разрешение доступа ПДП контроллера к передающему буферу данных: 0 - доступ запрещен; 1 - доступ разрешен.
[0]	RXDMAE	ЧТ/ЗП	Разрешение доступа ПДП контроллера к приемному буферу данных: 0 - доступ запрещен; 1 - доступ разрешен.

**1.6.2.10.1.11 Регистр начального адреса передаваемых данных контроллера ПДП SSPDMATXADR**

Регистр SSPDMATXADR – регистр начального адреса передаваемых данных контроллера ПДП. Регистр доступен на запись и на чтение. Значение адреса должно быть выровнено на границу 32-разрядного слова. В процессе выполнения процедуры ПДП значение регистра не изменяется. В таблице 1.140 приведен формат регистра SSPDMATXADR.

									Лист
									135
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020		38075-2						

**Таблица 1.140 – Формат регистра SSPDMATXADR**

Биты	Название	Тип	Описание
[31:2]	SSDMA_TXADR	ЧТ/ЗП	Начальный адрес передаваемых данных
[1:0]	-	-	Зарезервирован, должен быть прописан 0

**1.6.2.10.1.12 Регистр начального адреса принимаемых данных контроллера ПДП SSPDMARXADR**

Регистр SSPDMARXADR – регистр начального адреса принимаемых данных контроллера ПДП. Регистр доступен на запись и на чтение. Значение адреса должно быть выровнено на границу 32-разрядного слова. В процессе выполнения процедуры ПДП значение регистра не изменяется. В таблице 1.141 приведен формат регистра SSPDMARXADR.

**Таблица 1.141 – Формат регистра SSPDMARXADR**

Биты	Название	Тип	Описание
[31:2]	SSDMA_RXADR	ЧТ/ЗП	Начальный адрес принимаемых данных
[1:0]	-	-	Зарезервирован, должен быть прописан 0

**1.6.2.10.1.13 Регистр количества передаваемых и принимаемых данных контроллера ПДП SSPDMACNT**

Регистр SSPDMACNT – регистр количества передаваемых и принимаемых данных контроллера ПДП. Регистр доступен на запись и на чтение. Количество передаваемых и принимаемых данных задается в байтах. В процессе выполнения процедуры ПДП значение регистра не изменяется. В таблице 1.142 приведен формат регистра SSPDMACNT.

**Таблица 1.142 – Формат регистра SSPDMACNT**

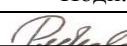
Биты	Название	Тип	Описание
[31:0]	SSDMA_CNT	ЧТ/ЗП	Количество передаваемых и принимаемых данных.

**1.6.2.10.1.14 Регистр конфигурации режима приема контроллера ПДП SSPDMATXRDIS**

Регистр SSPDMATXRDIS – регистр конфигурации режима приема/передачи контроллера ПДП. Регистр доступен на запись и на чтение. В режиме "Master" состояние регистра определяет необходимость записи получаемых с помощью интерфейса SPI данных в память. В режиме "Slave" состояние регистра определяет необходимость выдачи данных на внешний вывод SPITXD контроллера. В таблице 1.143 приведен формат регистра SSPDMATXRDIS.

**Таблица 1.143 – Формат регистра SSPDMATXRDIS**

Биты	Название	Тип	Описание
[31:1]	-	-	Зарезервирован, должен быть прописан 0.
[0]	SSDMA_RXDIS	ЧТ/ЗП	В режиме "Master" - управление записью в память в режиме ПДП: 0 - запись производится; 1 - запись не производится. В режиме "Slave" – управление чтением из памяти в режиме ПДП и выдачей данных на внешний вывод SPITXD 0 – чтение и выдача данных на внешний вывод производится; 1 - чтение и выдача данных на внешний вывод не производится.

									Лист
									136
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		 16.10.2020			38075-2				

1.6.2.10.1.15 Регистр управления контроллером ПДП порта SSPDMACTR

Регистр SSPDMACTR – регистр управления контроллером ПДП порта. Регистр доступен на запись и на чтение. Установка регистра управления в 1 запускает выполнение процедуры ПДП. После завершения процедуры ПДП данный разряд сбрасывается аппаратно. Пользователь может остановить процедуру ПДП, сбросив данный разряд программно (только при работе контроллера в режиме "Master"). В таблице 1.144 приведен формат регистра SSPDMACTR.

**Таблица 1.144 – Формат регистра SSPDMACTR**

Биты	Название	Тип	Описание
[31:1]	-	-	Зарезервирован, должен быть прописан 0
[0]	SSDMA_CTR	ЧТ/ЗП	Управление процедурой ПДП: 0 - процедура ПДП не выполняется; 1 - процедура ПДП выполняется.

1.6.2.10.1.16 Регистр состояния контроллера ПДП порта SSPDMASTS

Регистр SSPDMASTS – регистр состояния контроллера ПДП порта. Регистр доступен на чтение и отражает состояние передающей и приемной частей контроллера ПДП. В таблице 1.145 приведен формат регистра SSPDMASTS.

**Таблица 1.145 – Формат регистра SSPDMASTS**

Биты	Название	Тип	Описание
[31:2]	-	-	Зарезервировано
[1]	SSDMA_TXSTS	ЧТ	0 - передающая часть контроллера ПДП остановлена 1 - передающая часть контроллера ПДП работает
[0]	SSDMA_RXSTS	ЧТ	0 - приемная часть контроллера ПДП остановлена 1 - приемная часть контроллера ПДП работает

1.6.2.10.1.17 Регистр маски прерывания от контроллера ПДП порта SSPDMAIM

Регистр SSPDMAIM – регистр маски прерывания от контроллера ПДП порта. Регистр доступен на запись и на чтение. В таблице 1.146 приведен формат регистра SSPDMAIM.

**Таблица 1.146 – Формат регистра SSPDMAIM**

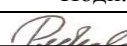
Биты	Название	Тип	Описание
[31:1]	-	-	Зарезервировано, должны быть прописаны все нули.
[0]	SSDMA_IM	ЧТ/ЗП	Маска прерывания от контроллера ПДП: 0 = прерывание замаскировано; 1 = прерывание не замаскировано.

1.6.2.10.1.18 Регистр запроса на прерывания от контроллера ПДП порта SSPDMAIR

Регистр SSPDMAIR – регистр запроса на прерывания от контроллера ПДП порта. Регистр доступен на запись и на чтение. Запрос на прерывание устанавливается в регистре при аппаратном окончании процедуры ПДП. Если процедура ПДП остановлена программистом, запрос на прерывание не возникает. В таблице 1.147 приведен формат регистра SSPDMAIR.

**Таблица 1.147 – Формат регистра SSPDMAIR**

Биты	Название	Тип	Описание
[31:1]	-	-	Зарезервировано, должны быть прописаны все нули.
[0]	SSDMA_IR	ЧТ/ЗП	Запрос на прерывание от контроллера ПДП.

									Лист
									137
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020		38075-2						



1.6.2.10.1.19 Регистр упаковки данных контроллера ПДП порта SSPDMAPT

Регистр SSPDMAPT – регистр упаковки данных контроллера ПДП порта. Регистр доступен на запись и на чтение. В регистре задается режим упаковки передаваемых и принимаемых данных в 32-разрядное слово, записываемое в память или считываемое из памяти. В таблице 1.148 приведен формат регистра SSPDMAPT.

**Таблица 1.148 – Формат регистра SSPDMAPT**

Биты	Название	Тип	Описание
[31:1]	-	-	Зарезервировано, должны быть прописаны все нули
[0]	SSDMA_PT	ЧТ/ЗП	Режим упаковки/распаковки данных: 0 = 8 разрядные слова; 1 = 16 разрядные слова.

1.6.2.10.1.20 Регистр выбора ведомого устройства порта SSPDMACS

Регистр SSPDMACS – регистр выбора ведомого устройства порта. Регистр доступен на запись и на чтение. Путем установки в 1 соответствующего разряда выбирается какой из выводов SPI\_CS0 - SPI\_CS7 будет активным при передаче данных по интерфейсу SPI. В таблице 1.149 приведен формат регистра SSPDMACS.

**Таблица 1.149 – Формат регистра SSPDMACS**

Биты	Название	Тип	Описание
[31:8]	-	-	Зарезервировано, должны быть прописаны все нули.
[7]	SSDMA_CS7	ЧТ/ЗП	Активное устройство подключено к SPI_CS7
[6]	SSDMA_CS6	ЧТ/ЗП	Активное устройство подключено к SPI_CS6
[5]	SSDMA_CS5	ЧТ/ЗП	Активное устройство подключено к SPI_CS5
[4]	SSDMA_CS4	ЧТ/ЗП	Активное устройство подключено к SPI_CS4
[3]	SSDMA_CS3	ЧТ/ЗП	Активное устройство подключено к SPI_CS3
[2]	SSDMA_CS2	ЧТ/ЗП	Активное устройство подключено к SPI_CS2
[1]	SSDMA_CS1	ЧТ/ЗП	Активное устройство подключено к SPI_CS1
[0]	SSDMA_CS0	ЧТ/ЗП	Активное устройство подключено к SPI_CS0 (данное состояние устанавливается после системного сброса)

1.6.2.10.2 Протокол передачи данных в различных режимах работы SPI интерфейса

Контроллер последовательного порта поддерживает следующие форматы обмена данными с внешними устройствами:

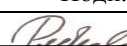
- спецификации фирмы Motorola (Motorola SPI);
- спецификации фирмы Texas Instruments (Texas Instruments SPI);
- спецификации фирмы National Semiconductors (National Semiconductors Microwire).

Формат передачи данных задается программистом путем определения полей SPO, SPH и FRF регистра управления 0 контроллера (SSPCR0).

1.6.2.10.2.1 Формат передачи данных спецификации Motorola SPI

Работа SPI интерфейса при данном формате передачи данных возможна в 4 режимах (mode 0,1,2 и 3), отличающихся друг от друга состоянием сигнала SPICLK в неактивном состоянии и активным фронтом данного сигнала. Режим работы задается путем записи соответствующих значений в биты SPO и SPH регистра SSPCR0 контроллера.

Бит SPO управляет состоянием выхода SPICLK в неактивном состоянии. Если SPO = 0, то вывод SPICLK имеет низкий уровень в отсутствии передачи данных. Если SPO = 1, то вывод SPICLK имеет высокий уровень в отсутствии передачи данных.

					ЮФКВ.431268.022РЭ		Лист
							138
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		 16.10.2020		38075-2			



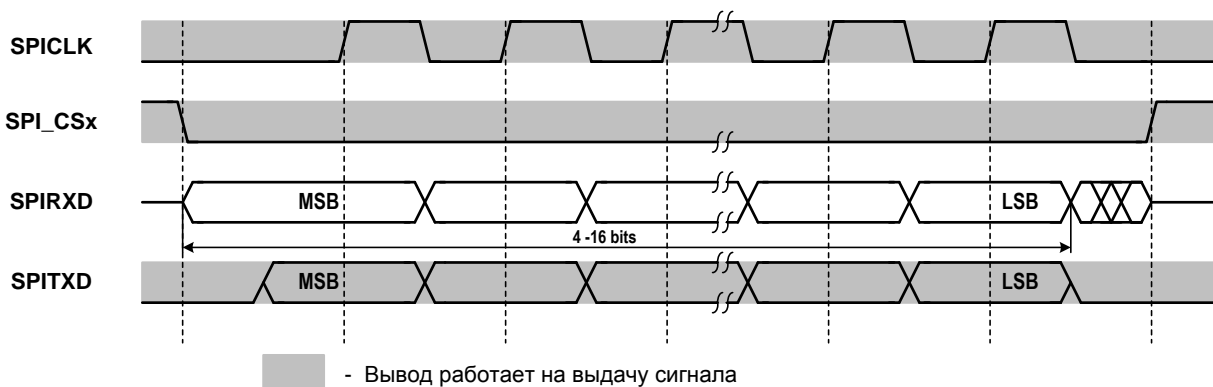
Бит SPH управляет активным фронтом сигнала SPICLK. Если SPH = 0, то данные защелкиваются по первому изменению (фронту или срезу) сигнала SPICLK. Если SPH = 1, то данные защелкиваются по второму изменению (фронту или срезу) сигнала SPICLK.

При работе в формате передачи данных Motorola SPI в любом режиме (0,1,2 или 3) сигнал SPI\_CS<sub>i</sub> выполняет функции выборки устройства, с которым работает интерфейс. Активный уровень сигнала SPI\_CS<sub>i</sub> – низкий. Активный уровень данного сигнала выставляется на весь период обмена данными.

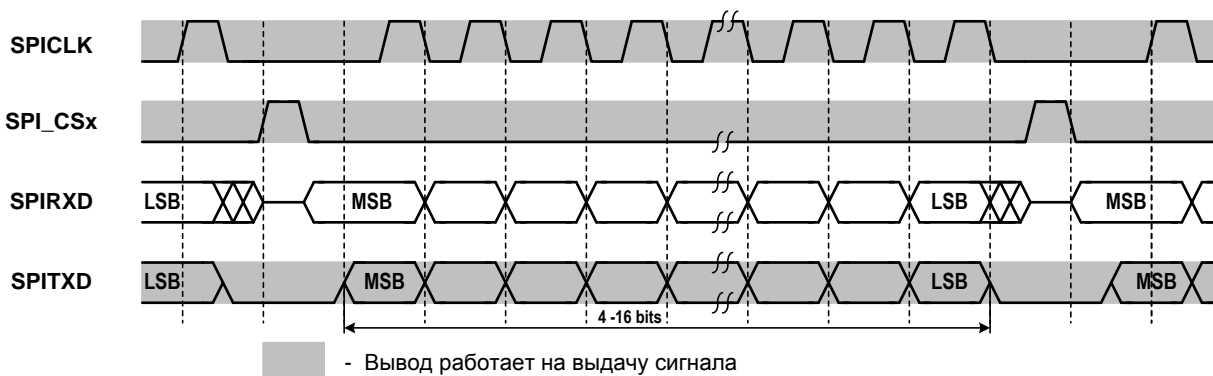
#### 1.6.2.10.2.2 Motorola SPI mode 0 (SPO=0, SPH=0)

На рисунках 1.64 и 1.65 представлены временные диаграммы обмена по порту SPI в режиме Motorola SPI mode 0 при передаче одного слова данных и состоящей из нескольких пакетов данных.

Выдача данных происходит по срезу сигнала SPICLK, защелкивание входных данных – по фронту сигнала SPICLK. В промежутках между пакетами (словами) вывод SPI\_CS<sub>x</sub> принимает значение 1 на протяжении полутакта синхросигнала SPICLK.



**Рисунок 1.64 – Motorola SPI mode 0 (SPO=0, SPH=0) одиночная передача**



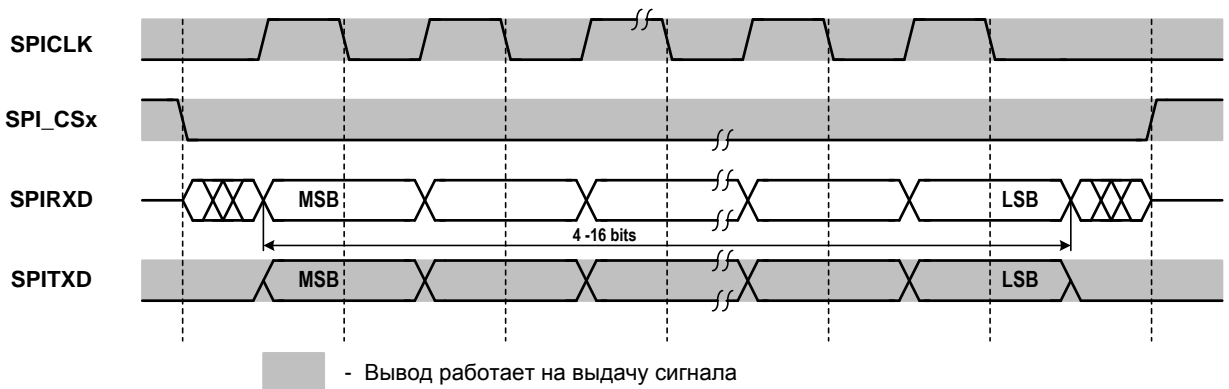
**Рисунок 1.65 – Motorola SPI mode 0 (SPO=0, SPH=0) передача из нескольких пакетов**

#### 1.6.2.10.2.3 Motorola SPI mode 1 (SPO=0, SPH=1)

На рисунке 1.66 представлены временные диаграммы обмена по порту SPI в режиме Motorola SPI mode 1.

Выдача данных происходит по фронту сигнала SPICLK, защелкивание входных данных – по срезу сигнала SPICLK. Сигнал SPI\_CS<sub>x</sub> не меняет свое значение между словами в передаче из нескольких пакетов.

					ЮФКВ.431268.022РЭ	Лист 139
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3	<i>Редук</i> 16.10.2020		38075-2			

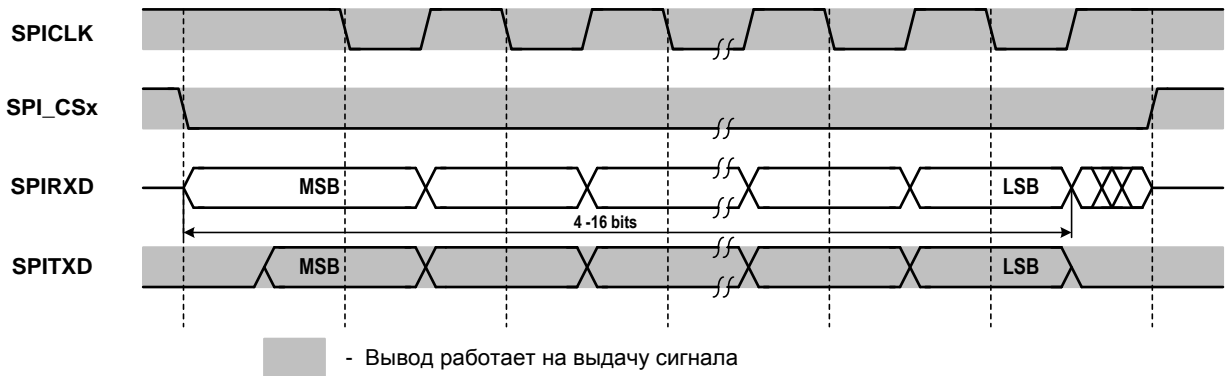


**Рисунок 1.66 – Motorola SPI mode 1 (SPO=0, SPH=1) одиночная передача**

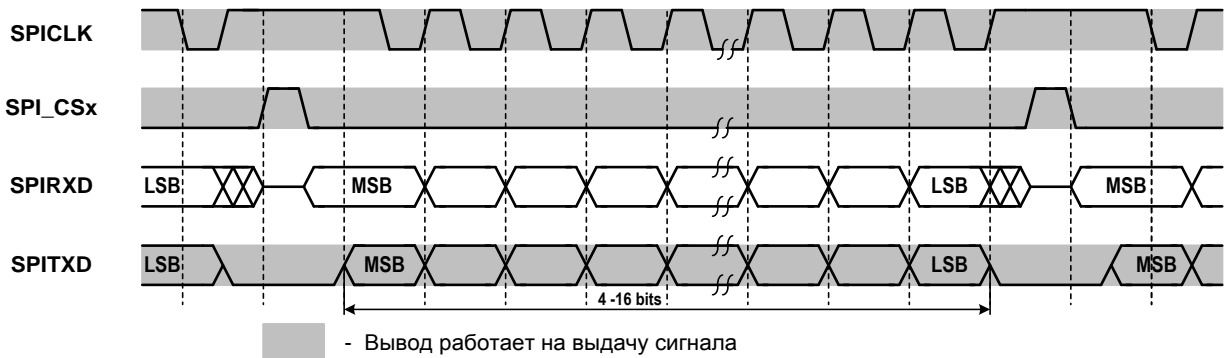
1.6.2.10.2.4 Motorola SPI mode 2 (SPO=1, SPH=0)

На рисунках 1.67 и 1.68 представлены временные диаграммы обмена по порту SPI в режиме Motorola SPI mode 2 при передаче одного слова данных и состоящей из нескольких пакетов данных.

Выдача данных происходит по фронту сигнала SPICLK, защелкивание входных данных – по срезу сигнала SPICLK. Между пакетами (словами) вывод SPI\_CSx принимает значение 1 на протяжении полутакта синхросигнала SPICLK.



**Рисунок 1.67 – Motorola SPI mode 2 (SPO=1, SPH=0) одиночная передача**



**Рисунок 1.68 – Motorola SPI mode 2 (SPO=1, SPH=0) передача из нескольких пакетов**

					ЮФКВ.431268.022РЭ	Лист 140
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		

1.6.2.10.2.5 Motorola SPI mode 3 (SPO=1, SPH=1)

На рисунке 1.69 представлены временные диаграммы обмена по порту SPI в режиме Motorola SPI mode 3.

Выдача данных происходит по срезу сигнала SPICLK, защелкивание входных данных по фронту сигнала SPICLK. Сигнал SPI\_CSx не меняет свое значение между словами в передаче из нескольких пакетов.

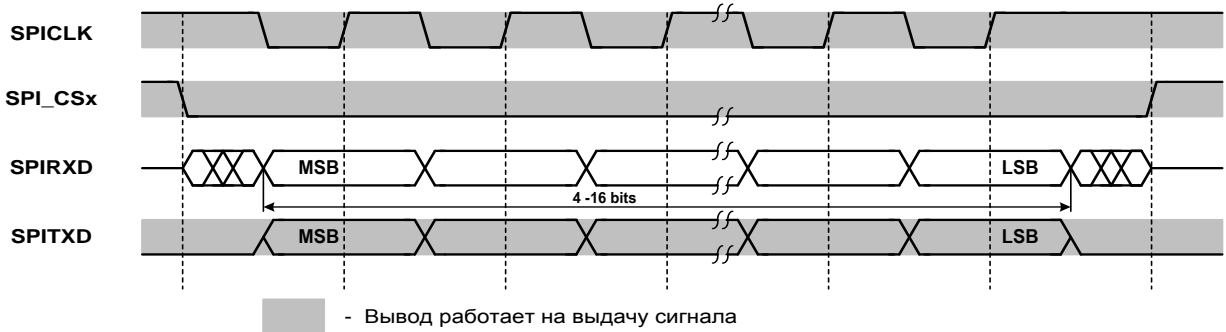


Рисунок 1.69 – Motorola SPI mode 3(SPO=1, SPH=1) одиночная передача

1.6.2.10.2.6 Формат передачи данных спецификации Texas Instruments SPI

На рисунках 1.70 и 1.71 представлены временные диаграммы обмена по порту SPI в режиме Texas Instruments SPI при передаче одного слова данных и состоящей из нескольких пакетов данных.

При работе в формате передачи данных Texas Instruments SPI сигнал выбор устройства, с которым работает интерфейс, осуществляется путем выдачи на вывод SPI\_CSi сигнала высокого уровня длительностью один такт. При последовательном обмене несколькими словами выдача на вывод SPI\_CSi сигнала высокого уровня происходит в момент выдачи последнего бита предыдущего слова данных.

Работа интерфейса в данном режиме не зависит от состояния полей SPO и SPH регистра SSPCR0 контроллера.

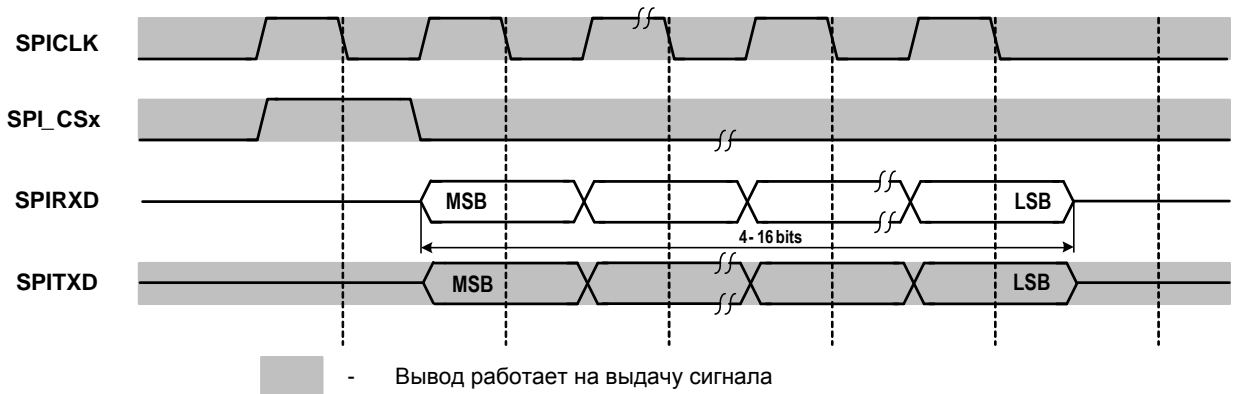
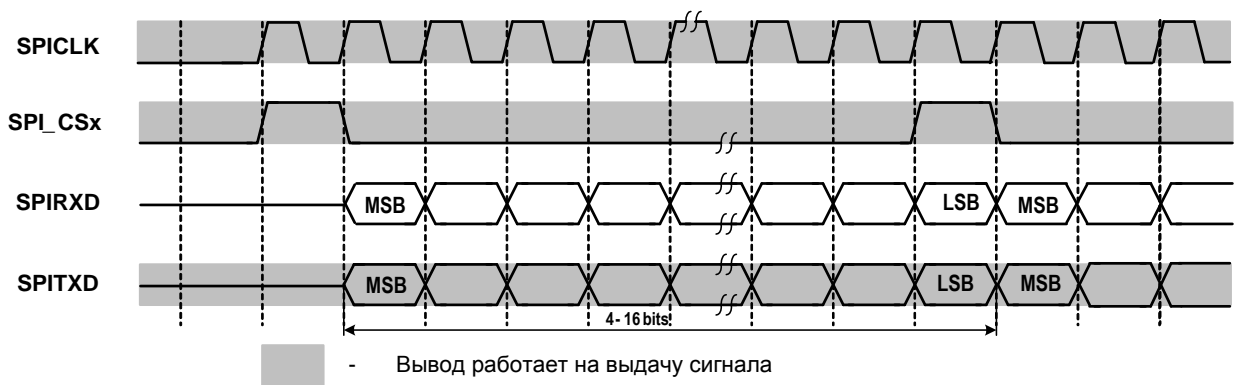


Рисунок 1.70 – Texas Instruments SPI одиночная передача

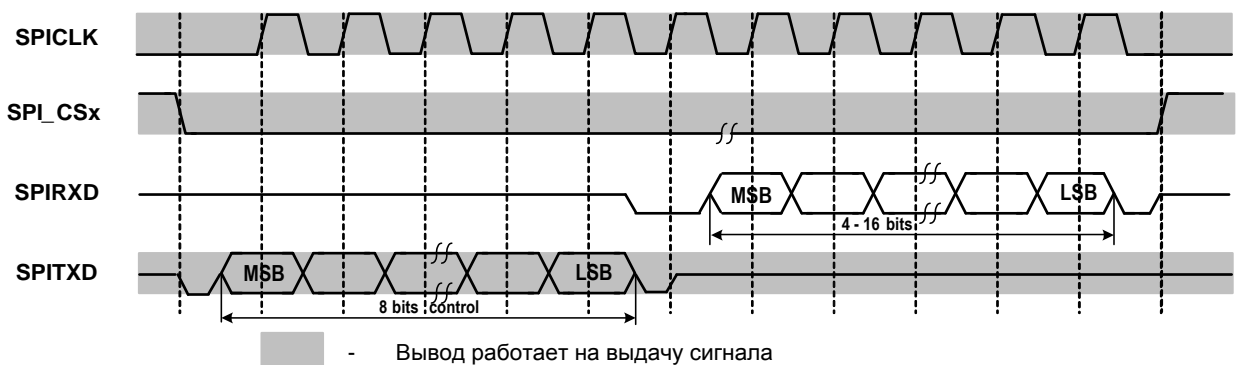
					ЮФКВ.431268.022РЭ		Лист
							141
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2			



**Рисунок 1.71 – Texas Instruments SPI передача из нескольких пакетов**

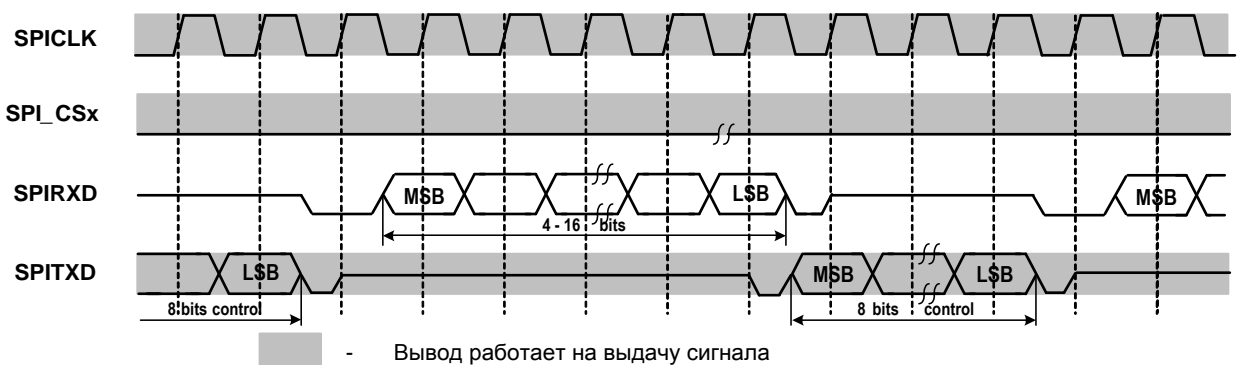
1.6.2.10.2.7 Формат передачи данных спецификации National Semiconductors Microwire

На рисунках 1.72 и 1.73 представлены временные диаграммы обмена по порту SPI в режиме National Semiconductors Microwire при передаче одного слова данных и состоящей из нескольких пакетов данных.



**Рисунок 1.72 – National Semiconductors Microwire одиночная передача**

Формат передачи данных National Semiconductors Microwire отличается от формата передачи SPI тем, что вместо полдуплексной передачи данных происходит полудуплексная, т.е. передатчик сначала выдает управляющую информацию – 8 бит, а затем принимает данные в количестве, определяемом состоянием поля DSS регистра управления 0 контроллера SSPCR0. В качестве управляющей информации всегда берется младший байт 16-разрядного слова, записываемого в буфер передаваемых данных (регистр SSPDR) при инициализации передачи.



**Рисунок 1.73 – National Semiconductors Microwire передача из нескольких пакетов**

1.6.2.10.3 Контроллер ПДП интерфейса

					ЮФКВ.431268.022РЭ	Лист 142
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3	<i>Редук</i> 16.10.2020		38075-2			

Контроллер ПДП предназначен для обмена данными между внешними устройствами, подключенными к внешним выводам интерфейса и памятью без участия процессора. Контроллер ПДП программируется по 32-разрядной шине AMBA APB спецификации 3.0. Обмен данными в процессе выполнения процедуры ПДП производится по 32-разрядной шине AMBA AXI спецификации 3.0, к которой контроллер ПДП подключен в качестве мастера.

#### *Режим "Master"*

Так как обмен по интерфейсу при любом формате обмена является дуплексным (полудуплексным), т.е. одновременно идет и передача и прием данных, в контроллере ПДП нет разделения на процедуры чтения данных из памяти и записи данных в память. Эти оба процесса выполняются в рамках одной процедуры ПДП.

Перед запуском процедуры ПДП необходимо убедиться, что при инициализации контроллера интерфейса было разрешено использование режима ПДП на прием и на передачу, т.е. поля TXDMAE и RXDMAE регистра SSPDMACR установлены в лог. 1. Кроме этого необходимо убедиться, что в приемном буфере не осталось данных от предыдущих обращений к интерфейсу. Если предыдущее обращение к интерфейсу осуществлялось в режиме ПДП, то очистку приемного буфера выполняет сам контроллер ПДП.

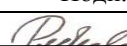
При запуске процедуры ПДП пользователь определяет адреса массива передаваемых и принимаемых данных и размер передачи в регистрах SSPDMATXADR, SSPDMARXADR и SSPDMACNT соответственно. Адреса массивов данных в памяти должны быть выровнены на границу 32-разрядного слова. (Биты 1 и 0 адресов должны быть равны лог. 0). Размер передачи задается в байтах и может быть произвольным.

Старт процедуры ПДП осуществляется установкой в лог 1 поля SSDMA\_CTR регистра управления контроллером ПДП SSPDMACR. После старта значения адресов и размер массива данных переписываются в рабочие адресные счетчики и счетчики данных. Состояние регистров SSPDMATXADR, SSPDMARXADR и SSPDMACNT при дальнейшей работе не изменяется. Контроллер ПДП считывает данные из памяти, распаковывает их и записывает в буфер передаваемых данных контроллера интерфейса. По мере готовности данных в буфере принимаемых данных контроллера ПДП считывает их из буфера и после упаковки в 32-разрядное слово записывает в память процессора.

Упаковка и распаковка данных зависит от состояния поля SSDMA\_PT регистра упаковки данных SSPDMAPT. При нулевом значении данного поля считанное из памяти процессора 32-разрядное слово данных преобразуется в четыре 16-разрядных слова, старший байт которых равен нулю, а младший байт имеет значение соответствующего байта считанного слова. Эти 4 слова последовательно записываются в буфер передаваемых данных контроллера интерфейса. Соответственно, у четырех последовательно считанных из буфера передаваемых данных 16-разрядных слов отбрасываются старшие байты, а младшие байты последовательно упаковываются в 32-разрядное слово, которое записывается в память процессора. Такая упаковка не приводит к потере данных, только если значение поля DSS регистра конфигурации SSPCR0 контроллера не превышает 0111b.

При единичном значении поля SSDMA\_PT считанное 32-разрядное слово данных преобразуется в 2 16-разрядных слова, которые последовательно записываются в буфер передаваемых данных. Соответственно, два последовательно считанных из буфера передаваемых данных 16-разрядных слова упаковываются в одно 32-разрядное слово, записываемое в память процессора.

Если данные, считанные из внешнего устройства, пользователю не нужны, т.е. происходит только запись во внешнее устройство, то запись считанных данных в память процессора можно запретить, установив в лог. 1 поле SSDMA\_TXRXDIS регистра конфигурации режима приема/передачи SSPDMATXRDIS. В этом случае чтение данных из буфера принимаемых данных осуществляется, но запись в память процессора блокируется.

					ЮФКВ.431268.022РЭ	Лист 143
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3	 16.10.2020		38075-2			

Состояние контроллера ПДП отражается в регистре состояния контроллера ПДП SSPDMASTS. Поля регистра устанавливаются и сбрасываются аппаратно. Процедура ПДП окончена, когда оба поля регистра сброшены в состояние лог. 0.

По окончанию процедуры ПДП вырабатывается запрос на прерывание, который фиксируется в регистре запросов на прерывание SSPDMAIR. Данное прерывание может быть замаскировано установкой маски прерывания в регистре SSPDMAIM. Запрос на прерывание в регистре SSPDMAIR должен быть сброшен программно.

Если процедура ПДП останавливается путем сброса поля SSDMA\_CTR регистра управления контроллером ПДП SSPDMACTR, то сразу прекращается считывание из памяти процессора записываемых во внешнее устройство данных. После записи в память процессора последнего считанного из внешнего устройства слова данных аппаратно сбрасываются соответствующие поля регистра состояния SSPDMASTS. Однако запрос на прерывание в данном случае не формируется.

### *Режим "Slave"*

Работа контроллера ПДП блока SPI в режиме "Slave" аналогична работе контроллера ПДП блока SPI в режиме "Master". После задания начальных адресов массивов принимаемых и передаваемых данных, их количества, и запуска процесса ПДП контроллер ПДП считывает данные из памяти, распаковывает их и записывает в буфер передаваемых данных контроллера интерфейса. Из этого буфера данные выдаются на внешние выходы интерфейса только, если контроллер интерфейса получит тактовый сигнал SPICLK от внешнего устройства, управляющего передачей данных по интерфейсу SPI. Одновременно с выдачей данных контроллером интерфейса производится прием входных данных и запись принятых данных в буфер принимаемых данных контроллера. В свою очередь контроллер ПДП считывает принимаемые данные из буфера и после упаковки в 32-разрядное слова записывает в память процессора.

Упаковка и распаковка данных контроллером ПДП производятся так же, как и при работе в режиме "Master".

Если интерфейс SPI в режиме "Slave" работает только на прием данных, то чтение данных из памяти процессора можно запретить, установив в единичное состояние поле SSDMA\_TXRXDIS регистра конфигурации режима приема/передачи SSPDMATXRDIS. В этом случае на внешний вывод SPITXD интерфейса будет выдан уровень лог. 0. Аналогичное поведение контроллера ПДП будет при установке в единичное состояние поля SOD регистра конфигурации SSPCR1, за исключением того, что внешний вывод SPITXD будет находиться в высокоимпедансном состоянии.

Состояние контроллера ПДП отражается в регистре состояния контроллера ПДП SSPDMASTS. Поля регистра устанавливаются и сбрасываются аппаратно. Процедура ПДП окончена, когда оба поля регистра сброшены в состояние лог. 0.

После окончания процедуры ПДП вырабатывается запрос на прерывание, который фиксируется в регистре запросов на прерывание SSPDMAIR. Данное прерывание может быть замаскировано установкой маски прерывания в регистре SSPDMAIM. Запрос на прерывание в регистре SSPDMAIR должен быть сброшен программно.

#### 1.6.2.10.4 Прерывания контроллера SPI

Контроллер формирует 2 запроса на прерывание:

- DMAINTR - запрос прерывание по окончанию процедуры ПДП. Прерывание маскируемое. Запрос устанавливается по окончанию процедуры ПДП по обнулению счетчика размера передачи. Сброс запроса на прерывание должен производиться программно;
- SSPINTR - обобщенный запрос от контроллера интерфейса SPI. Данный запрос является комбинацией нижеперечисленных запросов на прерывание:

					ЮФКВ.431268.022РЭ	Лист 144
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3	16.10.2020		38075-2			



- SSPRXINTR. Запрос на прерывание по готовности принимаемых данных. Данный запрос устанавливается, когда буфер принимаемых данных содержит четыре или более слов.
- SSPTXINTR. Запрос на прерывание по готовности буфера передаваемых данных к приему данных. Данный запрос устанавливается, когда буфер передаваемых данных содержит менее четырех слов.
- SSPRORINTR. Запрос на прерывание по переполнению буфера принимаемых данных. Данный запрос устанавливается, когда буфер принимаемых данных заполнен. Прием данных продолжается, приводя к потере данных в приемном сдвиговом регистре.
- SSPRTINTR. Запрос на прерывание по истечении времени ожидания приема данных. Этот запрос устанавливается, когда принятые данные находятся в буфере принимаемых данных дольше 32 тактов. Этот механизм дополнительно оповещает программиста о том, что необходимо забрать данные из буфера. Прерывание SSPRTINTR снимается, когда буфер принимаемых данных становится пустым, или если новые данные получены с SPI шины. Прерывание также может быть снято путем записи бита RTIC=1 в регистре SSPICR.

Каждый из четырех запросов на прерывание может быть замаскирован путем установления соответствующих масок в регистре SSPIMSC. Состояние запросов на прерывания до и после наложения маски можно узнать, прочитав SSPRIS и SSPMIS регистры.

					ЮФКВ.431268.022РЭ			Лист
								145
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2				



### 1.6.2.11 Блоки контроллеров асинхронного последовательного порта (UART)

Модуль универсального асинхронного приемопередатчика (UART – Universal Asynchronous Receiver Transmitter) представляет собой периферийное устройство для систем на кристалле, совместимое с шиной AMBA APB.

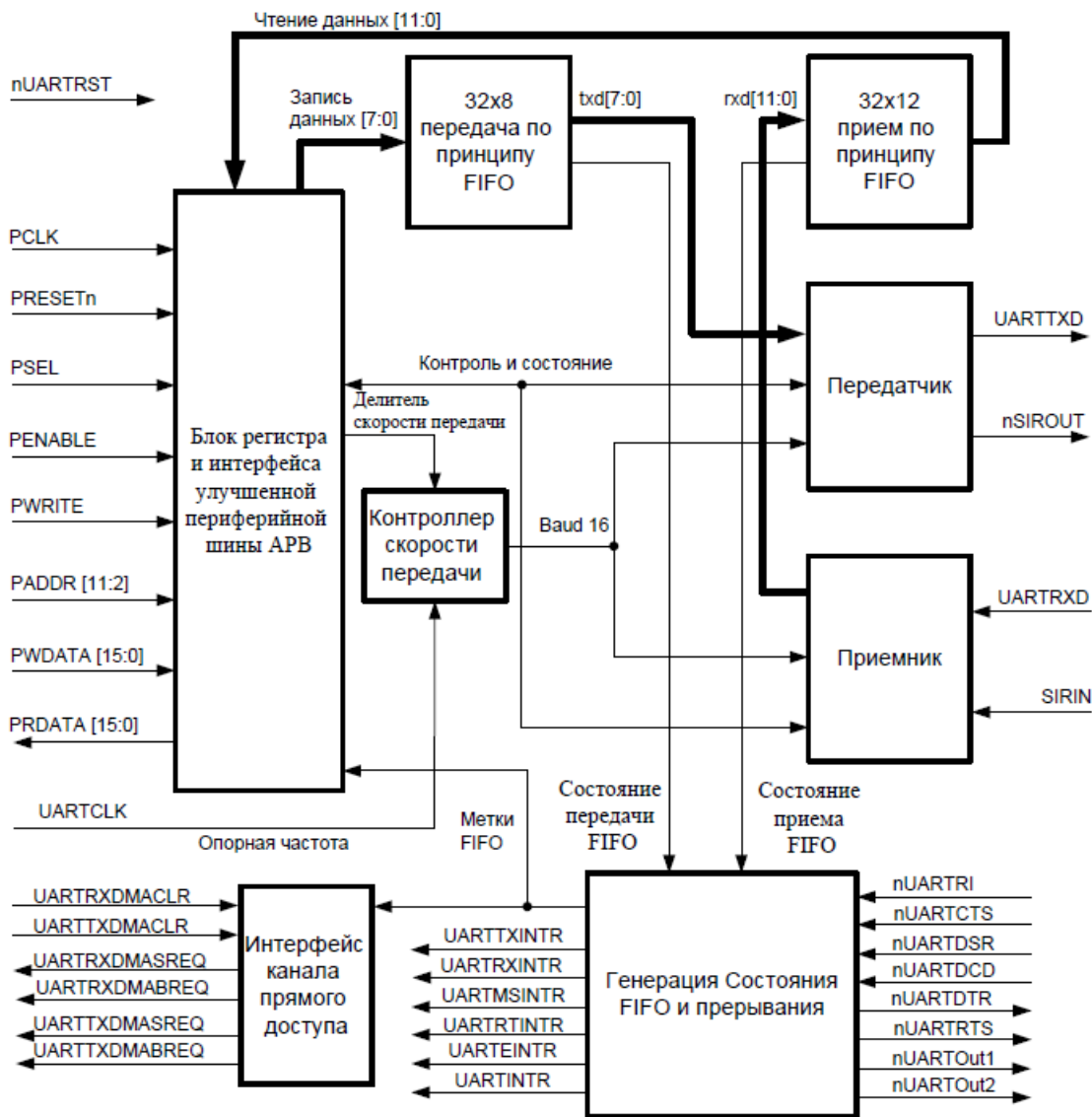
Контроллер асинхронного последовательного порта в микросхеме 1888BC058 имеет следующие характеристики:

- Содержит независимые буферы приема (32x12) и передачи (32x8) типа FIFO, что позволяет снизить интенсивность прерываний центрального процессора;
- Программное отключение буфера. Используется только для тестирования;
- Программное управление скоростью обмена. Обеспечивается возможность деления тактовой частоты опорного тактового сигнала в диапазоне от 16 до 65535\*16. Допускается использование нецелых коэффициентов деления частоты, что позволяет использовать любой опорный генератор с частотой более 3,6864 МГц;
- Поддержка стандартных элементов асинхронного протокола связи – стартового, стопового битов и бита контроля четности, которые добавляются перед передачей и удаляются после приема;
- Независимое маскирование прерываний от буфера FIFO передатчика, буфера FIFO приемника, по таймауту приемника, а также в случае обнаружения ошибки;
- Поддержка прямого доступа к памяти;
- Обнаружение ложных стартовых битов;
- Формирование и обнаружение сигнала разрыва линии;
- Функция управления модемом не поддерживается;
- Возможность организации аппаратного управления потоком данных;
- Полностью программируемый асинхронный последовательный интерфейс с характеристиками:
  - Данные длиной 5, 6, 7 или 8 бит,
  - Формирование и контроль четности (проверочный бит выставляется по четности, нечетности, имеет фиксированное значение, либо не передается),
  - Формирование 1 или 2 стоповых бит,
  - Скорость передачи данных – от 0 до UARTCLK/16 Бод.
- Наличие идентификационного регистра, однозначно идентифицирующего модуль, что позволяет операционной системе выполнять автоматическую конфигурацию.

#### 1.6.2.11.1 Устройство UART

Блок-схема контроллера UART представлена на рисунке 1.74.

										Лист
										146
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020			38075-2						



**Рисунок 1.74 – Блок-схема контроллера UART**

**Генератор скорости передачи**

Генератор содержит счетчики без цепи сброса, формирующие внутренние тактовые сигналы Baud16.

Сигнал Baud16 используется для синхронизации схем управления приемником и передатчиком последовательного обмена данными. Он представляет собой последовательность импульсов с шириной, равной одному периоду сигнала UARTCLK и частотой, в 16 раз выше скорости передачи данных.

**Буфер FIFO передатчика**

Буфер передатчика имеет разрядность 8 бит, глубину 32 слова. Данные от центрального процессора, записанные через шину APB, сохраняются в буфере до тех пор, пока не будут считаны логической схемой передачи данных. Существует возможность запретить буфер FIFO передатчика, в этом случае он будет функционировать как буферный регистр.

**Буфер FIFO приемника**

Буфер приемника имеет разрядность 12 бит, глубину 32 слова. Принятые данные и соответствующие коды ошибок сохраняются логикой приема данных в нем до тех пор, пока не бу-

					Лист
					147
ЮФКВ.431268.022РЭ					
Изм	Лист	№ докум.	Подп.	Дата	
Инва.№подл.	Подп. и дата		Взам.инв.№	Инва.№дубл.	Подп. и дата
38075-3	<i>Редук</i> 16.10.2020		38075-2		

дуг считаны центральным процессором через шину APB. Буфер FIFO приемника может быть запрещен, в этом случае он будет действовать как буферный регистр.

#### Блок передатчика

Логические схемы передатчика осуществляют параллельно - последовательное преобразование данных, считанных из буфера передатчика. Управляющая логика выдает последовательный поток бит в следующем порядке: стартовый бит, биты данных, начиная с младшего значащего разряда, бит проверки на четность, и, наконец, стоповые биты, в соответствии с конфигурацией, записанной в регистре управления.

#### Блок приемника

Логические схемы приемника выполняют последовательно - параллельное преобразование данных, полученных от периферийного устройства после обнаружения корректного стартового импульса. Кроме того, производятся проверки переполнения буфера, выявляются ошибки контроля четности, ошибки в структуре сигнала, а также разрыва линии. Признаки обнаружения этих ошибок также сохраняются в буфере FIFO приемника.

#### Блок формирования прерываний

Контроллер генерирует независимые маскируемые прерывания с активным высоким уровнем. Кроме того, формируется комбинированное прерывание путем объединения указанных независимых прерываний по схеме ИЛИ.

#### Блок и регистры синхронизации

Контроллер поддерживает как асинхронный, так и синхронный режимы работы тактовых генераторов PCLK и UARTCLK. Регистры синхронизации и логика квитирования реализованы и постоянно находятся в активном состоянии. Это практически не отражается на характеристиках устройства и занимаемой площади. Синхронизация сигналов управления осуществляется в обоих направлениях потока данных, то есть как из области действия PCLK в область действия UARTCLK, так и наоборот.

#### Дробный коэффициент деления

Коэффициент деления для формирования скорости передачи данных состоит из 22 бит, при этом 16 бит выделено для представления его целой части, а 6 бит – дробной части (Рисунок 1.75). Возможность задания нецелых коэффициентов деления позволяет осуществлять обмен данными со стандартными информационными скоростями, при этом используя в качестве UARTCLK тактовый сигнал с произвольной частотой более 3,6864 МГц.

Целая часть коэффициента деления записывается в 16-битный регистр UARTIBRD. Шестиразрядная дробная часть записывается в регистр UARTFBRD.

Коэффициент деления вычисляется по формуле:

$$BAUDDIV = FUARTCLK / (16 * \text{Baud Rate}) = BRD\_I + BRD\_F,$$

где BRD\_I – целая часть, а BRD\_F – дробная часть коэффициента деления,

FUARTCLK – тактовая частота контроллера UART;

Baud Rate – требуемая скорость передачи данных.

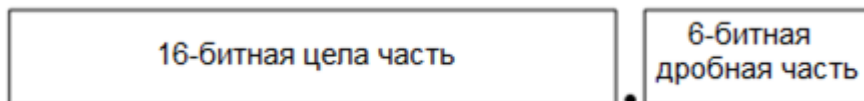


Рисунок 1.75 – Дробный коэффициент деления

Шестибитное значение, записываемое в регистр UARTFBRD, вычисляется путем выделения дробной части требуемого коэффициента деления, умножения ее на 64 (то есть на  $2^n$ , где  $n$  – разрядность регистра UARTFBRD) и округления до ближайшего целого числа:

$$M = \text{integer}(BRD\_F * 2^n + 0,5),$$

где integer – операция отсечения дробной части числа,  $n = 6$ .

									Лист
									148
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2						

В модуле формируется внутренний сигнал Baud16, представляющий собой последовательность импульсов с длительностью, равной периоду сигнала UARTCLK и средней частотой, в 16 раз больше требуемой скорости обмена данными.

В таблице 1.150 приведены некоторые значения делителей и соответствующие им скорости передачи для FUARTCLK = 128 МГц:

**Таблица 1.150 – Возможные скорости порта UART**

Делитель BAUDDIV	BAUD DIVINT	BAUD DIVFRAC	Получаемая скорость FUART, bps	Стандартный ряд скоростей FUART, bps	Ошибка, %
6666,666667	6666	0,666	1200,00	1200	0,00
3333,333333	3333	0,333	2400,00	2400	0,00
1666,666667	1666	0,666	4799,99	4800	0,00
833,333333	833	0,333	9600,06	9600	0,00
555,555556	555	0,555	14399,83	14400	0,00
416,666667	416	0,666	19199,80	19200	0,00
277,777778	277	0,777	28799,67	28800	0,00
208,333333	208	0,333	38400,98	38400	0,00
138,888889	138	0,888	57599,54	57600	0,00
104,166667	104	0,166	76796,81	76800	0,00
69,444444	69	0,444	115212,35	115200	-0,01
34,722222	34	0,722	230428,02	230400	-0,01
17,361111	17	0,361	460856,04	460800	-0,01
8,680556	8	0,68	920916,31	921600	0,07

Делитель частоты обеспечивает требуемую точность стандартной скорости обмена UART в диапазоне от 1200 до 921600 бод включительно.

Модемный интерфейс в СБИС 1888BC058 не используется. Используются только выходы nUARTCTS и nUARTRTS.

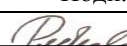
#### 1.6.2.11.2 Функционирование UART

Принятые или передаваемые данные заносятся в 32-элементные буферы FIFO, при этом каждый элемент приемного буфера FIFO, кроме байта данных, хранит также четыре бита информации о состоянии модема.

Для передачи данные заносятся в буфер FIFO передатчика. Если работа приемо-передатчика разрешена, начинается передача информационного кадра с параметрами, указанными в регистре управления линией UARTLCR\_N. Передача данных продолжается до опустошения буфера FIFO передатчика. После записи элемента в буфер FIFO передатчика сигнал BUSY переходит в высокое состояние. Это состояние сохраняется в течение всего времени передачи данных. В низкое состояние сигнал BUSY переходит только после того, как буфер FIFO передатчика станет пуст, а последний бит данных (включая стоповые биты) будет передан. Сигнал BUSY может находиться в высоком состоянии даже в случае, если приемопередатчик будет переведен из разрешенного состояния в запрещенное.

В случае если приемник находился в неактивном состоянии (на линии входного сигнала UARTRXD постоянно присутствовала единица) и произошел переход входного сигнала с высокого на низкий логический уровень (обнаружен стартовый бит), включается счетчик, тактируемый сигналом Baud16, после чего отсчеты сигнала на входе приемника регистрируются каждые восемь тактов.

Стартовый бит считается достоверным в случае, если сигнал на линии UARTRXD сохраняет низкий логический уровень в течение восьми отсчетов сигнала Baud16 с момента включения счетчика. В противном случае переход в ноль рассматривается как ложный старт и игнорируется.

					ЮФКВ.431268.022РЭ		Лист
							149
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		 16.10.2020		38075-2			

В случае если обнаружен достоверный стартовый бит, производится регистрация последовательности данных на входе приемника. Очередной бит данных фиксируются каждые 16 отсчетов тактового сигнала Baud16 (что соответствует длительности одного символа). Производится регистрация всех бит данных (согласно запрограммированным параметрам) и бита четности (если включен режим контроля четности).

Наконец, производится проверка присутствия корректного стопового бита (высокий логический уровень сигнала UARTRXD). В случае если последнее условие не выполняется, устанавливается признак ошибки формирования кадра. После того, как слово принято полностью, данные сохраняются в буфер FIFO приемника, наряду с четырьмя битами признаков ошибки, связанных с этим принятым словом.

### 1.6.2.11.3 Программная модель контроллера порта UART

Спецификация регистров UART представлена в таблице 1.151.

					ЮФКВ.431268.022РЭ			Лист
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		<i>Редкол</i> 16.10.2020		38075-2				

**Таблица 1.151 – Спецификация регистров UART**

Смещение	Название	Тип	Значение после сброса	Размер, бит	Описание
0x000	UARTDR	ЧТ/ЗП	0x---	12/8	Регистр данных
0x004	UARTRSR/ UARTECR	ЧТ/ЗП	0x0	4/0	Регистра состояния приемника/Сброс ошибки приемника
0x008- 0x014	-	-	-	-	Зарезервировано
0x018	UARTFR	ЧТ	0b-10010---	9	Регистр флагов
0x01C	-	-	-	-	Зарезервировано
0x020	UARTILPR	ЧТ/ЗП	0x00	8	Регистр управления ИК обменом в режиме пониженного энергопотребления
0x024	UARTIBRD	ЧТ/ЗП	0x0000	16	Целая часть делителя скорости обмена данными
0x028	UARTFBRD	ЧТ/ЗП	0x00	6	Дробная часть делителя скорости обмена данными
0x02C	UARTLCR_H	ЧТ/ЗП	0x00	8	Регистр управления линией
0x030	UARTCR	ЧТ/ЗП	0x0300	16	Регистр управления
0x034	UARTIFLS	ЧТ/ЗП	0x12	6	Регистр порога прерывания по заполнению буфера FIFO
0x038	UARTIMSC	ЧТ/ЗП	0x000	11	Регистр маски прерывания
0x03C	UARTRIS	ЧТ	0x00-	11	Регистр состояния прерываний
0x040	UARTMIS	ЧТ	0x00-	11	Регистр состояния прерываний с маскированием
0x044	UARTICR	ЗП	-	11	Регистр сброса прерывания
0x048	UARTDMACR	ЧТ/ЗП	0x00	3	Регистр управления ПДП
0x04C- 0x07C	-	-	-	-	Зарезервировано
0x080- 0x08C	-	-	-	-	Зарезервировано для регистров тестирования
0x090- 0xFCC	-	-	-	-	Зарезервировано
0xFD0- 0xFDC	-	-	-	-	Зарезервировано для расширенных кодов идентификации
0xFE0	UARTPeriphID0	ЧТ	0x11	8	Регистр UARTPeriphID0
0xFE4	UARTPeriphID1	ЧТ	0x10	8	Регистр UARTPeriphID1
0xFE8	UARTPeriphID2	ЧТ	0x_34	8	Регистр UARTPeriphID2
0xFEC	UARTPeriphID3	ЧТ	0x00	8	Регистр UARTPeriphID3
0xFF0	UARTPCellID0	ЧТ	0x0D	8	Регистр UARTPCellID0
0xFF4	UARTPCellID1	ЧТ	0xF0	8	Регистр UARTPCellID1
0xFF8	UARTPCellID2	ЧТ	0x05	8	Регистр UARTPCellID2
0xFFC	UARTPCellID3	ЧТ	0xB1	8	Регистр UARTPCellID3

Далее приведено подробное описание каждого регистра.

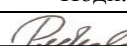
**1.6.2.11.3.1 Регистр данных UARTDR**

**В ходе передаче данных:**

Если буфер FIFO передатчика используется, то данные, записанные в рассматриваемый регистр, направляются в буфер FIFO передатчика.

В противном случае, данные фиксируются в буферном регистре передатчика (последний элемент буфера FIFO).

Операция записи в регистр инициирует передачу данных. Слово данных предваряется стартовым битом, дополняется битом контроля четности (если режим контроля четности включен) и стоповым битом. Сформированное слово отправляется в линию передачи данных.

					ЮФКВ.431268.022РЭ		Лист
							151
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		 16.10.2020		38075-2			



**В ходе приема данных:**

Если буфер FIFO приемника используется, байт данных и четыре бита состояния (разрыв, ошибка формирования кадра, четность, переполнение) сохраняются в 12-битном буфере.

В противном случае байт данных и биты состояния записываются в буферный регистр (последний элемент буфера FIFO).

Полученные из линии связи байты данных считываются путем чтения из регистра UARTDR принятых данных совместно с соответствующими битами состояния. Информация о состоянии также может быть получена путем чтения регистра UARTRSR/UARTECR (Таблица 1.151).

Формат регистра UARTDR приведен в таблице 1.152.

**Таблица 1.152 – Формат регистра UARTDR**

Бит	Название	Тип	Назначение
[15:12]	-	-	Зарезервировано
[11]	OE	ЧТ/ЗП	Переполнение буфера приемника. Бит устанавливается в 1 в случае, если на вход приемника поступают данные, в то время как буфер заполнен. Сбрасывается в 0 после того, как в буфере появится свободное место.
[10]	BE	ЧТ/ЗП	Разрыв линии. Устанавливается в 1 при обнаружении признака разрыва линии, то есть в случае наличия низкого логического уровня на входе приемника в течение времени, большего, чем длительность передачи полного слова данных (включая стартовый, стоповый биты и бит проверки на четность). В режиме FIFO данная ошибка ассоциируется с последним символом, поступившим в буфер. В случае обнаружения разрыва линии в буфер загружается только один нулевой символ, прием данных возобновляется только после перехода линии в логическую 1 и последующего обнаружения корректного стартового бита.
[9]	PE	ЧТ/ЗП	Ошибка контроля четности. Устанавливается в 1 в случае, если четность принятого символа данных не соответствует установкам битов EPS и SPS в регистре управления линией UARTLCR_H. В режиме FIFO данная ошибка ассоциируется с последним символом, поступившим в буфер.
[8]	FE	ЧТ/ЗП	Ошибка в структуре кадра. Устанавливается в 1 в случае, если в принятом символе не обнаружен корректный стоповый бит (корректный стоповый бит равен 1). В режиме FIFO данная ошибка ассоциируется с последним символом, поступившим в буфер.
[7:0]	DATA	ЧТ/ЗП	Принимаемые данные (чтение) Передаваемые данные (запись)

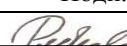
Примечание – Необходимо запрещать работу приемопередатчика перед любым перепрограммированием его регистров управления. Если приемопередатчик переводится в отключенное состояние в процессе передачи или приема символа, то перед остановкой он завершает выполняемую операцию.

#### 1.6.2.11.3.2 Регистр состояния приемника/сброса ошибки UARTRSR/UARTECR

Состояние приемника также может быть считано из регистра UARTRSR. В этом случае информация о состоянии признаков разрыва линии, ошибки контроля четности и ошибки в структуре кадра относится к последнему символу, считанному из регистра данных UARTDR. С другой стороны, признак переполнения буфера устанавливается немедленно после возникновения этого состояния (и не связан с последним, считанным из регистра UARTDR байтом данных).

Запись в регистр UARTECR приводит к сбросу признаков ошибок переполнения, четности, структуры кадра, разрыва линии. Кроме того, все эти признаки устанавливаются в 0 после сброса устройства.

В таблице 1.153 представлено назначение бит регистра UARTRSR/UARTECR.

									Лист
									152
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					



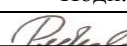
**Таблица 1.153 – Формат регистра UARTSR/UARTECR**

Биты	Название	Тип	Назначение
[7:0]	-	ЧТ/ЗП	Запись в регистр сбрасывает признаки ошибок формирования кадра, проверки на четность, разрыва линии и переполнения буфера.
[7:4]	-	-	Зарезервировано, при чтении результат не определен
[3]	OE	ЧТ/ЗП	Переполнение буфера приемника. Бит устанавливается в 1 в случае, если на вход приемника поступают данные, в то время как буфер заполнен. Сбрасывается в 0 после записи в регистр UARTECR. Содержимое буфера остается верным, так как был перезаписан только регистр сдвига. Центральный процессор должен считать данные для того, чтобы освободить буфер FIFO.
[2]	BE	ЧТ/ЗП	Разрыв линии. Устанавливается в 1 при обнаружении признака разрыва линии, то есть в случае наличия низкого логического уровня на входе приемника в течение времени, большего, чем длительность передачи полного слова данных (включая стартовый, стоповый биты и бит проверки на четность). Бит сбрасывается в 0 после записи в регистр UARTECR. В режиме FIFO данная ошибка ассоциируется с символом, находящимся на вершине буфера. В случае обнаружения разрыва линии в буфер загружается только один нулевой символ, прием данных возобновляется только после перехода линии в логическую 1 и последующего обнаружения корректного стартового бита.
[1]	PE	ЧТ/ЗП	Ошибка контроля четности. Устанавливается в 1 в случае, если четность принятого символа данных не соответствует установкам битов EPS и SPS в регистре управления линией UARTLCR_H. Бит сбрасывается в 0 после записи в регистр UARTECR. В режиме FIFO данная ошибка ассоциируется с символом, находящимся на вершине буфера.
[0]	FE	ЧТ/ЗП	Ошибка в структуре кадра. Устанавливается в 1 в случае, если в принятом символе не обнаружен корректный стоповый бит (корректный стоповый бит равен 1). Бит сбрасывается в 0 после записи в регистр UARTECR. В режиме FIFO данная ошибка ассоциируется с символом, находящимся на вершине буфера.

Примечание – Перед чтением регистра состояния UARTSR необходимо считать данные, принятые из линии, путем обращения к регистру данных UARTDR. Противоположная последовательность действий не допускается, так как регистр UARTSR обновляет свое состояние только после чтения регистра UARTDR. Вместе с тем, информация о состоянии приемника может быть получена непосредственно из регистра данных UARTDR.

#### 1.6.2.11.3.3 Регистр флагов UARTFR

После сброса биты регистра флагов TXFF, RXFF и BUSY устанавливаются в 0, а биты TXFE и RXFE – в 1. В таблице 1.154 представлена информация о назначении битов регистра UARTFR.

					ЮФКВ.431268.022РЭ			Лист
								153
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		 16.10.2020		38075-2				

**Таблица 1.154 – Формат регистра UARTFR**

Биты	Название	Тип	Назначение
[15:9]	-	-	Зарезервировано. Не модифицировать. При чтении заполняются нулями
[8]	RI	ЧТ	Данный бит зарезервирован. Модифицировать запрещено.
[7]	TXFE	ЧТ	Буфер FIFO передатчика пуст. Значение бита зависит от состояния бита FEN регистра управления линией UARTLCR_H. Если буфер FIFO запрещен, бит устанавливается в 1, когда буферный регистр передатчика пуст. В противном случае он равен 1, если пуст буфер FIFO передатчика. Данный бит не дает никакой информации о наличии данных в регистре сдвига передатчика
[6]	RXFF	ЧТ	Буфер FIFO приемника заполнен. Значение бита зависит от состояния бита FEN регистра управления линией UARTLCR_H. Если буфер FIFO запрещен, бит устанавливается в 1, когда буферный регистр приемника занят. В противном случае он равен 1, если заполнен буфер FIFO приемника
[5]	TXFF	ЧТ	Буфер FIFO передатчика заполнен. Значение бита зависит от состояния бита FEN регистра управления линией UARTLCR_H. Если буфер FIFO запрещен, бит равен 1, когда буферный регистр передатчика занят. В противном случае он равен 1, если заполнен буфер FIFO передатчика
[4]	RXFE	ЧТ	Буфер FIFO приемника пуст. Значение бита зависит от состояния бита FEN регистра управления линией UARTLCR_H. Если буфер FIFO запрещен, бит устанавливается в 1, когда буферный регистр приемника пуст. В противном случае он равен 1, если пуст буфер FIFO приемника
[3]	BUSY	ЧТ	UART занят. Бит равен 1 в случае, если контроллер передает в линию данные. Бит остается установленным до тех пор, пока данные, включая стоповые биты, не будут полностью переданы. Кроме того, бит занятости устанавливается в 1 при наличии данных в буфере FIFO передатчика, вне зависимости от состояния приемопередатчика (даже если он запрещен)
[2]	DCD	ЧТ	Данный бит зарезервирован. Модифицировать запрещено.
[1]	DSR	ЧТ	Данный бит зарезервирован. Модифицировать запрещено.
[0]	CTS	ЧТ	Инверсия линии nUARTCTS

**1.6.2.11.3.4 Регистр целой части делителя скорости передачи данных UARTIBRD**

Назначение бит регистра представлено в таблице 1.155.

**Таблица 1.155 – Формат регистра UARTIBRD**

Биты	Название	Тип	Назначение
[15:0]	BAUDDIV_INT	ЧТ/ЗП	Целая часть коэффициента деления частоты для формирования тактового сигнала передачи данных. После сброса устанавливается в 0

**1.6.2.11.3.5 Регистр дробной части делителя скорости передачи данных UARTFBRD**

Назначение бит регистра представлено в таблице 1.156.

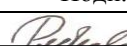
**Таблица 1.156 – Формат регистра UARTFBRD**

Биты	Название	Тип	Назначение
[5:0]	BAUDDIV_FRAC	ЧТ/ЗП	Дробная часть коэффициента деления частоты для формирования тактового сигнала передачи данных. После сброса устанавливается в 0

**1.6.2.11.3.6 Регистр управления линией UARTLCR\_H**

Данный регистр обеспечивает доступ к разрядам с 29 по 22 регистра UARTLCR. При сбросе все биты регистра UARTLCR\_H обнуляются.

Назначение разрядов регистра описано в таблице 1.157.

									Лист
									154
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	 16.10.2020		38075-2						

**Таблица 1.157 – Формат регистра UARTLCR\_H**

Биты	Название	Тип	Назначение
[15:8]	-	-	Зарезервировано. Не модифицировать. При чтении выдаются нули.
[7]	SPS	ЧТ/ЗП	Передача бита четности с фиксированным значением. 0 – запрещена; 1 – на месте бита четности передается инверсное значение бита EPS, оно же проверяется при приеме данных. (При EPS=0 на месте бита четности передается 1, при EPS=1 – передается 0). Значение бита SPS не играет роли в случае, если битом PEN формирование и проверка бита четности запрещено
[6:5]	WLEN	ЧТ/ЗП	Длина слова – количество передаваемых или принимаемых информационных бит в кадре: b11 – 8 бит, b10 – 7 бит, b01 – 6 бит, b00 – 5 бит
[4]	FEN	ЧТ/ЗП	Разрешение работы буфера FIFO приемника и передатчика. 0 – запрещено, 1 – разрешено
[3]	STP2	ЧТ/ЗП	Режим передачи двух стоповых бит. 0 – один стоповый бит, 1 – два стоповых бита. Приемник не проверяет наличие дополнительного стопового бита в кадре
[2]	EPS	ЧТ/ЗП	Четность/нечетность. 0 – бит четности дополняет количество единиц в информационной части кадра до нечетного, 1 – до четного числа. Значение бита EPS не играет роли в случае, если бит PEN отключает контроль четности
[1]	PEN	ЧТ/ЗП	Разрешение проверки четности. 0 – кадр не содержит бита четности, 1 – бит четности передается в кадре и проверяется при приеме данных
[0]	BRK	ЧТ/ЗП	Разрыв линии. Если этот бит установлен в 1, то по завершении передачи текущего символа на выходе UARTTXD устанавливается низкий уровень сигнала. Для правильного выполнения этой операции программное обеспечение должно обеспечить передачу сигнала разрыва в течение, как минимум, времени передачи двух информационных кадров. В нормальном режиме функционирования бит должен быть установлен в 0

Содержимое регистров UARTLCR\_H, UARTIBRD и UARTFBRD совместно образует общий 30-разрядный регистр UARTLCR, который обновляется по стробу, формируемому при записи в UARTLCR\_H. Таким образом, чтобы изменение параметров коэффициента деления частоты обмена данными вступило в силу, после изменения значения регистров UARTIBRD и/или UARTFBRD необходимо осуществить запись данных в регистр UARTLCR\_H.

Примечания:

- Изменение значений трех регистров можно осуществить корректно двумя способами:
  - запись UARTIBRD, запись UARTFBRD, запись UARTLCR\_H;
  - запись UARTFBRD, запись UARTIBRD, запись UARTLCR\_H.
- Для того чтобы изменить значение лишь одного из регистров (UARTIBRD или UARTFBRD) необходимо выполнить следующие шаги:
  - запись UARTIBRD (или UARTFBRD), запись UARTLCR\_H.

В таблице 1.158 приведена таблица истинности для бит управления контролем четности SPS, EPS, PEN регистра управления линией UARTLCR\_H.

**Таблица 1.158 – Управление режимом контроля четности**

PEN	EPS	SPS	Бит контроля четности
0	X	X	Не передается, не проверяется
1	1	0	Проверка четности слова данных
1	0	0	Проверка нечетности слова данных
1	0	1	Бит четности постоянно равен 1
1	1	1	Бит четности постоянно равен 0

Примечания

					ЮФКВ.431268.022РЭ			Лист
								155
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		<i>Редюк</i> 16.10.2020		38075-2				

- Регистры UARTLCR\_H, UARTIBRD, и UARTFBRD не должны изменяться:
  - При разрешенной работе приемопередатчика;
  - Во время завершения приема или передачи данных в процессе остановки (перевод в запрещенное состояние) приемопередатчика.
- Целостность данных в буферах FIFO не гарантируется в следующих случаях:
  - После установки бита разрыва линии BRK;
  - Если программное обеспечение произвело остановку приемопередатчика при наличии данных в буферах FIFO, после его повторного перевода в разрешенное состояние.

#### 1.6.2.11.3.7 Регистр управления UARTCR

После сброса все биты регистра управления, за исключением битов 9 и 8, устанавливаются в нулевое состояние. Биты 9 и 8 устанавливаются в единичное состояние.

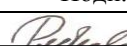
Назначение разрядов регистра управления показано в таблице 1.159.

**Таблица 1.159 – Формат регистра UARTCR**

Биты	Название	Тип	Назначение
[15]	CTSEn	ЧТ/ЗП	Разрешение управления потоком данных по CTS. 1 – разрешено, данные передаются в линию только при активном значении сигнала nUARTCTS
[14]	RTSEn	ЧТ/ЗП	Разрешение управления потоком данных по RTS. 1 – разрешено, запрос данных от внешнего устройства осуществляется только при наличии свободного места в буфере FIFO приемника
[13]	Out2	ЧТ/ЗП	Данный бит зарезервирован. Модифицировать запрещено.
[12]	Out1	ЧТ/ЗП	Данный бит зарезервирован. Модифицировать запрещено.
[11]	RTS	ЧТ/ЗП	Инверсия сигнала на линии состояния модема nUARTRTS.
[10]	DTR	ЧТ/ЗП	Данный бит зарезервирован. Модифицировать запрещено.
[9]	RXE	ЧТ/ЗП	Разрешение приема. Установка бита в 1 разрешает работу приемника. Прием данных осуществляется по интерфейсу асинхронного последовательного обмена. В случае перевода приемопередатчика в запрещенное состояние в ходе приема данных, он завершает прием текущего символа перед остановкой
[8]	TXE	ЧТ/ЗП	Разрешение передачи. Установка бита в 1 разрешает работу передатчика. Передача осуществляется по интерфейсу асинхронного последовательного обмена. В случае перевода приемопередатчика в запрещенное состояние в ходе передачи данных, он завершает передачу текущего символа перед остановкой
[7]	LBE	ЧТ/ЗП	1 – шлейф разрешен, 0 – запрещен. После сброса бит устанавливается в 0
[6:3]	-	-	Зарезервировано. Не модифицировать. При чтении выдаются нули.
[2]	SIRLP	ЧТ/ЗП	Данный бит зарезервирован. Модифицировать запрещено.
[1]	SIREN	ЧТ/ЗП	Данный бит зарезервирован. Модифицировать запрещено.
[0]	UARTEN	ЧТ/ЗП	Разрешение работы приемопередатчика: 0 – работа запрещена. Перед остановкой завершается прием и/или передача обрабатываемого в текущий момент символа. 1 – работа разрешена. Производится обмен данными по линиям асинхронного обмена

Примечание - Для того чтобы разрешить передачу данных, необходимо установить в 1 биты TXE и UARTEN. Аналогично, для разрешения приема данных необходимо установить в 1 биты RXE и UARTEN.

Рекомендуется следующая последовательность действий для программирования регистров управления:

									Лист
									156
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020		38075-2						

- Остановите работу приемопередатчика;
- Дождитесь окончания приема и/или передачи текущего символа данных;
- Сбросьте буфер передатчика путем установки бита FEN регистра UARTLCR\_H в 0;
- Измените настройки регистра UARTCR;
- Возобновите работу приемопередатчика.

#### 1.6.2.11.3.8 Регистр порога прерывания по заполнению буфера FIFO UARTIFLS

Данный регистр используется для установки порогового значения заполнения буферов передатчика и приемника, по достижению которых генерируется сигнал прерывания UARTRXINTR или UARTTXINTR, соответственно. Прерывание генерируется в момент пере-хода величины заполнения буфера через заданное значение.

После сброса в регистре устанавливается порог, соответствующий заполнению половины буфера. Формат регистра и значения его битов представлены в таблице 1.160.

**Таблица 1.160 – Формат регистра UARTIFLS**

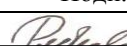
Биты	Название	Тип	Назначение
[15:6]	-	-	Зарезервировано. Не модифицировать. При чтении выдаются нули
[5:3]	RXIFLSEL	ЧТ/ЗП	Порог прерывания по заполнению буфера прием-ника: b000 = Буфер заполнен на 1/8 b001 = Буфер заполнен на 1/4 b010 = Буфер заполнен на 1/2 b011 = Буфер заполнен на 3/4 b100 = Буфер заполнен на 7/8 b101-b111 = резерв
[2:0]	TXIFLSEL	ЧТ/ЗП	Порог прерывания по заполнению буфера передат-чика: b000 = Буфер заполнен на 1/8 b001 = Буфер заполнен на 1/4 b010 = Буфер заполнен на 1/2 b011 = Буфер заполнен на 3/4 b100 = Буфер заполнен на 7/8 b101-b111 = резерв

#### 1.6.2.11.3.9 Регистр установки сброса маски прерывания UARTIMSC

При чтении выдается текущее значение маски. При записи производится установка или сброс маски на соответствующее прерывание.

После сброса все биты регистра маски устанавливаются в нулевое состояние.

Назначение битов регистра UARTIMSC показано в таблице 1.161.

									Лист
									157
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата			Взам.инв.№	Инва.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					

**Таблица 1.161 – Формат регистра UARTIMSC**

Биты	Название	Тип	Назначение
[15:11]	-	-	Зарезервировано. Не модифицировать. При чтении выдаются нули
[10]	OEIM	ЧТ/ЗП	Маска прерывания по переполнению буфера UARTOEINTR. 1 – установлена 0 – сброшена
[9]	BEIM	ЧТ/ЗП	Маска прерывания по разрыву линии UARTBEINTR 1 – установлена 0 – сброшена
[8]	PEIM	ЧТ/ЗП	Маска прерывания по ошибке контроля четности UARTPEINTR 1 – установлена 0 – сброшена
[7]	FEIM	ЧТ/ЗП	Маска прерывания по ошибке в структуре кадра UARTFEINTR 1 – установлена 0 – сброшена
[6]	RTIM	ЧТ/ЗП	Маска прерывания по таймауту приема данных UARTRTINTR 1 – установлена 0 – сброшена
[5]	TXIM	ЧТ/ЗП	Маска прерывания от передатчика UARTTXINTR 1 – установлена 0 – сброшена
[4]	RXIM	ЧТ/ЗП	Маска прерывания от приемника UARTRXINTR. 1 – установлена 0 – сброшена
[3]	DSRMIM	ЧТ/ЗП	Данный бит зарезервирован. Модифицировать запрещено.
[2]	DCDMIM	ЧТ/ЗП	Данный бит зарезервирован. Модифицировать запрещено.
[1]	CTSMIM	ЧТ/ЗП	Маска прерывания UARTCTSINTR по изменению состояния линии nUARTCTS 1 – установлена 0 – сброшена
[0]	RIMIM	ЧТ/ЗП	Данный бит зарезервирован. Модифицировать запрещено.

**1.6.2.11.3.10 Регистр состояния прерываний UARTRIS**

Этот регистр доступен только для чтения и содержит текущее состояние прерываний без учета маскирования. Данные, записываемые в регистр, игнорируются.

Предупреждение. После сброса все биты регистра, за исключением битов прерывания по состоянию модема (биты с 3 по 0), устанавливаются в 0. Значение битов прерывания по состоянию модема после сброса не определено.

Назначение бит в регистре UARTRIS представлено в таблице 1.162.

									Лист
									158
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	<i>Редюк</i> 16.10.2020			38075-2					



**Таблица 1.162 – Формат регистра UARTRIS**

Биты	Название	Тип	Назначение
[15:11]	-	-	Зарезервировано. Не модифицировать. При чтении выдаются нули
[10]	OERIS	ЧТ	Состояние прерывания по переполнению буфера UARTOEINTR 1 – буфер приемника переполнен; 0 – буфер приемника не переполнен.
[9]	BERIS	ЧТ	Состояние прерывания по разрыву линии UARTBEINTR 1 – произошел разрыв линии приема; 0 – разрыва линии приема не происходило.
[8]	PERIS	ЧТ	Состояние прерывания по ошибке контроля четности UARTPEINTR 1 – возникла ошибка контроля четности; 0 – ошибки контроля четности не возникало.
[7]	FERIS	ЧТ	Состояние прерывания по ошибке в структуре кадра UARTFEINTR 1 – возникла ошибка в структуре кадра; 0 – ошибки в структуре кадра не возникало.
[6]	RTRIS	ЧТ	Состояние прерывания по таймауту приема данных UARTRTINTR <sup>1</sup> 1 – вышло время таймаута приема данных; 0 – время таймаута приема данных не вышло.
[5]	TXRIS	ЧТ	Состояние прерывания от передатчика UARTTXINTR 1 – возникло прерывание от передатчика; 0 – прерывания от передатчика нет.
[4]	RXRIS	ЧТ	Состояние прерывания от приемника UARTRXINTR 1 – возникло прерывание от приемника; 0 – прерывание от приемника не возникало.
[3]	DSRRMIS	ЧТ	Данный бит зарезервирован. Модифицировать запрещено.
[2]	DCDRMIS	ЧТ	Данный бит зарезервирован. Модифицировать запрещено.
[1]	CTSRMIS	ЧТ	Состояние прерывания UARTCTSINTR по изменению линии nUARTCTS 1 – возникло прерывание; 0 – прерывание не возникало.
[0]	RIRMIS	ЧТ	Данный бит зарезервирован. Модифицировать запрещено.

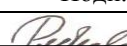
Примечание - Сигнал маски прерывания по таймауту используется в качестве разрешения перехода в режим пониженного энергопотребления. Поэтому чтение состояния прерывания по таймауту из регистров UARTMIS and UARTRIS даст одинаковый результат.

*1.6.2.11.3.11 Регистр маскированного состояния прерываний UARTMIS*

Этот регистр доступен только для чтения и содержит текущее состояние прерываний с учетом маскирования. Данные, записываемые в регистр, игнорируются.

После сброса все биты регистра, за исключением битов прерывания по состоянию модема (биты с 3 по 0), устанавливаются в 0. Значение битов прерывания по состоянию модема после сброса не определено.

Назначение бит в регистре UARTMIS представлено в таблице 1.163.

										Лист
										159
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата			
38075-3	 16.10.2020		38075-2							



**Таблица 1.163 – Формат регистра UARTMIS**

Биты	Название	Тип	Назначение
[15:11]	-	-	Зарезервировано. Не модифицировать. При чтении выдаются нули
[10]	OEMIS	ЧТ	Маскированное состояние прерывания по переполнению буфера UARTOEINTR 1 – буфер приемника переполнен; 0 – буфер приемника не переполнен.
[9]	BEMIS	ЧТ	Маскированное состояние прерывания по разрыву линии UARTBEINTR 1 – произошел разрыв линии приема; 0 – разрыва линии приема не происходило.
[8]	PEMIS	ЧТ	Маскированное состояние прерывания по ошибке контроля четности UARTPEINTR 1 – возникла ошибка контроля четности; 0 – ошибки контроля четности не возникало.
[7]	FEMIS	ЧТ	Маскированное состояние прерывания по ошибке в структуре кадра UARTFEINTR 1 – возникла ошибка в структуре кадра; 0 – ошибки в структуре кадра не возникало.
[6]	RTMIS	ЧТ	Маскированное состояние прерывания по таймауту приема данных UARTRTINTR 1 – вышло время таймаута приема данных; 0 – время таймаута приема данных не вышло.
[5]	TXMIS	ЧТ	Маскированное состояние прерывания от передатчика UARTTXINTR 1 – возникло прерывание от передатчика; 0 – прерывания от передатчика нет.
[4]	RXMIS	ЧТ	Маскированное состояние прерывания от приемника UARTRXINTR 1 – возникло прерывание от приемника; 0 – прерывание от приемника не возникало.
[3]	DSRMMIS	ЧТ	Данный бит зарезервирован. Не модифицировать.
[2]	DCDMMIS	ЧТ	Данный бит зарезервирован. Не модифицировать.
[1]	CTSMMIS	ЧТ	Маскированное состояние прерывания UARTCTSINTR по изменению линии nUARTCTS 1 – возникло прерывание; 0 – прерывание не возникало.
[0]	RIMMIS	ЧТ	Данный бит зарезервирован. Не модифицировать.

**1.6.2.11.3.12 Регистр сброса прерываний UARTICR**

Этот регистр доступен только для записи и предназначен для сброса признака прерывания по заданному событию путем записи 1 в соответствующий бит. Запись в любой из разрядов регистра 0 игнорируется.

Назначение бит в регистре UARTICR представлено в таблице 1.164.

									Лист
									160
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	<i>Редук</i> 16.10.2020			38075-2					

**Таблица 1.164 – Формат регистра UARTICR**

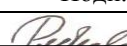
Биты	Название	Тип	Назначение
[15:11]	-	-	Зарезервировано. Не модифицировать. При чтении выдаются нули
[10]	OEIC	ЗП	Сброс прерывания по переполнению буфера UARTOEINTR 1 – сброс прерывания; 0 – не влияет на состояние регистра.
[9]	BEIC	ЗП	Сброс прерывания по разрыву линии UARTBEINTR 1 – сброс прерывания; 0 – не влияет на состояние регистра.
[8]	PEIC	ЗП	Сброс прерывания по ошибке контроля четности UARTPEINTR 1 – сброс прерывания; 0 – не влияет на состояние регистра.
[7]	FEIC	ЗП	Сброс прерывания по ошибке в структуре кадра UARTFEINTR 1 – сброс прерывания; 0 – не влияет на состояние регистра.
[6]	RTIC	ЗП	Сброс прерывания по таймауту приема данных UARTRTINTR 1 – сброс прерывания; 0 – не влияет на состояние регистра.
[5]	TXIC	ЗП	Сброс прерывания от передатчика UARTTXINTR 1 – сброс прерывания; 0 – не влияет на состояние регистра.
[4]	RXIC	ЗП	Сброс прерывания от приемника UARTRXINTR 1 – сброс прерывания; 0 – не влияет на состояние регистра.
[3]	DSRMIC	ЗП	Данный бит зарезервирован. Не модифицировать.
[2]	DCDMIC	ЗП	Данный бит зарезервирован. Не модифицировать.
[1]	CTSMIC	ЗП	Сброс прерывания UARTCTSINTR по изменению линии nUARTCTS 1 – сброс прерывания; 0 – не влияет на состояние регистра.
[0]	RIMIC	ЗП	Данный бит зарезервирован. Не модифицировать.

**1.6.2.11.3.13 Регистр управления прямым доступом к памяти UARTDMACR**

Регистр доступен по чтению и записи. После сброса все биты регистра обнуляются. Назначение бит регистра UARTDMACR представлено в таблице 1.165.

**Таблица 1.165 – Формат регистра UARTDMACR**

Биты	Название	Тип	Назначение
[15:13]	-	-	Зарезервировано. Не модифицировать. При чтении выдаются нули
[2]	DMAONERR	ЧТ/ЗП	Если бит установлен в 1, то, в случае возникновения прерывания по обнаружению ошибки, блокируются запросы ПДП от приемника UARTRXDMSREQ и UARTRXDMABREQ
[1]	TXDMAE	ЧТ/ЗП	Использование ПДП при передаче. Если бит установлен в 1, разрешено формирование запросов ПДП для обслуживания буфера FIFO передатчика
[0]	RXDMAE	ЧТ/ЗП	Использование ПДП при приеме. Если бит установлен в 1, разрешено формирование запросов ПДП для обслуживания буфера FIFO приемника

					ЮФКВ.431268.022РЭ		Лист 161
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		 16.10.2020		38075-2			

### 1.6.2.12 Контроллеры портов ввода/вывода общего назначения (GPIO)

СБИС 1888BC058 имеет в своем составе 5 8-разрядных портов общего назначения GPIOA - GPIOE. Контроллеры разных портов одинаковы. Далее будет дано описание одного такого контроллера.

Контроллер GPIO работает в качестве ведомого устройства, подключенного к шине APB (Advanced Peripheral Bus). Контроллер GPIO предоставляет восемь программируемых выводов, управляемых в двух режимах:

- программное управление через интерфейс шины APB;
- аппаратное управление через интерфейс аппаратного управления.

Структурная схема контроллера GPIO приведена на рисунке 1.76.

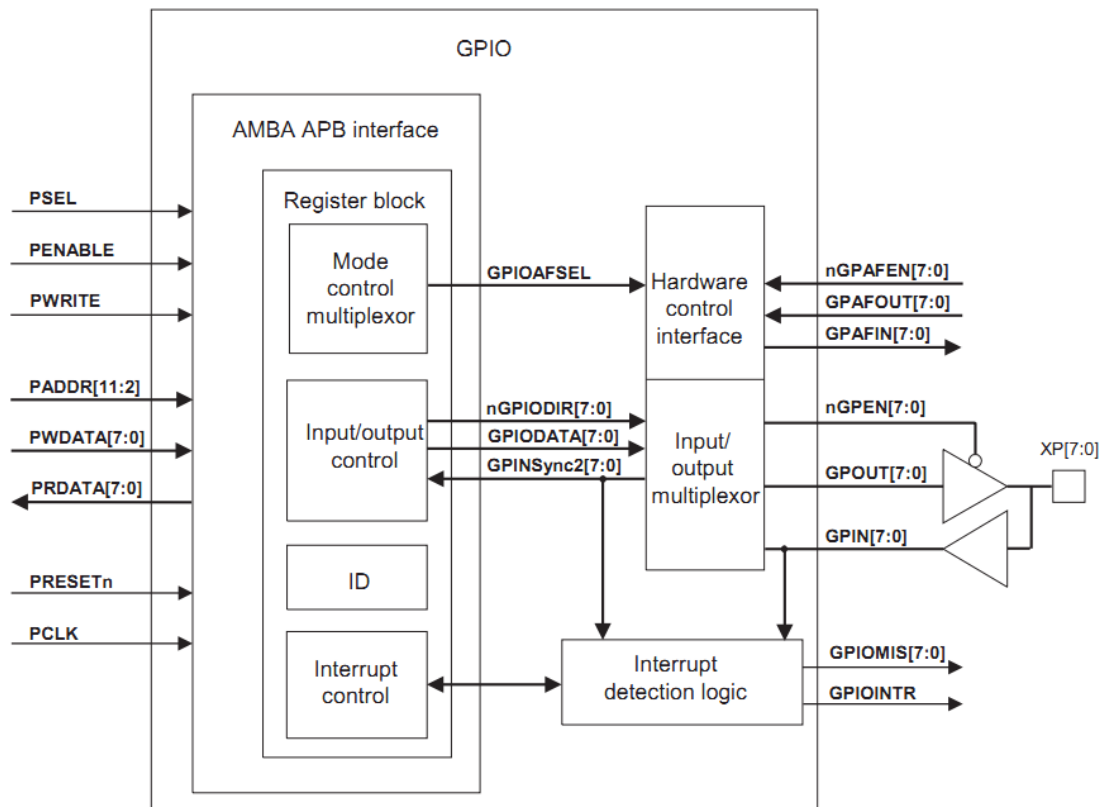


Рисунок 1.76 – Структурная схема контроллера GPIO

Контроллер GPIO обладает следующими основными функциональными характеристиками:

- Восемь отдельно программируемых входных/выходных контактов, при сбросе переходящих в режим ввода по умолчанию.
- Расширяемость на 16, 24, 32, 40 или более разрядов посредством нескольких экземпляров контроллера.
- Возможность программируемой генерации прерываний, как по уровню, так и по переходу, на любом количестве контактов.
- Возможность аппаратного управления линиями модуля GPIO для различных конфигураций системы.
- Побитовое маскирование для операций чтения и записи через адресные линии.
- Наличие регистров идентификации, однозначно идентифицирующих модуль GPIO.

					Лист	
					162	
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.022РЭ	
Инва.№подл.	Подп. и дата		Взам.инв.№	Инва.№дубл.	Подп. и дата	
38075-3	<i>Редюк</i> 16.10.2020		38075-2			

#### 1.6.2.12.1 Логика детектирования прерываний

Модуль GPIO способен генерировать маскируемые прерывания по уровню или фронту любой из линий GPIO.

Пользователь может сконфигурировать прерывания таким образом, чтобы их генерация осуществлялась или по изменению уровня линии, или по переднему или заднему фронту сигнала модуля GPIO. Фронт сигнала и уровень, по которым будет сгенерировано прерывание, программируются.

Семь регистров интерфейса AMBA APB, контролирующие различные функции и состояния в цепи запуска прерываний, обеспечивают следующие возможности:

- генерация прерываний по изменению уровня, по одному или двум фронтам сигнала модуля GPIO;
- считывание состояния прерываний без учета и с учетом маскирования;
- чтение и запись регистра разрешения прерывания;
- сброс прерывания (только запись).

#### 1.6.2.12.2 Режимы управления линиями GPIO

Управление линиями модуля GPIO может осуществляться программно через шину APB или аппаратно через интерфейс аппаратного управления. Выбор режима для каждой линии модуля GPIO осуществляется с помощью регистра выбора режима (GPIOAFSEL).

Когда разрешен режим программного управления (по умолчанию), направление передачи данных контролируется регистром направления передачей данных. Затем через интерфейс шины APB осуществляется запись и считывание данных.

Когда разрешен режим аппаратного управления, направление передачи данных контролируется через контакты управления направлением передачи данных вспомогательного порта. Аналогично, через данный порт осуществляется запись и чтение данных, но состояния контактов также может быть считано через интерфейс шины APB.

#### 1.6.2.12.3 Состояние интерфейса GPIO после сброса

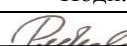
При активации системного сброса контроллер GPIO переходит в состояние:

- выдача прерываний в контроллер прерываний запрещена;
- значения всех регистров обнуляются;
- выводы GPIO переходят в режим входов (выходные буфера в Hi-Z состоянии);
- прерывания по внешнему событию маскируются как запрещенные;
- прерывания без учета маскирования сбрасываются;
- прерывания по фронту сигнала выбираются в качестве источника.

#### Рекомендации:

Если требуется сгенерировать прерывания по фронту сигнала, необходимо выполнить следующую последовательность инициализации во избежание интерпретирования системой ложных прерываний:

- запрограммируйте надлежащим образом регистр GPIOIBE на детектирование одного или двух фронтов сигнала;
- запрограммируйте регистр GPIOIEV, если ранее было задано прерывание по одному фронту сигнала;
- запрограммируйте регистр GPIOIS для выбора срабатывания прерывания по фронту сигнала;
- задайте три тактовых импульса для очистки канала прерываний;
- убедитесь в ходе выполнения данной операции, что шина GPIN[7:0] остается стабильной;

									Лист
									163
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					

- произведите сброс всех прерываний, записав «0xFF» в регистр GPIOIC;
- запрограммируйте регистр GPIOIE на разрешение прерываний.

#### 1.6.2.12.4 Работа линий ввода/вывода

Модуль GPIO включает восемь программируемых линий ввода/вывода. Когда разрешен режим программного управления, регистр данных и регистр направления передачи данных обеспечивают управление данными линиями и обмен данными. При чтении регистр данных содержит текущее состояние выводов GPIO, независимо от того, как они были сконфигурированы – как входы или как выходы.

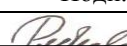
Направление работы линии GPIO задается через регистр направления (GPIODIR):

1. значение «0» означает, что соответствующий выходной контакт определен как входной;
2. значение «1» означает, что соответствующий выходной контакт определен как выходной.

#### 1.6.2.12.5 Программная модель GPIO

##### 1.6.2.12.5.1 Список регистров

Список регистров контроллера GPIO представлен в таблице 1.166.

									Лист
									164
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		 16.10.2020			38075-2				

**Таблица 1.166 – Список регистров контроллера GPIO**

Адрес	Тип доступа	Размер, бит	Значение после сброса	Наименование	Описание
0x000 – 0x3FC	ЧТ/ЗП	8	0x00	GPIODATA	Регистр данных модуля GPIO
0x400	ЧТ/ЗП	8	0x00	GPIODIR	Регистр направления передачи данных модуля GPIO
0x404	ЧТ/ЗП	8	0x00	GPIOIS	Регистр опознавания прерываний модуля GPIO
0x408	ЧТ/ЗП	8	0x00	GPIOIBE	Регистр прерываний по двум фронтам сигнала модуля GPIO
0x40C	ЧТ/ЗП	8	0x00	GPIOIEV	Регистр событий прерываний модуля GPIO
0x410	ЧТ/ЗП	8	0x00	GPIOIE	Регистр маски прерываний модуля GPIO
0x414	ЧТ	8	0x00	GIORIS	Регистр состояния прерываний без учета маскирования модуля GPIO
0x418	ЧТ	8	0x00	GIOMIS	Регистр состояния прерываний с учетом маскирования модуля GPIO
0x41C	ЗП	8	0x00	GPIOIC	Регистр сброса прерываний модуля GPIO
0x420	ЧТ/ЗП	8	0x00	GPIOAFSEL	Регистр выбора режима модуля GPIO
0x424 – 0xFCC	-	-	-	-	Зарезервирован для перспективных расширений возможностей модуля и тестирования
0xFD0 – 0xFDC	-	-	-	-	Зарезервирован для перспективных расширений возможностей идентификации
0xFE0	ЧТ	8	0x61	GPIOPeriphID0	Регистр идентификации периферийных устройств, биты 7:0
0xFE4	ЧТ	8	0x10	GPIOPeriphID1	Регистр идентификации периферийных устройств, биты 15:8
0xFE8	ЧТ	8	0x04	GPIOPeriphID2	Регистр идентификации периферийных устройств, биты 23:16
0xFEC	ЧТ	8	0x00	GPIOPeriphID3	Регистр идентификации периферийных устройств, биты 31:24
0xFF0	ЧТ	8	0x0D	GPIOCellID0	Регистр идентификации периферийных устройств, биты 7:0
0xFF4	ЧТ	8	0xF0	GPIOCellID1	Регистр идентификации периферийных устройств, биты 15:8
0xFF8	ЧТ	8	0x05	GPIOCellID2	Регистр идентификации периферийных устройств, биты 23:16
0xFFC	ЧТ	8	0xB1	GPIOCellID3	Регистр идентификации периферийных устройств, биты 31:24

**1.6.2.12.5.2 Регистр данных GPIODATA**

Формат регистра GPIODATA приведен в таблице 1.167.

Регистр GPIODATA является регистром данных. В режиме программного управления значения, записанные в регистр GPIODATA, передаются на выходы GPIO, если соответствующие выходы были сконфигурированы как выходные через регистр GPIODIR.

Для записи в GPIODATA соответствующие биты маски, переданные через адресную шину PADDR[9:2], должны быть установлены в высокое положение. В противном случае значения битов при записи остаются неизменными.

Аналогично, значения, считанные с данного регистра, определены для каждого бита битом маски, полученным из адреса, используемого для доступа к регистру данных PADDR[9:2].

					ЮФКВ.431268.022РЭ		Лист
							165
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2			

Биты со значением «1» в маске адреса обуславливают считывание соответствующих данных в регистре GPIODATA, и биты со значением «0» в маске адреса обуславливают считывание соответствующих данных в регистре GPIODATA как «0», независимо от их значений.

При считывании из регистра GPIODATA возвращается последнее записанное значение, если соответствующие выводы сконфигурированы как выходные, или возвращается значение соответствующего бита входных контактов GPIN, если они сконфигурированы как входные. При сбросе происходит обнуление значений всех битов.

**Таблица 1.167 – Формат регистра GPIODATA**

Биты	Наименование	Тип	Назначение
[7:0]	Регистр данных	ЧТ/ЗП	Ввод данных Вывод данных

#### 1.6.2.12.5.3 Регистр направления передачи данных GPIODIR

Формат регистра GPIODIR приведен в таблице 1.168.

Регистр GPIODIR является регистром направления передачи данных. Биты, установленные в высокий уровень в регистре GPIODIR, конфигурируют соответствующий вывод GPIO как выходной. При сбросе значения бита выход переходит в режим входа. При сбросе происходит обнуление значений всех битов. Поэтому являются GPIO являются входными по умолчанию.

**Таблица 1.168 – Формат регистра GPIODIR**

Биты	Наименование	Тип	Назначение
[7:0]	Регистр направления передачи данных	ЧТ/ЗП	Установленные биты - выходные выводы Сброшенные биты - входные выводы

#### 1.6.2.12.5.4 Регистр выбора обнаружения прерываний GPIOIS

Формат регистра GPIOIS приведен в таблице Таблица 1.169.

Биты регистра GPIOIS, установленные в 1, конфигурируют соответствующие линии GPIO на обнаружение уровней. Биты, сброшенные в 0, конфигурируют линии на обнаружение фронтов. При сбросе происходит обнуление значений всех битов.

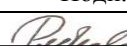
**Таблица 1.169 – Формат регистра GPIOIS**

Биты	Наименование	Тип	Назначение
[7:0]	Регистр выбора обнаружения прерываний	ЧТ/ЗП	Сброшенные биты – обнаружение фронтов на соответствующих линиях Установленные биты – обнаружение уровней

#### 1.6.2.12.5.5 Регистр прерываний по двум фронтам сигнала GPIOIBE

Регистр GPIOIBE является регистром прерываний по двум фронтам. Когда соответствующий бит в регистре GPIOIS назначен на детектирование фронта сигнала, биты регистра GPIOIBE, установленные в высокий уровень, конфигурируют соответствующий вывод на детектирование переднего и заднего фронтов сигнала, независимо от значения соответствующего бита в регистре GPIOIEV (регистр событий прерываний). При сбросе значения бита вывод переходит под управление регистра GPIOIEV. При сбросе происходит обнуление значений всех битов.

Формат регистра GPIOIBE приведен в таблице 1.170.

									Лист
									166
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					



**Таблица 1.170 – Формат регистра GPIOIBE**

Биты	Наименование	Тип	Назначение
[7:0]	Регистр прерываний по двум фронтам сигнала	ЧТ/ЗП	Установленные биты - срабатывание соответствующих выводов на прерывание при детектировании обоих фронтов сигнала Сброшенные биты - событие генерации прерывания находится под управлением регистра GPIOIEV

*1.6.2.12.5.6 Регистр событий прерываний GPIOIEV*

Регистр GPIOIEV является регистром событий прерываний. Биты, установленные в высокий уровень в регистре GPIOIEV, конфигурируют соответствующий вывод на детектирование передних фронтов сигналов или высоких уровней, в зависимости от значения соответствующего бита регистра GPIOIS. Сброс значения бита конфигурирует вывод на детектирование задних фронтов сигналов или низких уровней, в зависимости от значения соответствующего бита в регистре GPIOIS. При сбросе происходит обнуление значений всех битов. Формат регистра GPIOIBE приведен в таблице 1.171.

**Таблица 1.171 – Формат регистра GPIOIBE**

Биты	Наименование	Тип	Назначение
[7:0]	Регистр событий прерываний	ЧТ/ЗП	Установленные биты - срабатывание соответствующих выводов на прерывание при детектировании передних фронтов сигналов или высоких уровней Сброшенные биты - срабатывание соответствующих выводов на прерывание при детектировании задних фронтов сигналов или низких уровней

*1.6.2.12.5.7 Регистр маски прерываний GPIOIE*

Регистр GPIOIE является регистром маски прерываний. Биты регистра GPIOIE, установленные в высокий уровень, позволяют соответствующим выводам формировать сигнал прерывания в контроллер прерываний. Сброс значения битов запрещает формирование прерывания для данного вывода. При сбросе происходит обнуление значений всех битов.

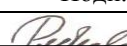
Формат регистра GPIOIE приведен в таблице 1.172.

**Таблица 1.172 – Формат регистра GPIOIE**

Биты	Наименование	Тип	Назначение
[7:0]	Регистр маски прерываний	ЧТ/ЗП	Установленные биты – прерывания от соответствующих выводов не маскированы Сброшенные биты - прерывания от соответствующих выводов не маскированы

*1.6.2.12.5.8 Регистр состояния прерываний без учета маскирования GPIORIS*

Регистр GPIORIS – это регистр состояния прерываний без учета маскирования. Биты регистра GPIORIS, установленные в высокий уровень, отражают детектированное состояние срабатывания прерываний (без учета маскирования, до маскирования), указывая, что все требования удовлетворены, после чего они переводятся под управление регистра GPIOIE. Нулевые биты указывают на то, что соответствующие входные выводы не инициировали прерывание. Данный регистр предназначен только для чтения, и все биты обнуляются при сбросе. Формат регистра GPIORIS приведен в таблице 1.173.

									Лист
									167
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		 16.10.2020			38075-2				

**Таблица 1.173 – Формат регистра GPIORIS**

Биты	Наименование	Тип	Назначение
[7:0]	Регистр состояния прерываний без учета маскирования	ЧТ	Отражает детектированное состояние срабатывания прерываний на выводах (без учета маскирования, до маскирования) Установленные биты - соответствующие выводы отреагировали надлежащим образом, и требования удовлетворены Сброшенные биты - требования не удовлетворены

**1.6.2.12.5.9 Регистр состояния маскированных прерываний GPIOMIS**

Регистр GPIOMIS – это регистр состояния маскированных прерываний. Биты регистра GPIOMIS, установленные в высокий уровень, отражают состояние входных линий, инициирующих прерывание. Биты, установленные в низкое положение, указывают, что прерывание не было сгенерировано, или прерывание было маскировано.

Регистр GPIOMIS показывает состояние прерываний после маскирования. Данный регистр предназначен только для чтения, и все биты обнуляются при сбросе. Формат регистра GPIOMIS приведен в таблице 1.174.

**Таблица 1.174 – Формат регистра GPIOMIS**

Биты	Наименование	Тип	Назначение
[7:0]	Регистр состояния маскированных прерываний	ЧТ	Маскированное значение прерывания, связанное с соответствующим выводом. Сброшенные биты - прерывания в неактивном состоянии. Установленные биты - прерывания были установлены

**1.6.2.12.5.10 Регистр сброса прерываний GPIOIC**

Регистр GPIOIC является регистром сброса прерываний. Присвоение значения «1» биту данного регистра производит сброс соответствующего регистра логики детектирования прерываний по фронту сигнала. Запись «0» не дает результата. Данный регистр предназначен только для записи, и все биты обнуляются при сбросе. Формат регистра GPIOIC приведен в таблице 1.175.

**Таблица 1.175 – Формат регистра GPIOIC**

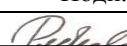
Биты	Наименование	Тип	Назначение
[7:0]	Регистр сброса прерываний	ЧТ	Запись значения «1» производит сброс логики детектирования фронта сигнала. Запись значения «0» не дает результата

**1.6.2.12.5.11 Регистр выбора режима GPIOAFSEL**

Регистр GPIOAFSEL – это регистр выбора режима. Присвоение значения «1» любому биту данного регистра производит выбор режима аппаратного управления для соответствующей линии GPIO. При сбросе происходит обнуление значений всех битов, поэтому по умолчанию все линии находятся в режиме программного управления. Формат регистра GPIOAFSEL приведен в таблице 1.176.

**Таблица 1.176 – Формат регистра GPIOAFSEL**

Биты	Наименование	Тип	Назначение
[7:0]	Регистр выбора режима	Чтение/запись	Установка бит разрешает режим аппаратного управления. Сброс бит разрешает режим программного управления

									Лист
									168
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		 16.10.2020			38075-2				

### 1.6.2.13 Системный контроллер (SCTL)

Системный контроллер представляет собой набор программно-доступных регистров, обеспечивающих функции управления и статуса, которые не реализованы в других устройствах. В СБИС 1888BC058 системный контроллер обеспечивает следующие функции:

- Отображение состояния конфигурационных входов СБИС;
- Управление прерываниями ядер NMC, запуск/останов ядер NMC;
- Управление некоторыми тактовыми сигналами для интерфейсов АЦП и ЦАП;
- Управление буферами ввода/вывода;
- Другие вспомогательные функции.

#### 1.6.2.13.1 Список регистров SCTL

Список регистров контроллера SCTL представлен в таблице 1.177.

**Таблица 1.177 – Список регистров SCTL**

Адрес	Название	Описание	Доступ	Исх. знач.
0x000	BOOTM	Состояние конфигурационных входов СБИС	R	-
0x004	ARMSTANDBY	Статус режима STANDBY ядра ARM	R	-
0x008	SWRSTREQ	Регистр программного сброса СБИС	R/W	0x0001_0000
0x00C	IMEMSD	Управление режимом энергосбережения внутренних банков статической памяти	R/W	0x0000_0000
0x010	CFGMISC	Различные настройки	R/W	0x0000_0300
0x014	NMUINTREQ	Регистр запросов прерываний к ядрам NMC	W1	0x0000_0000
0x018	NMUINTSTA	Регистр статуса прерываний от ядер NMC	R	0x0000_0000
0x01C	NMUINTCLR	Регистр сброса прерываний от ядер NMC	W1	0x0000_0000
0x020	NMULOAD	Управление загрузкой ядер NMC	R/W	0x0000_0000
0x024	NMUSTR	Управление запуском/остановом ядер NMC	R/W	0x0000_0000
0x030	ADC_START	Управление включением синхросигналов AD0_CLKO..AD3_CLKO	R/W	0x0000_0000
0x034	ETH_HPROT	Конфигурация АНВ-интерфейса контроллера Ethernet	R/W	0x0000_3333
0x040	LVDS_CFG_AD0	Конфигурация LVDS-буферов интерфейса АЦП0	R/W	0x0000_05FF
0x044	LVDS_CFG_AD1	Конфигурация LVDS-буферов интерфейса АЦП1	R/W	0x0000_05FF
0x048	LVDS_CFG_AD2	Конфигурация LVDS-буферов интерфейса АЦП2	R/W	0x0000_05FF
0x04C	LVDS_CFG_AD3	Конфигурация LVDS-буферов интерфейса АЦП3	R/W	0x0000_05FF
0x050	LVDS_CFG_DA0	Конфигурация LVDS-буферов интерфейса ЦАП0	R/W	0x0003_03FF
0x054	LVDS_CFG_DA1	Конфигурация LVDS-буферов интерфейса ЦАП1	R/W	0x0003_03FF
0x058	LVDS_CFG_CLK	Конфигурация LVDS-буферов опорных синхросигналов ADCLK и DA_CLKI	R/W	0x0000_0003
0x100	IOCFG0	Конфигурация CMOS-буферов ввода/вывода	R/W	0x0000_0199
0x104	IOCFG1	Конфигурация CMOS-буферов ввода/вывода	R/W	0x0000_0000
0x108	IOCFG2	Конфигурация CMOS-буферов ввода/вывода	R/W	0x0000_0008
0x10C	IOCFG3	Конфигурация CMOS-буферов ввода/вывода	R/W	0x0000_000C
0x110	IOCFG4	Конфигурация CMOS-буферов ввода/вывода	R/W	0x0000_000C
0x114	IOCFG5	Конфигурация CMOS-буферов ввода/вывода	R/W	0x0000_000C
0x118	IOCFG6	Конфигурация CMOS-буферов ввода/вывода	R/W	0x0000_000C
0x11C	IOCFG7	Конфигурация CMOS-буферов ввода/вывода	R/W	0x0000_0008
0x120	IOCFG8	Конфигурация CMOS-буферов ввода/вывода	R/W	0x0000_0002
0x124	IOCFG9	Конфигурация CMOS-буферов ввода/вывода	R/W	0x0000_0000
0x128	IOCFG10	Конфигурация CMOS-буферов ввода/вывода	R/W	0x0000_0012
0x12C	IOCFG11	Конфигурация CMOS-буферов ввода/вывода	R/W	0x0000_0012
0x130	IOCFG12	Конфигурация CMOS-буферов ввода/вывода	R/W	0x0000_0000

					ЮФКВ.431268.022РЭ		Лист
							169
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редюк</i> 16.10.2020		38075-2			

### 1.6.2.13.2 Регистр BOOTM (SCTL)

Описание полей регистра BOOTM приведено в таблице 1.178.

**Таблица 1.178 – Формат регистра BOOTM**

Адрес: 0x000				
Биты	Название	Описание	Реж.	Исх. знач.
[31:9]	-	-	R0	-
[8]	EMI_BIS	Отражает состояние вывода EMI_BIS	R	-
[7]	C1IS	Отражает состояние вывода C1IS	R	-
[6]	COIS	Отражает состояние вывода COIS	R	-
[5]	TMODE	Отражает состояние вывода TMODE	R	-
[4]	-	-	R0	-
[3]	BOOTM_NM	Отражает состояние вывода BOOTM_NM	R	-
[2:0]	BOOTM	Отражает состояние выводов BOOTM[2:0]	R	-

### 1.6.2.13.3 Регистр ARMSTANDBY (SCTL)

Описание полей регистра ARMSTANDBY приведено в таблице 1.179.

**Таблица 1.179 – Формат регистра ARMSTANDBY**

Адрес: 0x004				
Биты	Название	Описание	Реж.	Исх. знач.
[31:2]	-	-	R0	-
[1]	STANDBYWFE	Статус режима WFE: 0x0 – процессор не находится в режиме WFE 0x1 – процессор находится в режиме WFE	R	-
[0]	STANDBYWFI	Статус режима WFI: 0x0 – процессор не находится в режиме WFI 0x1 – процессор находится в режиме WFI	R	-

### 1.6.2.13.4 Регистр SWRSTREQ (SCTL)

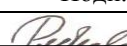
Описание полей регистра SWRSTREQ приведено в таблице 1.180.

**Таблица 1.180 – Формат регистра SWRSTREQ**

Адрес: 0x008				
Биты	Название	Описание	Реж.	Исх. знач.
[31:16]	RST_LOCK	Блокировка записи в бит RST_REQ. Для снятия блокировки необходимо записать значение 0x526D. Чтение поля возвращает статус блокировки: 0x1 – блокировка включена 0x0 – блокировка выключена	R/W	0x1
[15:1]	-	-	R0	-
[0]	RST_REQ	Запись 1 выставляет запрос на системный сброс в блоки CRG	R/W	0x0

### 1.6.2.13.5 Регистр IMEMSD (SCTL)

Некоторые банки внутренней статической памяти в СБИС 1888BC058 имеют энергосберегающие режимы, управляемые парой сигналов SLP (sleep) и SD (shutdown). Энергосберегающие режимы приведены в таблице 1.181. Описание полей регистра IMEMSD приведено в таблице 1.182.

					ЮФКВ.431268.022РЭ		Лист
							170
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		 16.10.2020		38075-2			

**Таблица 1.181 – Энергосберегающие режимы внутренних банков памяти**

Управление		Режим
SLP	SD	
0	0	Функциональный режим
0	1	Режим сна. Экономия до 30% токов утечки макросов памяти. Данные в ячейках сохраняются.
1	x	Режим отключения. Экономия до 90% токов утечки макросов памяти. Данные в ячейках теряются.

**Таблица 1.182 – Формат регистра IMEMSD**

Адрес: 0x00C				
Биты	Название	Описание	Реж.	Исх. знач.
[31:10]	-	-	R0	-
[9]	SMB_SLP	Управление сигналом SLP банка памяти SMB	R/W	0x0
[8]	SMB_SD	Управление сигналом SD банка памяти SMB	R/W	0x0
[7]	NMB1_SLP	Управление сигналом SLP банка памяти NMB1	R/W	0x0
[6]	NMB1_SD	Управление сигналом SD банка памяти NMB1	R/W	0x0
[5]	NMB0_SLP	Управление сигналом SLP банка памяти NMB0	R/W	0x0
[4]	NMB0_SD	Управление сигналом SD банка памяти NMB0	R/W	0x0
[3]	AMB1_SLP	Управление сигналом SLP банка памяти AMB1	R/W	0x0
[2]	AMB1_SD	Управление сигналом SD банка памяти AMB1	R/W	0x0
[1]	AMB0_SLP	Управление сигналом SLP банка памяти AMB0	R/W	0x0
[0]	AMB0_SD	Управление сигналом SD банка памяти AMB0	R/W	0x0

1.6.2.13.6 Регистр CFGMSIC (SCTL)

Описание полей регистра CFGMISC приведено в таблице 1.183.

									Лист
									171
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редюк</i> 16.10.2020		38075-2					

**Таблица 1.183 – Формат регистра CFGMISC**

Адрес: 0x010				
Биты	Название	Описание	Реж.	Исх. знач.
[31:17]	-	-	R0	-
[16]	DDC1_ADSEL	Выбор каналов АЦП для DDC1: 0x0 – AD2, AD3 0x1 – AD0, AD1	R/W	0x0
[15:14]	-	-	R0	-
[13]	ADCLKEN	Отключение синхросигнала с LVDS-входа ADCLK: 0x0 – выключен 0x1 - включен	R/W	0x0
[12]	DACLKEN	Отключение синхросигнала с LVDS-входа DA_CLKI: 0x0 – выключен 0x1 - включен	R/W	0x0
[11:10]	-	-	R0	-
[9]	ADCREFSSEL	Выбор опорного синхросигнала в CRG_ADC: 0x0 – ADCLK (после делителя) 0x1 – REFCLK	R/W	0x1
[8]	DACREFSSEL	Выбор опорного синхросигнала в CRG_DAC: 0x0 – DA_CLKI (после делителя) 0x1 – REFCLK	R/W	0x1
[7:6]	-	-		
[5]	ADCLKMODE	Режим тактирования АЦП: 0x0 – от CRG_ADC 0x1 – от внешнего LVDS-входа ADCLK	R/W	0x0
[4]	DACLKMODE	Режим тактирования интерфейса ЦАП: 0x0 – от CRG_DAC 0x1 – от внешнего LVDS-входа DA_CLKI	R/W	0x0
[3:2]	-	-	R0	-
[1:0]	PRNMC	Поле определяет приоритет ядер NMC при доступе к под-системе общей памяти SMU: 0x0, 0x1 – циклический приоритет 0x2 - NMU1 приоритетней NMU0 0x3 - NMU0 приоритетней NMU1	R/W	0x0

**1.6.2.13.7 Регистр NMUINTREQ (SCTL)**

Регистр NMUINTREQ предназначен для генерации прерывания от ARM части к NMU части. Запись 1 в соответствующее поле приводит к генерации прерывания. Прерывание активируется на 1 такт синхросигнала периферийной шины APB, после чего автоматически деактивируется. Описание полей регистра NMUINTREQ приведено в таблице 1.184.

**Таблица 1.184 – Формат регистра NMUINTREQ**

Адрес: 0x014				
Биты	Название	Описание	Реж.	Исх. знач.
[31:6]	-	-	R0	-
[5]	NMC1_NMI	Генерация немаскируемого прерывания к NMC1	W1	0x0
[4]	NMC0_NMI	Генерация немаскируемого прерывания к NMC0	W1	0x0
[3]	NMC1_HPINT	Генерация высокоприоритетного прерывания к NMC1	W1	0x0
[2]	NMC0_HPINT	Генерация высокоприоритетного прерывания к NMC0	W1	0x0
[1]	NMC1_LPINT	Генерация низкоприоритетного прерывания к NMC1	W1	0x0
[0]	NMC0_LPINT	Генерация низкоприоритетного прерывания к NMC0	W1	0x0

**1.6.2.13.8 Регистр NMUINTSTA (SCTL)**

Регистр NMUINTSTA отслеживает статус прерываний от NMU части. Активные прерывания отображаются значением 1 в соответствующих битах регистра. Описание полей регистра NMUINTSTA приведено в таблице 1.185.

									Лист
									172
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.022РЭ				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2					



**Таблица 1.185 – Формат регистра NMUINTSTA**

Адрес: 0x018				
Биты	Название	Описание	Реж.	Исх. знач.
[31:4]	-	-	R0	0x0
[3]	NMC1HP_STAT	Состояние высокоприоритетного прерывания от NMC1	R	0x0
[2]	NMC0HP_STAT	Состояние высокоприоритетного прерывания от NMC0	R	0x0
[1]	NMC1LP_STAT	Состояние низкоприоритетного прерывания от NMC1	R	0x0
[0]	NMC0LP_STAT	Состояние низкоприоритетного прерывания от NMC0	R	0x0

1.6.2.13.9 Регистр NMUINTCLR (SCTL)

Регистр NMUINTCLR предназначен для сброса от прерываний от NMU части. Сброс прерываний осуществляется записью 1 в соответствующий бит регистра. Описание полей регистра NMUINTCLR приведено в таблице 1.186.

**Таблица 1.186 – Формат регистра NMUINTCLR**

Адрес: 0x01C				
Биты	Название	Описание	Реж.	Исх. знач.
[31:4]	-	-	R0	0x0
[3]	NMC1HP_CLR	Сброс высокоприоритетного прерывания от NMC1	W1	0x0
[2]	NMC0HP_CLR	Сброс высокоприоритетного прерывания от NMC0	W1	0x0
[1]	NMC1LP_CLR	Сброс низкоприоритетного прерывания от NMC1	W1	0x0
[0]	NMC0LP_CLR	Сброс низкоприоритетного прерывания от NMC0	W1	0x0

1.6.2.13.10 Регистр NMULOAD (SCTL)

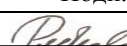
Описание полей регистра NMULOAD приведено в таблице 1.187.

**Таблица 1.187 – Формат регистра NMULOAD**

Адрес: 0x020				
Биты	Название	Описание	Реж.	Исх. знач.
[31:2]	-	зарезервировано	R0	-
[1]	NMU1CP_LOAD	Запрос на загрузку NMU1 через коммуникационный порт 0x0 – нет запроса 0x1 – есть запрос При системном сбросе данный бит инициализируются внешним выводом BOOTM_NM1 Сброс бита происходит автоматически после окончания загрузки	R/W	Определяется комбинацией выводов BOOTM_NM & BOOTM1
[0]	NMU0CP_LOAD	Запрос на загрузку NMU0 через коммуникационный порт 0x0 – нет запроса 0x1 – есть запрос При системном сбросе данный бит инициализируются внешним выводом BOOTM_NM0 Сброс бита происходит автоматически после окончания загрузки	R/W	Определяется комбинацией выводов BOOTM_NM & BOOTM0

1.6.2.13.11 Регистр NMUSTR (SCTL)

Описание полей регистра NMUSTR приведено в таблице 1.188.

									Лист
									173
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата		Взам.инв.№	Инва.№дубл.	Подп. и дата				
38075-3	 16.10.2020		38075-2						



**Таблица 1.188 – Формат регистра NMUSTR**

Адрес: 0x024				
Биты	Название	Описание	Реж.	Исх. знач.
[31:10]	-	зарезервировано	R0	-
[9]	SMU_STOP_EN	Статус разрешения отключения тактового сигнала SMU	R	-
[8]	-	зарезервировано	R0	-
[7]	NMU1ISOEN	Включение изоляции NMU1	R/W	0x0
[6]	-	зарезервировано	R0	-
[5]	NMU1STOP_IAG	Запись 1 формирует сигнал запроса на остановку тактового сигнала. По данному сигналу в процессорной системе NMU1 формируется прерывание. Подпрограмма обработки прерывания должна закончить все обмены и остановить адресный генератор. Сброс бита происходит автоматически после остановки.	R/W	0x0
[4]	NMU1START_IAG	Запись 1 формирует сигнал запуска адресного генератора NMU1. При системном сбросе и комбинации выводов BOOTM_NM & BOOTM1 = 1 данный бит аппаратно устанавливается в 1 после окончания загрузки по коммуникационному порту. Сброс бита происходит автоматически после запуска.	R/W	0x0
[3]	NMU0ISOEN	Включение изоляции NMU0	R/W	0x0
[2]	-	зарезервировано	R0	-
[1]	NMU0STOP_IAG	Запись 1 формирует сигнал запроса на остановку тактового сигнала. По данному сигналу в процессорной системе NMU0 формируется прерывание. Подпрограмма обработки прерывания должна закончить все обмены и остановить адресный генератор. Сброс бита происходит автоматически после остановки.	R/W	0x0
[0]	NMU0START_IAG	Запись 1 формирует сигнал запуска адресного генератора NMU0. При системном сбросе и комбинации выводов BOOTM_NM & BOOTM0 = 1 данный бит аппаратно устанавливается в 1 после окончания загрузки по коммуникационному порту. Сброс бита происходит автоматически после запуска.	R/W	0x0

1.6.2.13.12 Регистр ADC\_START (SCTL)

Описание полей регистра ADC\_START приведено в таблице 1.189.

**Таблица 1.189 – Формат регистра ADC\_START**

Адрес: 0x030				
Биты	Название	Описание	Реж.	Исх. знач.
[31:5]	-	-	R0	-
[4]	CLKEN	Включение тактовых сигналов, не замаскированных полем CLKEN_MASK	R/W	0x0
[3:0]	CLKEN_MASK	Маскирование clock gate [3] – AD3_CLKO [2] – AD2_CLKO [1] – AD1_CLKO [0] – AD0_CLKO	R/W	0x0

1.6.2.13.13 Регистр ETH\_HPROT (SCTL)

Описание полей регистра ETH\_HPROT приведено в таблице 1.190.

									Лист
									174
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редюк</i> 16.10.2020		38075-2					

**Таблица 1.190 – Формат регистра ETH\_HPROT**

Адрес: 0x034				
Биты	Название	Описание	Реж.	Исх. знач.
[31:16]	-	-	R0	-
[15:12]	HPROT_RSIZЕ0	Значение сигнала HPROT для операций чтения размером 1 байт	R/W	0x3
[11:8]	HPROT_RSIZЕ2	Значение сигнала HPROT для операций чтения размером 4 байта	R/W	0x3
[7:0]	HPROT_WSIZЕ0	Значение сигнала HPROT для операций записи размером 1 байт	R/W	0x3
[3:0]	HPROT_WSIZЕ2	Значение сигнала HPROT для операций записи размером 4 байта	R/W	0x3

1.6.2.13.14 Регистры LVDS\_CFG\_ADx (SCTL)

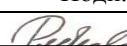
Описание полей регистров LVDS\_CFG\_ADx приведено в таблице 1.191.

**Таблица 1.191 – Формат регистров LVDS\_CFG\_ADx**

Адрес: 0x040 + 4 × n, где n = 0, 1, 2, 3 - номер интерфейса АЦП				
Биты	Название	Описание	Реж.	Исх. знач.
[31:12]	-	-	R0	-
[11]	TX_MODE	Управление током TX буферов: 0x0 – низкий ток 0x1 – высокий ток [11] ADx_CLKO	R/W	0x0
[10]	TX_PD	Управление выключением TX буферов: 0x0 – буфер работает 0x1 – буфер выключен (Hi-Z) [10] ADx_CLKO	R/W	0x1
[9]	RX_CM_ENF	Управление common mode enforcement для RX буферов: 0x0 – выключено 0x1 – включено Бит действует на все RX буфера интерфейса	R/W	0x0
[8:0]	RX_PD	Управление выключением RX буферов: 0x0 – буфер работает 0x1 – буфер выключен, выход в ядро равен 0 [8] ADx_CLKI [7] ADx_OVR [6] ADx_D12D13 ... [0] ADx_D0D1	R/W	0x1FF

1.6.2.13.15 Регистры LVDS\_CFG\_DAx (SCTL)

Описание полей регистров LVDS\_CFG\_DAx приведено в таблице 1.192.

					ЮФКВ.431268.022РЭ		Лист
							175
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		 16.10.2020		38075-2			

**Таблица 1.192 – Формат регистров LVDS\_CFG\_DAх**

Адрес: 0x050 + 4 × n, где n = 0, 1 - номер интерфейса ЦАП				
Биты	Название	Описание	Реж.	Исх. знач.
[31:19]	-	-	R0	-
[18]	TX_MODE	Управление током TX буферов: 0x0 – низкий ток 0x1 – высокий ток Бит действует на все TX буфера интерфейса	R/W	0x0
[17:16]	TX_PD_CTRL	Управление выключением TX буферов: 0x0 – буфер работает 0x1 – буфер выключен (Hi-Z) [17] DACx_CLKO [16] DACx_SYNC	R/W	0x3
[15:10]	-	зарезервировано	R/W	-
[9:0]	TX_PD_DATA	Управление выключением TX буферов: 0x0 – буфер работает 0x1 – буфер выключен (Hi-Z) [9] DACx_D9 ... [0] DACx_D0	R/W	0x3FF

1.6.2.13.16 Регистр LVDS\_CFG\_CLK (SCTL).

Описание полей регистра LVDS\_CFG\_CLK приведено в таблице 1.193.

**Таблица 1.193 – Формат регистров LVDS\_CFG\_CLK**

Адрес: 0x058				
Биты	Название	Описание	Реж.	Исх. знач.
[31:4]	-	-	R0	-
[3:2]	RX_CM_ENF	Управление common mode enforcement для RX буферов: 0x0 – выключено 0x1 – включено [3] DA_CLKI [2] ADCLK	R/W	0x0
[1:0]	RX_PD	Управление выключением RX буферов: 0x0 – буфер работает 0x1 – буфер выключен, выход в ядро равен 0 [1] DA_CLKI [0] ADCLK	R/W	0x3

1.6.2.13.17 Регистры IOCFG0 - IOCFG12 (SCTL)

В СБИС 1888BC048 некоторые CMOS-буфера ввода/вывода имеют ряд параметров, которые задаются посредством регистров IOCFG0 - IOCFG12:

- P – управляет состоянием двунаправленного вывода при отключенном выходном буфере:
  - 0x0 – высокоимпедансное состояние (HI\_Z)
  - 0x1 – слабая подтяжка к высокому уровню (PU)
  - 0x2 – слабая подтяжка к низкому уровню (PD)
  - 0x3 – repeater (bus keeper)
- E – управляет нагрузочной способностью (drive strength).

Кодировка для одноразрядного сигнала:

- 0x0 – 4 мА
- 0x1 – 8 мА

Кодировка для двухразрядного сигнала:

									Лист
									176
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата		Взам.инв.№		Инва.№дубл.	Подп. и дата			
38075-3	<i>Редук</i> 16.10.2020		38075-2						

- 0x0 – 2 мА
- 0x1 – 4 мА
- 0x2 – 8 мА
- 0x3 – 12 мА
- SR – управляет скоростью нарастания фронта (slew rate):
  - 0x0 – медленно (SLOW)
  - 0x1 – быстро (FAST)
- SMT – управляет гистерезисом (триггер Шмитта):
  - 0x0 – нет гистерезиса (DIS)
  - 0x1 – есть гистерезис (EN)

В таблице 1.194 приведено распределение параметров выводов по битам регистров IOCFG.

В круглых скобках после битов регистра указано начальное состояние параметра.

Неиспользуемые биты регистров IOCFG читаются как нули, запись в них игнорируется.

										Лист
										177
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редюк</i> 16.10.2020			38075-2					

**Таблица 1.194 – Отображение параметров CMOS-буферов на регистры IOCFGx**

Вывод СБИС	Параметры CMOS буферов			
	P	E	SR	SMT
EMI_D0	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D1	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D2	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D3	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D4	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D5	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D6	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D7	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D8	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D9	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D10	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D11	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D12	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D13	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D14	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D15	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D16	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D17	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D18	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D19	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D20	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D21	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D22	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D23	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D24	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D25	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D26	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D27	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D28	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D29	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D30	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_D31	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	IOCFG0[13](DIS)
EMI_A0	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A1	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A2	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A3	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A4	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A5	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A6	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A7	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A8	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A9	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A10	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A11	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A12	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A13	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A14	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A15	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A16	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A17	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A18	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A19	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_A20	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	DIS
EMI_A21	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	DIS
EMI_A22	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	DIS
EMI_A23	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	DIS

					Лист
					178
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		<i>Редук</i> 16.10.2020		38075-2	
			Подп. и дата		

**Продолжение таблицы 1.194**

Вывод СБИС	Параметры CMOS буферов			
	P	E	SR	SMT
EMI_XCSI	-	-	-	-
EMI_XCSO0	HI_Z	IOCFG0[5:4] (4MA)	IOCFG0[11] (SLOW)	DIS
EMI_XCSO1	HI_Z	IOCFG0[5:4] (4MA)	IOCFG0[11] (SLOW)	DIS
EMI_XCSO2	HI_Z	IOCFG0[5:4] (4MA)	IOCFG0[11] (SLOW)	DIS
EMI_XCSO3	HI_Z	IOCFG0[5:4] (4MA)	IOCFG0[11] (SLOW)	DIS
EMI_XOE	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	DIS
EMI_XWEA	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	DIS
EMI_XWE	HI_Z	IOCFG0[3:2] (8MA)	IOCFG0[11] (SLOW)	IOCFG0[13](DIS)
EMI_XDQM0	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	DIS
EMI_XDQM1	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	DIS
EMI_XDQM2	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	DIS
EMI_XDQM3	HI_Z	IOCFG0[1:0] (4MA)	IOCFG0[10] (SLOW)	DIS
EMI_XRAS	HI_Z	IOCFG0[7:6] (8MA)	IOCFG0[12] (SLOW)	DIS
EMI_XCAS	HI_Z	IOCFG0[7:6] (8MA)	IOCFG0[12] (SLOW)	DIS
EMI_XRDY_A	-	-	-	-
EMI_XRDY	HI_Z	IOCFG0[9:8] (4MA)	IOCFG0[12] (SLOW)	IOCFG0[13](DIS)
EMI_XSTRB	HI_Z	IOCFG0[9:8] (4MA)	IOCFG0[12] (SLOW)	IOCFG0[13](DIS)
EMI_XHOLDA	HI_Z	IOCFG0[9] (4MA)	IOCFG0[12] (SLOW)	DIS
EMI_XHOLDO	HI_Z	IOCFG0[9] (4MA)	IOCFG0[12] (SLOW)	DIS
EMI_XHOLDI	-	-	-	-
EMI_BIS	-	-	-	-
EMI_SCLK	-	-	-	-
MII_TXCLK	-	-	-	-
MII_TXD0	HI_Z	IOCFG1[0](4MA)	IOCFG1[1](SLOW)	DIS
MII_TXD1	HI_Z	IOCFG1[0](4MA)	IOCFG1[1](SLOW)	DIS
MII_TXD2	HI_Z	IOCFG1[0](4MA)	IOCFG1[1](SLOW)	DIS
MII_TXD3	HI_Z	IOCFG1[0](4MA)	IOCFG1[1](SLOW)	DIS
MII_TXEN	HI_Z	IOCFG1[0](4MA)	IOCFG1[1](SLOW)	DIS
MII_RXCLK	-	-	-	-
MII_RXD0	-	-	-	-
MII_RXD1	-	-	-	-
MII_RXD2	-	-	-	-
MII_RXD3	-	-	-	-
MII_RXER	-	-	-	-
MII_RXDV	-	-	-	-
MII_RXCOL	-	-	-	-
MII_RXCRS	-	-	-	-
MDIO	HI_Z	IOCFG1[2](4MA)	SLOW	DIS
MDC	HI_Z	IOCFG1[2](4MA)	SLOW	DIS
UART0_RXD	IOCFG2[4:3](PU)	2MA	SLOW	EN
UART0_TXD	HI_Z	IOCFG2[0](4MA)	IOCFG2[1] (SLOW)	DIS
UART0_CTS	IOCFG2[4:3](PU)	2MA	SLOW	EN
UART0_RTS	HI_Z	IOCFG2[0](4MA)	IOCFG2[1] (SLOW)	DIS
UART1_RXD	IOCFG2[4:3](PU)	2MA	SLOW	EN
UART1_TXD	HI_Z	IOCFG2[0](4MA)	IOCFG2[1] (SLOW)	DIS
UART1_CTS	IOCFG2[4:3](PU)	2MA	SLOW	EN
UART1_RTS	HI_Z	IOCFG2[0](4MA)	IOCFG2[1] (SLOW)	DIS
GPA0	IOCFG3[4:3](PU)	IOCFG3[0] (4MA)	IOCFG3[1] (SLOW)	IOCFG3[2](EN)
GPA1	IOCFG3[4:3](PU)	IOCFG3[0] (4MA)	IOCFG3[1] (SLOW)	IOCFG3[2](EN)
GPA2	IOCFG3[4:3](PU)	IOCFG3[0] (4MA)	IOCFG3[1] (SLOW)	IOCFG3[2](EN)
GPA3	IOCFG3[4:3](PU)	IOCFG3[0] (4MA)	IOCFG3[1] (SLOW)	IOCFG3[2](EN)
GPA4	IOCFG3[4:3](PU)	IOCFG3[0] (4MA)	IOCFG3[1] (SLOW)	IOCFG3[2](EN)
GPA5	IOCFG3[4:3](PU)	IOCFG3[0] (4MA)	IOCFG3[1] (SLOW)	IOCFG3[2](EN)
GPA6	IOCFG3[4:3](PU)	IOCFG3[0] (4MA)	IOCFG3[1] (SLOW)	IOCFG3[2](EN)
GPA7	IOCFG3[4:3](PU)	IOCFG3[0] (4MA)	IOCFG3[1] (SLOW)	IOCFG3[2](EN)
GPB0	IOCFG4[4:3](PU)	IOCFG4[0] (4MA)	IOCFG4[1] (SLOW)	IOCFG4[2](EN)

					ЮФКВ.431268.022РЭ			Лист
								179
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		<i>Редюк</i> 16.10.2020		38075-2				



Продолжение таблицы 1.194

Вывод СБИС	Параметры CMOS буферов			
	P	E	SR	SMT
GPB1	IOCFG4[4:3](PU)	IOCFG4[0] (4MA)	IOCFG4[1] (SLOW)	IOCFG4[2](EN)
GPB2	IOCFG4[4:3](PU)	IOCFG4[0] (4MA)	IOCFG4[1] (SLOW)	IOCFG4[2](EN)
GPB3	IOCFG4[4:3](PU)	IOCFG4[0] (4MA)	IOCFG4[1] (SLOW)	IOCFG4[2](EN)
GPB4	IOCFG4[4:3](PU)	IOCFG4[0] (4MA)	IOCFG4[1] (SLOW)	IOCFG4[2](EN)
GPB5	IOCFG4[4:3](PU)	IOCFG4[0] (4MA)	IOCFG4[1] (SLOW)	IOCFG4[2](EN)
GPB6	IOCFG4[4:3](PU)	IOCFG4[0] (4MA)	IOCFG4[1] (SLOW)	IOCFG4[2](EN)
GPB7	IOCFG4[4:3](PU)	IOCFG4[0] (4MA)	IOCFG4[1] (SLOW)	IOCFG4[2](EN)
GPC0	IOCFG5[4:3](PU)	IOCFG5[0] (4MA)	IOCFG5[1] (SLOW)	IOCFG5[2](EN)
GPC1	IOCFG5[4:3](PU)	IOCFG5[0] (4MA)	IOCFG5[1] (SLOW)	IOCFG5[2](EN)
GPC2	IOCFG5[4:3](PU)	IOCFG5[0] (4MA)	IOCFG5[1] (SLOW)	IOCFG5[2](EN)
GPC3	IOCFG5[4:3](PU)	IOCFG5[0] (4MA)	IOCFG5[1] (SLOW)	IOCFG5[2](EN)
GPC4	IOCFG5[4:3](PU)	IOCFG5[0] (4MA)	IOCFG5[1] (SLOW)	IOCFG5[2](EN)
GPC5	IOCFG5[4:3](PU)	IOCFG5[0] (4MA)	IOCFG5[1] (SLOW)	IOCFG5[2](EN)
GPC6	IOCFG5[4:3](PU)	IOCFG5[0] (4MA)	IOCFG5[1] (SLOW)	IOCFG5[2](EN)
GPC7	IOCFG5[4:3](PU)	IOCFG5[0] (4MA)	IOCFG5[1] (SLOW)	IOCFG5[2](EN)
GPD0	IOCFG6[4:3](PU)	IOCFG6[0] (4MA)	IOCFG6[1] (SLOW)	IOCFG6[2](EN)
GPD1	IOCFG6[4:3](PU)	IOCFG6[0] (4MA)	IOCFG6[1] (SLOW)	IOCFG6[2](EN)
GPD2	IOCFG6[4:3](PU)	IOCFG6[0] (4MA)	IOCFG6[1] (SLOW)	IOCFG6[2](EN)
GPD3	IOCFG6[4:3](PU)	IOCFG6[0] (4MA)	IOCFG6[1] (SLOW)	IOCFG6[2](EN)
GPD4	IOCFG6[4:3](PU)	IOCFG6[0] (4MA)	IOCFG6[1] (SLOW)	IOCFG6[2](EN)
GPD5	IOCFG6[4:3](PU)	IOCFG6[0] (4MA)	IOCFG6[1] (SLOW)	IOCFG6[2](EN)
GPD6	IOCFG6[4:3](PU)	IOCFG6[0] (4MA)	IOCFG6[1] (SLOW)	IOCFG6[2](EN)
GPD7	IOCFG6[4:3](PU)	IOCFG6[0] (4MA)	IOCFG6[1] (SLOW)	IOCFG6[2](EN)
GPE0	IOCFG7[4:3](PU)	IOCFG7[0] (4MA)	IOCFG7[1] (SLOW)	IOCFG7[2](DIS)
GPE1	IOCFG7[4:3](PU)	IOCFG7[0] (4MA)	IOCFG7[1] (SLOW)	IOCFG7[2](DIS)
GPE2	IOCFG7[4:3](PU)	IOCFG7[0] (4MA)	IOCFG7[1] (SLOW)	IOCFG7[2](DIS)
GPE3	IOCFG7[4:3](PU)	IOCFG7[0] (4MA)	IOCFG7[1] (SLOW)	IOCFG7[2](DIS)
GPE4	IOCFG7[4:3](PU)	IOCFG7[0] (4MA)	IOCFG7[1] (SLOW)	IOCFG7[2](DIS)
GPE5	IOCFG7[4:3](PU)	IOCFG7[0] (4MA)	IOCFG7[1] (SLOW)	IOCFG7[2](DIS)
GPE6	IOCFG7[4:3](PU)	IOCFG7[0] (4MA)	IOCFG7[1] (SLOW)	IOCFG7[2](DIS)
GPE7	IOCFG7[4:3](PU)	IOCFG7[0] (4MA)	IOCFG7[1] (SLOW)	IOCFG7[2](DIS)
SPI0_TXD	HI_Z	IOCFG8[1:0](8MA)	IOCFG8[2] (SLOW)	DIS
SPI0_RXD	-	-	-	-
SPI0_CLK	HI_Z	IOCFG8[1:0](8MA)	IOCFG8[2] (SLOW)	DIS
TD0	HI_Z	IOCFG9[0] (4MA)	IOCFG9[1] (SLOW)	DIS
TD1	HI_Z	IOCFG9[0] (4MA)	IOCFG9[1] (SLOW)	DIS
TD2	HI_Z	IOCFG9[0] (4MA)	IOCFG9[1] (SLOW)	DIS
TD3	HI_Z	IOCFG9[0] (4MA)	IOCFG9[1] (SLOW)	DIS
TD4	HI_Z	IOCFG9[0] (4MA)	IOCFG9[1] (SLOW)	DIS
TD5	HI_Z	IOCFG9[0] (4MA)	IOCFG9[1] (SLOW)	DIS
TD6	HI_Z	IOCFG9[0] (4MA)	IOCFG9[1] (SLOW)	DIS
TD7	HI_Z	IOCFG9[0] (4MA)	IOCFG9[1] (SLOW)	DIS
C0D0	IOCFG10[5:4](PU)	IOCFG10[1:0](8MA)	IOCFG10[2] (SLOW)	IOCFG10[3](DIS)
C0D1	IOCFG10[5:4](PU)	IOCFG10[1:0](8MA)	IOCFG10[2] (SLOW)	IOCFG10[3](DIS)
C0D2	IOCFG10[5:4](PU)	IOCFG10[1:0](8MA)	IOCFG10[2] (SLOW)	IOCFG10[3](DIS)
C0D3	IOCFG10[5:4](PU)	IOCFG10[1:0](8MA)	IOCFG10[2] (SLOW)	IOCFG10[3](DIS)
C0D4	IOCFG10[5:4](PU)	IOCFG10[1:0](8MA)	IOCFG10[2] (SLOW)	IOCFG10[3](DIS)
C0D5	IOCFG10[5:4](PU)	IOCFG10[1:0](8MA)	IOCFG10[2] (SLOW)	IOCFG10[3](DIS)
C0D6	IOCFG10[5:4](PU)	IOCFG10[1:0](8MA)	IOCFG10[2] (SLOW)	IOCFG10[3](DIS)
C0D7	IOCFG10[5:4](PU)	IOCFG10[1:0](8MA)	IOCFG10[2] (SLOW)	IOCFG10[3](DIS)
C0XSTRB	IOCFG10[5:4](PU)	IOCFG10[1:0](8MA)	IOCFG10[2] (SLOW)	IOCFG10[3](DIS)
C0XRDY	IOCFG10[5:4](PU)	IOCFG10[1:0](8MA)	IOCFG10[2] (SLOW)	IOCFG10[3](DIS)
C0XHOLD0	HI_Z	IOCFG10[1:0](8MA)	IOCFG10[2] (SLOW)	DIS
C0XHOLDI	-	-	-	-
C0IS	-	-	-	-
C1D0	IOCFG11[5:4](PU)	IOCFG11[1:0](8MA)	IOCFG11[2] (SLOW)	IOCFG11[3](DIS)

					Лист
					180
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		<i>Редук</i> 16.10.2020		38075-2	
			Подп. и дата		



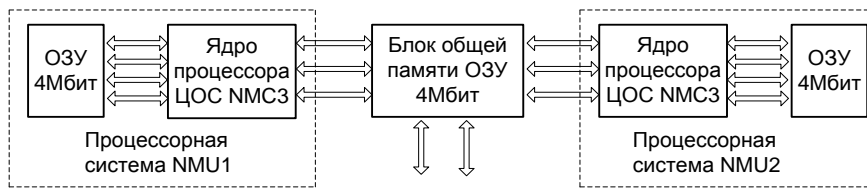
**Продолжение таблицы 1.194**

Вывод СБИС	Параметры CMOS буферов			
	P	E	SR	SMT
C1D1	IOCFG11[5:4](PU)	IOCFG11[1:0](8MA)	IOCFG11[2] (SLOW)	IOCFG11[3](DIS)
C1D2	IOCFG11[5:4](PU)	IOCFG11[1:0](8MA)	IOCFG11[2] (SLOW)	IOCFG11[3](DIS)
C1D3	IOCFG11[5:4](PU)	IOCFG11[1:0](8MA)	IOCFG11[2] (SLOW)	IOCFG11[3](DIS)
C1D4	IOCFG11[5:4](PU)	IOCFG11[1:0](8MA)	IOCFG11[2] (SLOW)	IOCFG11[3](DIS)
C1D5	IOCFG11[5:4](PU)	IOCFG11[1:0](8MA)	IOCFG11[2] (SLOW)	IOCFG11[3](DIS)
C1D6	IOCFG11[5:4](PU)	IOCFG11[1:0](8MA)	IOCFG11[2] (SLOW)	IOCFG11[3](DIS)
C1D7	IOCFG11[5:4](PU)	IOCFG11[1:0](8MA)	IOCFG11[2] (SLOW)	IOCFG11[3](DIS)
C1XSTRB	IOCFG11[5:4](PU)	IOCFG11[1:0](8MA)	IOCFG11[2] (SLOW)	IOCFG11[3](DIS)
C1XRDY	IOCFG11[5:4](PU)	IOCFG11[1:0](8MA)	IOCFG11[2] (SLOW)	IOCFG11[3](DIS)
C1XHOLD0	HI_Z	IOCFG11[1:0](8MA)	IOCFG11[2] (SLOW)	DIS
C1XHOLDI	-	-	-	-
C1IS	-	-	-	-
NRST_PON	-	-	-	-
NRST_SYS	HI_Z	IOCFG12[0] (4MA)	SLOW	DIS
REFCLK	-	-	-	-
TMODE	-	-	-	-
BOOTM0	-	-	-	-
BOOTM1	-	-	-	-
BOOTM2	-	-	-	-
BOOTM_NM	-	-	-	-
ITSTRB	-	-	-	-
WDT	HI_Z	4MA	SLOW	DIS
JTDI	-	-	-	-
JTMS	HI_Z	IOCFG12[0] (4MA)	SLOW	DIS
JTCK	-	-	-	-
JTRSTN	-	-	-	-
JTDO	HI_Z	IOCFG12[0] (4MA)	SLOW	DIS

					ЮФКВ.431268.022РЭ					Лист
										181
Изм	Лист	№ докум.	Подп.	Дата	Инв.№подл.		Подп. и дата	Взам.инв.№	Инв.№дубл.	Подп. и дата
					38075-3		<i>Редюк</i> 16.10.2020	38075-2		

### 1.6.3 Блок цифровой обработки сигналов на основе процессорных ядер с архитектурой NeuroMatrix (NMB)

Структурная схема блока цифровой обработки сигналов на основе процессорных ядер с архитектурой NeuroMatrix приведена на рисунке 1.77.

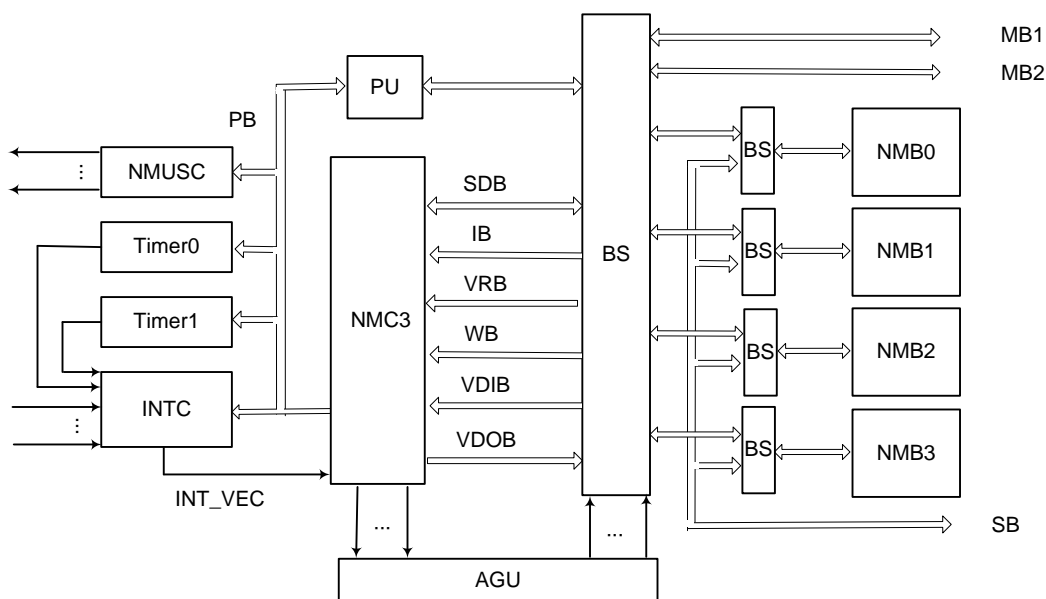


**Рисунок 1.77 – Структурная схема блока цифровой обработки сигналов на основе процессорных ядер с архитектурой NeuroMatrix**

Блок NMB состоит из блока общей памяти (SMU) и двух идентичных процессорных систем NMU1 и NMU2, содержащих процессорное ядро DSP процессора NMC3.

#### 1.6.3.1 Процессорная система NMU на базе DSP ядра NMC3

Состав процессорной системы NMU приведен на рисунке 1.78.



**Рисунок 1.78 – Структурная схема процессорной системы на базе DSP ядра NeuroMatrix Core 3**

Процессорная система на базе DSP ядра NeuroMatrix Core 3 содержит следующие функциональные узлы:

**NMC3 (NeuroMatrix Core 3)** – DSP ядро NeuroMatrix Core 3, которое представляет собой ядро высокопроизводительного векторно-матричного процессора с оригинальной динамической суперскалярной параллельной архитектурой и сверхбольшими словами команд. Обмен ядра с внешним миром осуществляется с помощью шести 64-разрядных шин: команд (IB), скалярных данных (SDB), векторных входных данных (VDIB), весов (WB), векторного регистра

					Лист
					182
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		<i>Редук</i> 16.10.2020		38075-2	
Копировал Формат А4					

(VRB) и векторных выходных данных (VDOB). Описание ядра NMC3 находится в отдельном документе: “СФ - БЛОК NMC3 Техническое описание ЮФКВ.431282.007ТО”.

**NMUSC (NMU System Controller)** – системный контроллер процессорной системы NMU.

Данный контроллер содержит программно-доступные со стороны NMC3 периферийные регистры и выполняет функции управления прерываниями другим процессорным системам NMU и ARMU и осуществляет вывод на внешние выходы тестовых сигналов.

**INTC (Interrupt Controller)** – контроллер прерываний, который формирует запрос для NMC3 на одно из следующих внешних прерываний:

- высокоприоритетное и низкоприоритетное от процессорной системы NMU;
- высокоприоритетное и низкоприоритетное от процессорной системы ARMU;
- четыре прерывания от блока DDC;
- два прерывания от блока CORB;
- шесть прерываний от блока ITU;
- четыре прерывание от блока DMAC;
- одно прерывание от блока TIMER0;
- одно прерывание от блока TIMER1;
- одно прерывание от блока PU;
- одно прерывание от блока передачи TRNSMT;
- одно прерывание для остановки программного счетчика.

а также соответствующий ему адрес-вектор прерывания (INT VEC).

**TIMER0** и **TIMER1** – два интервальных 32-разрядных таймера.

Таймеры идентичны по функциям, независимы друг от друга и предназначены для отсчета задаваемых интервалов времени для ядра NMC3. Каждый таймер содержит 32-разрядный счетчик, осуществляющий отсчет временных интервалов. Данный счетчик состоит из рабочего и теневого регистров.

Каждый из таймеров может работать как в непрерывном режиме, так и в режиме однократного запуска. Интервал счета таймера задается программно. В качестве сигнала счета выступает тактовый сигнал процессора. По достижении нулевого значения таймер формирует сигнал прерывания, который может быть обработан блоком прерываний стандартным образом.

**PU (Permutation Unit)** – блок упаковки/распаковки векторов данных. Данный блок выступает в роли сопроцессора для NMC3, и его задачей является преобразование потоковых данных в такой формат, который более удобен для обработки в NMC3 (распаковка) или для хранения в памяти (упаковка). Соответственно, применение блока PU позволяет резко повысить эффективность ядра NMC3 на таких задачах, как корреляция или фильтрация, при этом хранить коэффициенты для той же корреляции или фильтрации, а также результаты обработки в компактном виде. Блок PU аппаратно поддерживает следующие операции:

- Распаковка входного вектора в выходной с элементами заданной большей разрядности (до 64 разрядов), чем в исходном векторе, с возможностью распространения знака или нуля внутри элемента;
- Упаковка входного вектора в выходной с элементами заданной меньшей разрядности (до 1 разряда), чем в исходном векторе, с возможностью выбора любых необходимых разрядов (соседних) внутри элементов с отбрасыванием остальных;
- Преобразование входного вектора в диагональную матрицу (может использоваться для ускорения скалярного произведения векторов в ядре NMC3);
- Запись элементов входного вектора в столбцы выходной матрицы или обратное этому преобразование;
- Доступ к векторам, хранящимся в памяти, с адресацией (начальным смещением) до элемента этих векторов (вплоть до 1 разряда);
- Возможность работы с блоками данных в памяти как с циклическими буферами (вычисление адреса данных по модулю заданного числа).

Более подробно PU описан ниже.

					ЮФКВ.431268.022РЭ	Лист
						183
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редюк</i> 16.10.2020		38075-2		

**AGU (Address Generator Unit)** – блок адресных генераторов, который получает запрос на обмен данными с памятью от ядра NMC3 (начальный и конечный адрес, смещение, число обращений) и затем сам формирует адреса, освобождая от этого процессор. Благодаря 6 шинам ядра NMC3 и наличию в блоке 6 адресных генераторов возможно осуществлять до шести операций ввода-вывода за один такт.

**BS (Bus Switch)** – шинный коммутатор.

**MB (Memory Bank)** - банк памяти объемом 16К×64, который может адресоваться до 32- или 64-разрядного слова.

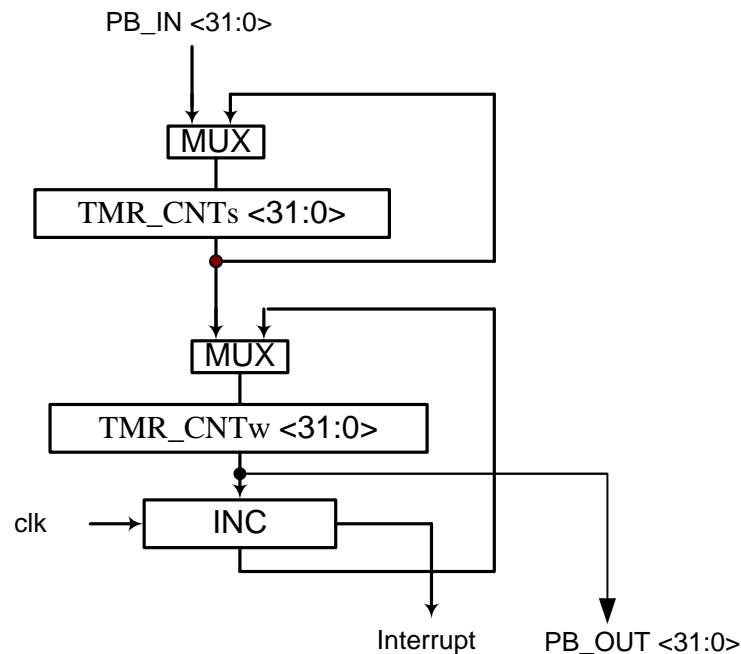
										Лист
										184
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редюк</i> 16.10.2020			38075-2					

### 1.6.3.1.1 Интервальные таймеры TIMER0 и TIMER1

Таймеры идентичны по функциям, независимы друг от друга и предназначены для отсчета интервалов времени для ядра NMC3. Таймер содержит 32-разрядный счетчик, осуществляющий отсчет временных интервалов. Данный счетчик состоит из рабочего и теневого 32-разрядных регистров, как показано на рисунке Рисунок 1.79.

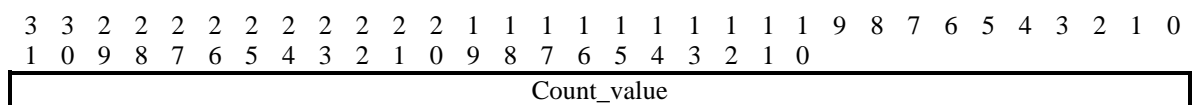
Таймер может работать как в непрерывном режиме, так и в режиме однократного запуска. Интервал счета таймера задается программно. В качестве сигнала счета выступает тактовый сигнал процессора. По достижении нулевого значения таймер формирует сигнал прерывания.

Таймер имеет следующие программно доступные регистры: рабочий регистр счетчика TMR\_CNTw(доступен на чтение), теневой регистр счетчика TMR\_CNTs (доступен на запись), регистр состояния TMR\_MODE(доступен на запись и на чтение).



**Рисунок 1.79- Структурная схема таймера**

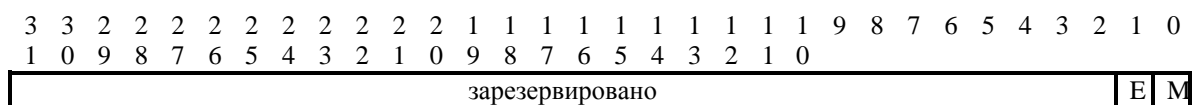
Теневой и рабочий регистр счетчика имеют одинаковый формат, показанный на рисунке Рисунок 1.80.



**Рисунок 1.80 – Регистр счетчика**

Поле **Count\_value** (разряды 31-0) задает интервал счета.

Регистр состояния, показанный на рисунке Рисунок 1.81, управляет режимом работы и запуском таймера.



**Рисунок 1.81 – Формат регистра состояния TMR\_MODE**

					Лист
					185
Изм	Лист	№ докум.	Подп.	Дата	
Инва.№подл.	Подп. и дата		Взам.инв.№	Инва.№дубл.	Подп. и дата
38075-3	<i>Редук</i> 16.10.2020		38075-2		

0-й разряд (**М**) задает режим работы таймера:

0 – режим многократного запуска;

1 – режим однократного запуска.

1-й разряд (**Е**) разрешает или запрещает работу таймера:

0 – таймер не работает;

1 – таймер работает.

В теневой регистр счетчика программно записывается значение, которое одновременно переписывается в рабочий регистр. После запуска таймера рабочий регистр счетчика будет инкрементироваться каждый процессорный такт. Когда рабочий регистр счетчика будет иметь значение 0h, происходит выдача прерывания и в рабочий регистр счетчика переписывается значение теневого регистра. Если таймер работает в режиме однократного запуска, то бит **Е** в регистре состояния сбросится в 0 и таймер остановится. Иначе таймер продолжит свою работу. В процессе работы программно можно прочитать рабочий регистр счетчика, а также остановить таймер, записав 0 в поле **Е** регистра состояния. Если после этого снова в поле **Е** записать 1, то таймер продолжит отсчет с того значения, на котором произошел останов. Таким образом, чтобы отсчитываемый временной интервал составлял:

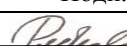
1 такт - надо записать значение FFFF\_FFFFh в теневой регистр счетчика;

2 такта - надо записать значение FFFF\_FFFEh в теневой регистр счетчика;

.....

n тактов - надо записать значение “-n” в дополнительном коде в теневой регистр счетчика.

Максимальный временной интервал  $2^{32}$  процессорных такта, для этого надо записать значение 0000\_0000h в теневой регистр счетчика.

									Лист
									186
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					







- дождаться выполнения записи предыдущей команды;
- подать команду перехода (move\_pc, read\_pc) на метку.

После повторного запуска программного счетчика (если питание не отключалось) выполнение продолжится с метки, на которую был выполнен переход.

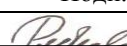
Ниже приведен пример программы для остановки программного счетчика:

```

nul; nul; nul; nul;
nul; nul; nul; nul;
pr8 = 1;
nul; nul; nul; nul;
nul; nul; nul; nul;
pc = IAG_Stopped;
nul;
<IAG_Stopped>

```

Для процессорной системы NMU предусмотрено внешнее входное прерывание STOP\_IAG, которое извещает, что выборку команд необходимо остановить. Программа обработки прерывания должна содержать программный код, описанный выше, должен быть обязательно выполнен перед отключением питания. Это гарантирует, что все отправленные запросы на чтение данных получили свои данные, и не осталось никаких данных от останавливаемого ядра.

					ЮФКВ.431268.022РЭ			Лист
								189
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		 16.10.2020		38075-2				

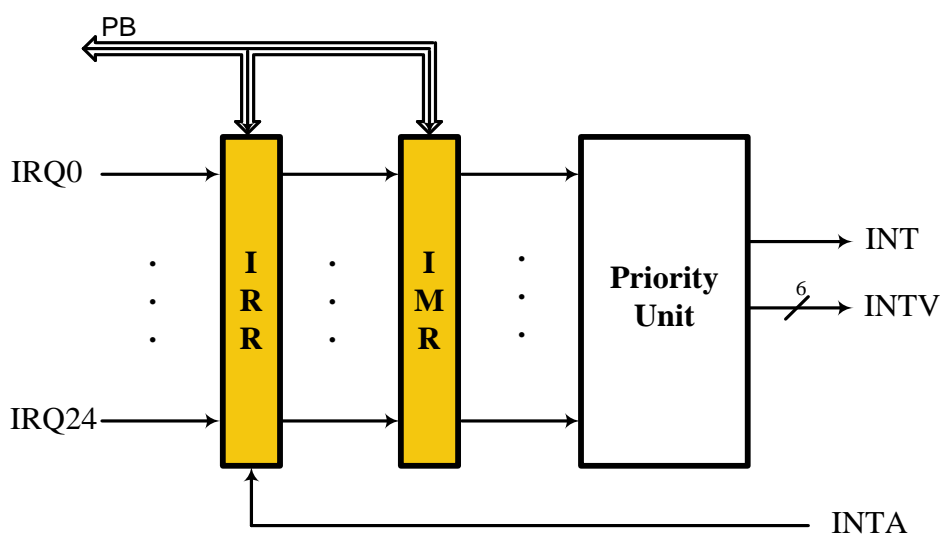
### 1.6.3.1.4 Контроллер прерываний (INTC)

Контроллер прерываний формирует запрос для ядра NMC3 на одно из следующих внешних прерываний:

- высокоприоритетное и низкоприоритетное от процессорной системы NMU;
- высокоприоритетное и низкоприоритетное от процессорной системы ARMU;
- четыре прерывания от блока DDC;
- два прерывания от блока CORB;
- шесть прерываний от блока ITU;
- четыре прерывание от блока DMAC;
- одно прерывание от блока TIMER0;
- одно прерывание от блока TIMER1;
- одно прерывание от блока PU;
- одно прерывание от блока передачи TRNSMT;
- одно прерывание для остановки программного счетчика.

Контроллер прерываний формирует соответствующий запросу адрес-вектор прерывания (INTV).

Запросы на прерывания приходят на входы блока INTC IRQ[24:0], как показано на рисунке 1.84. По положительному фронту запроса устанавливается соответствующий бит в регистре запросов **IRR**. Далее на пути сигнала стоит регистр маски **IMR**. Значение 0 в соответствующем бите разрешает прохождение сигнала, а значение 1 блокирует. Далее схема приоритетов **Priority Unit** выбирает запрос с наибольшим приоритетом, формирует запрос на прерывания для ядра NMC3 и соответствующий ему адрес-вектор прерывания. Приоритет запросов фиксированный: IRQ0 имеет наивысший приоритет, IRQ15 – наименее приоритетный запрос.



**Рисунок 1.84 – Структура контроллера прерываний**

Если сигнал **INTA** имеет активный уровень, то считается, что процессорное ядро **NMC3** зафиксировало прерывание, и соответствующий бит регистра **IRR** сбрасывается. Если сигнал **INTA** имеет неактивный уровень, то запрос на прерывание **INT** будет стоять до прихода сигнала **INTA**. При этом адрес-вектор **INTV** на выходе блока **INTC** не фиксируется, т.е. если на вход **IRQx** поступит более приоритетное прерывание, то адрес-вектор изменится и будет соответствовать более приоритетному прерыванию.

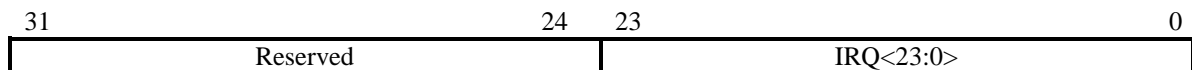
					Лист	
					190	
ЮФКВ.431268.022РЭ						
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редюк</i> 16.10.2020		38075-2		

Регистр запросов **IRR** доступен на чтение и побитовую установку/сброс, регистр маски **IMR** доступен на чтение и запись со стороны ядра **NMC3** по периферийной шине. Коды периферийных регистров приведены таблице 1.195.

**Таблица 1.195 – Коды для обращения к регистрам блока INTC (периферийные регистры для NMC3)**

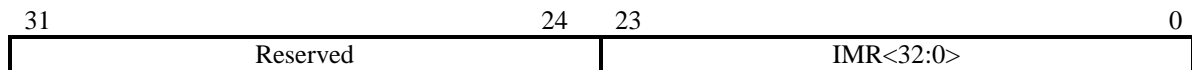
Код регистра	Регистр – источник	Регистр – приемник
	Регистровое окно 0	
110100	IMR	IMR
110101	IRR	IRRreset
110110	IRR	IRRset

Формат регистра **IRR** приведен на рисунке 1.85. Единица в соответствующем разряде означает запрос на прерывание.



**Рисунок 1.85 – Формат регистра IRR**

Формат регистра **IMR** приведен на рисунке 1.86. Единица в соответствующем разряде означает маскирование запроса (запрос не проходит), 0 – запрос не маскируется (запрос проходит).



**Рисунок 1.86 – Формат регистра IMR**

**Примечание - Запись в регистр IMR, сброс регистра IRR и т.д. осуществляется на последней ступени конвейера, а сброс регистра INTR в ядре NMC3 осуществляется на первой ступени конвейера, поэтому, если необходимо сбросить какой-либо бит INTR строго после записи/сброса IMR/IRR, необходимо прочистить конвейер. Это возможно несколькими способами, например подачей 9 команд vnul с директивой .wait или записью в PC нового значения. Пример см. ниже:**

```
.wait;
pr5 = 0ffffh; //clear all request in INT controller
vnul; vnul; vnul; vnul; vnul; vnul; vnul; vnul; vnul;
intr clear 03c0h;
```

или

```
.wait;
pr5 = 0ffffh; //clear all request in INTC
pc = INTR_CLEAR;
<INTR_CLEAR>
intr clear 03c0h;
```

Список прерываний, которые подаются на входы запросов IRQ, и соответствующий им адрес-вектор, приведен в таблице 1.196.

									Лист
									191
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
38075-3	<i>Redeal</i> 16.10.2020		38075-2						

**Таблица 1.196 – Список внешних прерываний для ядра NMC3**

№ прерывания	источник	Адрес вектор		Описание
		bin	hex	
1	INT_NMUH_IN	0_1000_0000b	80h	Самое приоритетное. Высокоприоритетное прерывание от соседнего ядра NMC.
2	INT_ARMH_IN	0_1000_1000b	88h	Высокоприоритетное прерывание от ARM-а
3	INT_TIMER0	0_1001_0000b	90h	Прерывание от таймера 0
4	INT_MTD0	0_1001_1000b	98h	Прерывание от основного временного интервала канала 0
5	INT_MTD1	0_1010_0000b	A0h	Прерывание от основного временного интервала канала 1
6	DDC_CH0_HIGH	0_1010_1000b	A8h	Высокоприоритетное прерывание от канала предварительной обработки DDC0
7	DDC_CH1_HIGH	0_1011_0000b	B0h	Высокоприоритетное прерывание от канала предварительной обработки DDC1
8	INT_AUX0	0_1011_1000b	B8h	Прерывание от блока интервальных таймеров (ITU) по дополнительному временному интервалу канала 0
9	INT_AUX1	0_1100_0000b	C0h	Прерывание от блока интервальных таймеров (ITU) по дополнительному временному интервалу канала 1
10	INT_DMACH_MM0	0_1100_1000b	C8h	Прерывания от блока DMACH от канала память-память 0
11	INT_DMACH_MM1	0_1101_0000b	D0h	Прерывания от блока DMACH от канала память-память 1
12	INT_START0	0_1101_1000b	D8h	Прерывание от блока интервальных таймеров (ITU) по запуску передатчика 0
13	INT_START1	0_1110_0000b	E0h	Прерывание от блока интервальных таймеров (ITU) по запуску передатчика 1
14	INT_DMACH_CP0	0_1110_1000b	E8h	прерывание от коммуникационного порта CP0
15	INT_DMACH_CP1	0_1111_0000b	F0h	прерывание от коммуникационного порта CP1
16	DDC_CH0_LOW	0_1111_1000b	F8h	Низкоприоритетное прерывание от канала предварительной обработки DDC0
17	DDC_CH1_LOW	1_0000_0000b	100h	Низкоприоритетное прерывание от канала предварительной обработки DDC1
18	INT_TIMER1	1_0000_1000b	108h	Прерывание от таймера 1
19	INT_TRNSMT	1_0001_0000b	110h	Прерывание от блока передатчика
20	INT_COR_CH0	1_0001_1000b	118h	Прерывание от блока корреляторов канал 0
21	INT_COR_CH1	1_0010_0000b	120h	Прерывание от блока корреляторов канал 1
22	INT_PU	1_0010_1000b	128h	Прерывание по окончании работы упаковщика
23	INT_NMUL_IN	1_0011_0000b	130h	Низкоприоритетное прерывание от соседнего ядра NMC
24	INT_ARML_IN	1_0011_1000b	138h	Низкоприоритетное прерывание от ARM-а
25	STOP_IAG	1_0100_0000b	140h	Самое не приоритетное. Прерывание для остановки счетчика команд

					ЮФКВ.431268.022РЭ					Лист
										192
Изм	Лист	№ докум.	Подп.	Дата	Инв.№подл.		Подп. и дата	Взам.инв.№	Инв.№дубл.	Подп. и дата
					38075-3	<i>Редюк</i> 16.10.2020		38075-2		

### 1.6.3.1.5 PU (Permutation Unit) – блок упаковки/распаковки векторов данных

Для преобразования потоков данных в формат, удобный для обработки в NMC3, или для хранения в памяти, потоки данных в первом случае распаковываются, а во втором – упаковываются. Этим занимается устройство упаковки/распаковки потоков данных PU (Permutation Unit). Использование PU позволяет резко повысить эффективность NMC3 на таких задачах, как корреляция и фильтрация, при этом хранить коэффициенты для корреляции и фильтрации, а также результаты обработки в компактном виде.

Устройство выполняет распаковку и упаковку потоков данных, при этом элемент входных и выходных данных может иметь размер от 1 до 64 разрядов, результаты могут выдаваться, начиная как с младших элементов, так и со старших. Предусмотрено преобразование матрицы в вектор и распаковка вектора с преобразованием в матрицу.

Блок PU может получать данные от ядра NMC3 или самостоятельно формировать адрес для обращения в память за данными или для записи результата.

Настройка блока осуществляется ядром NMC3 путем записи конфигурационных регистров PU.

#### 1.6.3.1.5.1 Аппаратно поддерживаемые операции

Блок PU обрабатывает длинные последовательности двоичных данных. Элементы данных в последовательности имеют одинаковый размер в диапазоне от 1 до 64 бит. Каждая последовательность данных хранится упакованной в 64-разрядных словах, размещаемых в последовательных ячейках памяти.

Блок PU выполняет обмен с памятью 64-разрядными машинными словами.

Обрабатываемые данные могут восприниматься как числа в дополнительном коде или простые наборы бит. Последовательности данных могут образовывать вектора и/или матрицы.

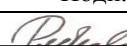
Вектор представляет собой несколько последовательных данных.

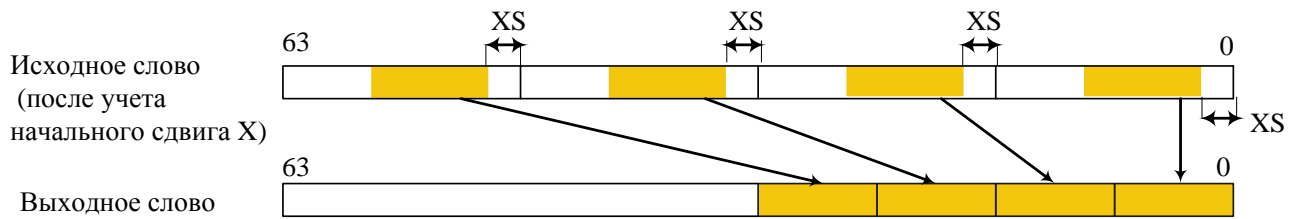
Матрица – массив (несколько) векторов.

**Упаковка входных данных с возможностью выбора любых необходимых разрядов с отбрасыванием остальных.** При упаковке настраиваются следующие параметры:

- X – величина, на которую сначала надо сдвинуть весь поток данных ( $63 \geq X \geq 0$ );
- N – разрядность входных неупакованных данных (Возможные значения N: 2, 4, 8, 16, 32, 64);
- XS – количество разрядов от начала данного (самого младшего разряда) до первого упаковываемого разряда;
- M – разрядность выходных упакованных данных ( $N > M$ . Возможные значения M: 2, 4, 8, 16, 32, 64);
- Использовать при упаковке насыщение или нет. При этом числа считаются как числа, представленные в дополнительном коде. Если насыщение включено, и в старших отбрасываемых разрядах были значащие биты, то результатом операции насыщения будет максимальное положительное (011...1b) число или максимальное отрицательное (100...0b) число. Если же в старших отбрасываемых разрядах не было значащих бит, то насыщения не происходит.

Пример упаковки без насыщения, N=16, M=8, XS=2 представлен на рисунке 1.87.

										Лист
										193
Изм	Лист	№ докум.	Подп.	Дата						
Инва.№подл.	Подп. и дата			Взам.инв.№	Инва.№дубл.	Подп. и дата				
38075-3	 16.10.2020			38075-2						

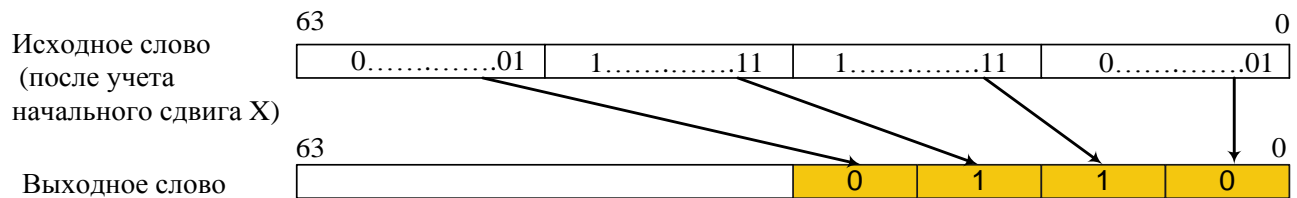


**Рисунок 1.87 – Упаковка без насыщения**

**Упаковка в слова с одноразрядными данными.** При данной операции входные данные должны быть либо “1”, либо “-1”. При этом единица в выходном слове кодирует значение “-1”, а ноль – “1”. При данной упаковке настраиваются следующие параметры:

- N – разрядность входных неупакованных данных (Возможные значения N: 2, 4, 8, 16, 32, 64),
- X – величина, на которую сначала надо сдвинуть весь поток данных, ( $63 \geq X \geq 0$ ).

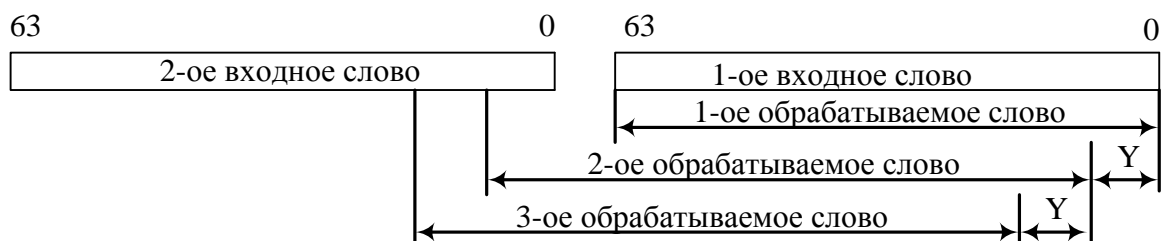
Пример упаковки в вектора с одноразрядными данными при N = 16 приведен на рисунке 1.88.



**Рисунок 1.88 – Упаковка в вектора с одноразрядными данными**

**Распаковка.** Распаковка осуществляется распространением знакового разряда или нуля в старших разрядах до необходимой разрядности. При распаковке настраиваются следующие параметры:

- X – величина, на которую сначала надо сдвинуть весь поток данных, ( $63 \geq X \geq 0$ ),
- N - разрядность входных упакованных данных (Возможные значения N: 2, 4, 8, 16, 32, 64);
- M – разрядность выходных распакованных данных ( $N \leq M$ , возможные значения M: 2, 4, 8, 16, 32, 64),
- Y – шаг, на который надо сдвинуть входной поток, для получения очередного слова для дальнейшей обработки. Более подробное объяснение данного параметра показано на рисунке 1.89.
- Распространять знаковый разряд или распространять ноль.

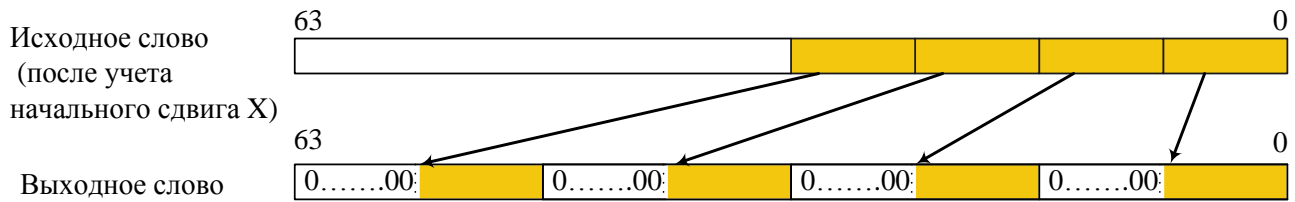


**Рисунок 1.89 - Получение слов для обработки из входного потока данных**

					ЮФКВ.431268.022РЭ					Лист
										194
Изм	Лист	№ докум.	Подп.	Дата	Взам.инв.№		Инав.№дубл.	Подп. и дата		
					38075-2			16.10.2020		
Инав.№подл.		Подп. и дата			Взам.инв.№		Инав.№дубл.		Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020			38075-2					

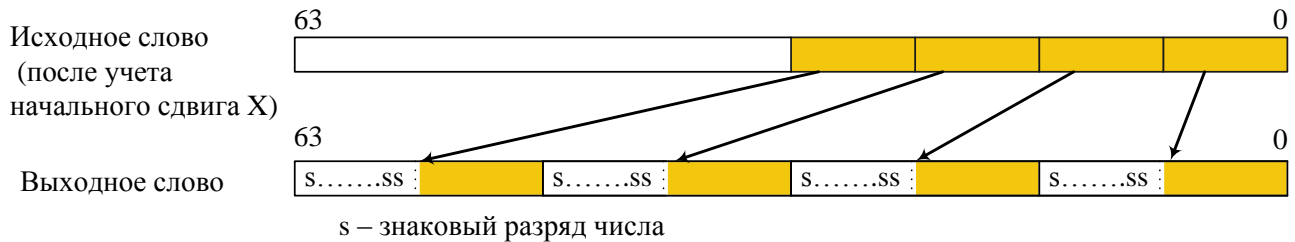


Пример распаковки для  $N = 8$ ,  $M = 16$ , распространение нулем представлен на рисунке 1.90.



**Рисунок 1.90 – Распаковка  $N=8$ ,  $M=16$ , распространение нулем**

Пример распаковки для  $N = 8$ ,  $M = 16$ , распространение знаком представлен на рисунке 1.91.

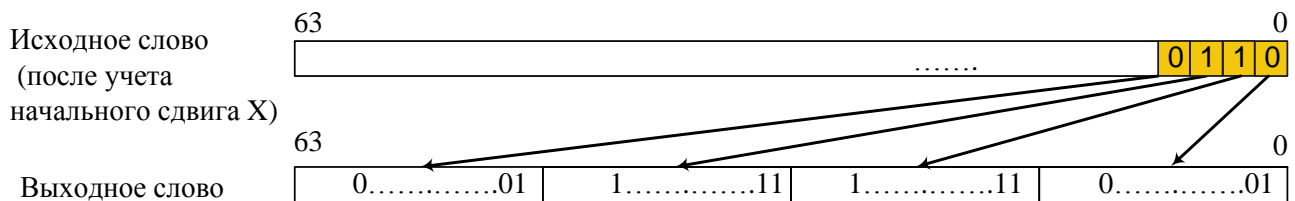


**Рисунок 1.91 – Распаковка  $N=8$ ,  $M=16$ , распространение знаком**

**Распаковка одноразрядных данных.** При данной операции единица во входном слове кодирует значение – “-1”, а ноль – “1”. При данной распаковке настраиваются следующие параметры:

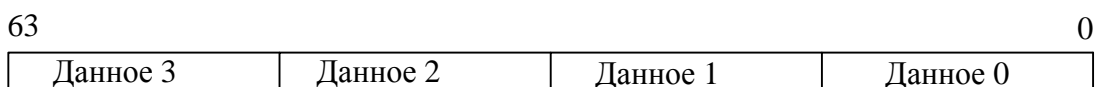
- $M$  – разрядность выходных неупакованных данных (Возможные значения  $M$ : 2, 4, 8, 16, 32, 64);
- $X$  – величина, на которую сначала надо сдвинуть весь поток данных, ( $63 \geq X \geq 0$ );
- $Y$  – шаг, на который надо сдвинуть входной поток для получения очередного слова для дальнейшей обработки ( $64 \geq Y \geq 1$ ).

Пример распаковки входного слова одноразрядных данных с  $M = 16$  представлен на рисунке 1.92.



**Рисунок 1.92 – Распаковка входного слова одноразрядных данных**

**Порядок выдачи данных в выходном слове.** Результат может быть выдан, начиная с младших элементов или начиная со старших элементов в выходном слове, как показано на рисунках 1.93 и 1.94.



**Рисунок 1.93 – Выдача слова, начиная с младших элементов**

					ЮФКВ.431268.022РЭ					Лист
										195
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020			38075-2					

Данное 0	Данное 1	Данное 2	Данное 3
----------	----------	----------	----------

**Рисунок 1.94 – Выдача вектора, начиная со старших элементов**

**Операции с матрицами.** Получение диагональной матрицы. С помощью PU можно из входного вектора получить матрицу, элементы матрицы можно расположить как в главной, так и в побочной диагонали. На рисунке 1.95 приведен пример для вектора из четырех элементов. Данное действие выполняется вместе с режимом распаковки.

Входное слово	63					0
		Данное 3	Данное 2	Данное 1	Данное 0	
В выдаваемой матрице элементы находятся на главной диагонали	63					0
		Данное 0				
			Данное 1			
				Данное 2		
					Данное 3	
В выдаваемой матрице элементы находятся на побочной диагонали	63					0
					Данное 0	
			Данное 1			
		Данное 2				
		Данное 3				

**Рисунок 1.95 – Получение диагональной матрицы**

**Преобразование диагональной матрицы в вектор.** Данное действие является обратным к описанному выше действию.

**Получение матрицы, в которой элементы находятся в определенном столбце.** С помощью PU из слова, состоящего из элементов размером M, можно получить матрицу, в которой элементы исходного слова стоят в определенном столбце. При этом задается номер столбца, в котором будут размещаться элементы, как показано на рисунке 1.96. Данное действие выполняется вместе с режимом распаковки.

Входное слово	63					0
		Данное 3	Данное 2	Данное 1	Данное 0	
В выдаваемой матрице элементы в столбце	63					0
				Данное 0		
				Данное 1		
				Данное 2		
				Данное 3		

**Рисунок 1.96 – Размещение входного слова в первом столбце матрицы**

**Преобразование матрицы, в которой элементы находятся в определенном столбце, в вектор.** Данное действие является обратным к описанному выше действию. Данное действие выполняется при помощи обычной упаковки с N=64.

#### 1.6.3.1.5.2 Режимы и порядок работы PU

Блок PU может получать данные от ядра NMC3 по шине PU\_SB или самостоятельно формировать адрес для обращения в память за данными по шине PU\_MB. Для передачи дан-

					ЮФКВ.431268.022РЭ			Лист
								196
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
38075-3		<i>Редук</i> 16.10.2020		38075-2				

ных от ядра NMC3 к PU в адресном пространстве NMC3 выделен специальный адрес 20001h. При записи данных по этому адресу скалярными или векторными командами данные будут переданы в блок PU для обработки. Запись скалярными командам должна производиться 64-разрядными словами (регистровыми парами). Результат обработки может быть считан ядром NMC3 напрямую из блока PU по шине PU\_SB или PU может самостоятельно формировать адрес для записи результата в память по шине PU\_MB. Для чтения данных с выхода PU ядро NMC3 использует специально выделенный адрес 20000h. При чтении данных по этому адресу скалярными или векторными командами данные будут считаны из блока PU. Чтение скалярными командами должно производиться 64-разрядными словами (регистровыми парами). Возможны следующие режимы работы блока PU:

- Блок PU получает данные от ядра NMC3 по шине PU\_SB[63:0] и записывает результат обработки в память по шине PU\_MB;
- Блок PU забирает данные из памяти по шине PU\_MB[63:0] и передает данные по запросу от NMC3 по шине PU\_SB[63:0];
- Блок PU получает данные по шине PU\_SB[63:0] и передает данные по запросу от NMC3 по шине PU\_SB[63:0];
- Блок PU не работает.

Предусмотрен следующий порядок работы с блоком PU:

- Настройка конфигурации путем записи в конфигурационные регистры PU процессорным ядром NMC3;
- Запуск блока PU;
- Передача и/или получение данных с помощью команд записи и/или чтения данных ядра NMC3. При этом количество читаемых и записываемых данных должно строго соответствовать заданным настройкам регистров CNT\_IN и CNT\_OUT;
- Обработка прерывания от устройства. После того, как блок PU заканчивает работу, происходит выдача прерывания. Это говорит о том, что блок готов к настройке на обработку следующего пакета данных.

После системного сброса блок PU переходит в состояние “Блок PU не работает” и находится в этом состоянии до момента программного изменения поля, отвечающего за режим работы. После записи в это поле значения, отличного от 0, блок PU начинает работу в соответствии с тем режимом, который был записан, и прочими настройками, заданными в конфигурационных регистрах.

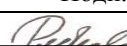
#### 1.6.3.1.5.3 Конфигурационные регистры

**Таблица 1.197 – Коды регистров блока PU (периферийные регистры для NMC3)**

Код регистра	Регистр – приемник
	Регистровое окно 1
110000	PUR0
110001	PUR1
111000	PUR2
111001	PUR3
111010	PUR4
111011	PUR5
111100	PUR6
111101	PUR7
111110	PUR8
111111	PUR9

Регистры блока **PU** доступны *только для записи* как периферийные регистры ядра **NMC3**. Коды регистров блока **PU** приведены в таблице 1.197. Конфигурационные регистры можно разделить на три группы.

Первая группа регистров содержит код операции. Группа состоит из регистров PUR8, PUR9.

									Лист
									197
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020		38075-2						



- 5 разряд (**BIT**) определяет тип распаковки/упаковки:  
 0 – обычная распаковка/упаковка,  
 1 – распаковка/упаковка битовых данных.
- 6 разряд (**MSB**) определяет положение элементов в выходном векторе:  
 0 – выдача вектора, начиная с младших элементов  
 1 – выдача вектора, начиная со старших элементов
- 7 разряд (**MATIN**) определяет тип данных на входе PU:  
 0 – на входе PU вектор данных,  
 1 – на входе PU матрица данных.
- 8 разряд (**MATOUT**) определяет тип данных на выходе PU для распаковки. Для упаковки данный бит должен быть нулем.  
 0 – на выходе PU вектор данных,  
 1 – на выходе PU матрица данных.
- 9 разряд (**DIAG**). Данное поле определяет тип матрицы на входе или выходе. Имеет значение:  
 0 – получение побочной диагонали,  
 1 – получение главной диагонали.
- 10 разряд (**COL**). Выдача столбца матрицы:  
 0 – нет преобразования данных в столбец матрицы,  
 1 – есть преобразование данных в столбец матрицы.
- Поле **COLNUM** (16-11 разряды) – номер столбца матрицы, в который надо записать элементы; если в столбце больше одного разряда, то это номер младшего разряда столбца.
- Поле **SHIFT** (22 – 17 разряды) определяет начальный сдвиг. При распаковке это величина X, при упаковке это сумма X+Xs
- Поле **Xs** (28 – 23 разряды) – величина Xs при упаковке, при распаковке следует записать 0. Значение поля Xs не может быть больше значения поля SHIFT.

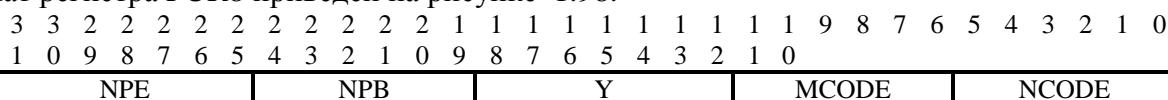
Возможные режимы работы устройства и соответствующие им настройки приведены в таблице 1.198. Все другие сочетания значений являются запрещенными.

**Таблица 1.198 – Список операций блока PU**

Тип операции \ управляющее поле	PACK	BIT	MATIN	MATOUT	DIAG	COL
Распаковка/переупаковка	0	0/1	0	0	x	x
Распаковка с получением элементов в главной диагонали матрицы	0	0/1	0	1	1	0
Распаковка с получением элементов в побочной диагонали матрицы	0	0/1	0	1	0	0
Распаковка с получением элементов в столбце матрицы	0	0/1	0	1	x	1
Преобразование матрицы с элементами в главной диагонали в вектор	0	0	1	0	1	0
Преобразование матрицы с элементами в побочной диагонали в вектор	0	0	1	0	0	0
Упаковка	1	0/1	0	0	x	x

x – значение поля не оказывает влияния на результат.

**Регистр PUR8.** Регистр доступен на запись со стороны ядра NMC3. Для NMC3 регистр PUR8 является периферийным в регистровом окне 1 и доступен по адресу 111110b (pr14). Формат регистра PUR8 приведен на рисунке 1.98.



**Рисунок 1.98 – Формат регистра PUR8**

					ЮФКВ.431268.022РЭ					Лист	
										199	
Изм	Лист	№ докум.	Подп.	Дата	Инв.№подл.		Подп. и дата	Взам.инв.№		Инв.№дубл.	Подп. и дата
					38075-3		<i>Редук</i> 16.10.2020	38075-2			

Поле **NCODE** (5 – 0 разряды). Задаёт разрядность входных данных, возможные значения поля **NCODE**:

- 0 – разрядность входных данных 1 бит;
- 1 – разрядность входных данных 2 бит;
- 2 – разрядность входных данных 4 бит;
- 4 – разрядность входных данных 8 бит;
- 8 – разрядность входных данных 16 бит;
- 16 – разрядность входных данных 32 бит;
- 32 – разрядность входных данных 64 бит;

При подаче на вход одnorазрядных элементов **NCODE** = 0 и **BIT** = 1.

Поле **MCODE** (11 – 6 разряды). Задаёт разрядность выходных данных, возможные значения поля **MCODE**:

- 0 – разрядность выходных данных 1 бит;
- 1 – разрядность выходных данных 2 бит;
- 2 – разрядность выходных данных 4 бит;
- 4 – разрядность выходных данных 8 бит;
- 8 – разрядность выходных данных 16 бит;
- 16 – разрядность выходных данных 32 бит;
- 32 – разрядность выходных данных 64 бит;

При выдаче одnorазрядных элементов **M** = 0 и **BIT** = 1.

Поле **Y** (18 – 12 разряды). Шаг, на который надо сдвинуть входной поток для получения очередного слова для дальнейшей обработки, при распаковке  $Y = m \cdot N$  где  $m = 1, 2, \dots, 64/N$ , в остальных случаях  $Y = 64$ . Значение поля **Y** не может быть равно 0.

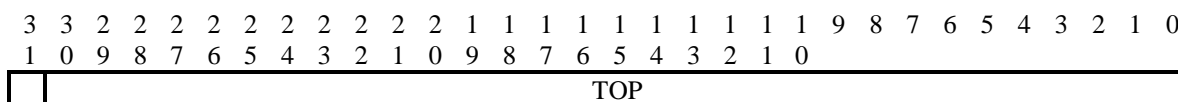
Поле **NPB** (24 – 19 разряды). Значение, которое вычисляется следующим образом:

- при упаковке –  $64 \cdot M/N$ ,
- при распаковке –  $64 \cdot N/M$ .

Поле **NPE** (31-25 разряды) Значение, которое вычисляется:

- при упаковке –  $N/M$
- при распаковке – 0.

**Регистр PUR7**. Регистр доступен на запись со стороны ядра NMC3. Для NMC3 регистр PUR7 является периферийным в регистровом окне 1 и доступен по адресу 111101b (pr13). Формат регистра PUR7 приведен на рисунке 1.99.

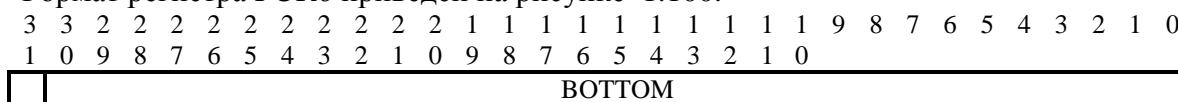


**Рисунок 1.99 – Формат регистра PUR7**

Поле **TOP** (30-0 разряды) содержит сдвинутое на один бит в сторону младшего разряда значение максимального адреса при обращении к памяти по шине PU\_MB (т.е. разряды адреса с 31 по 1). Нулевой разряд адреса считается равным 0.

**Регистр PUR6**. Регистр доступен на запись со стороны ядра NMC3. Для NMC3 регистр PUR6 является периферийным в регистровом окне 1 и доступен по адресу 111100b (pr12)

Формат регистра PUR6 приведен на рисунке 1.100.



**Рисунок 1.100 – Формат регистра PUR6**

					Лист
					200
Изм	Лист	№ докум.	Подп.	Дата	
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата
38075-3	16.10.2020		38075-2		

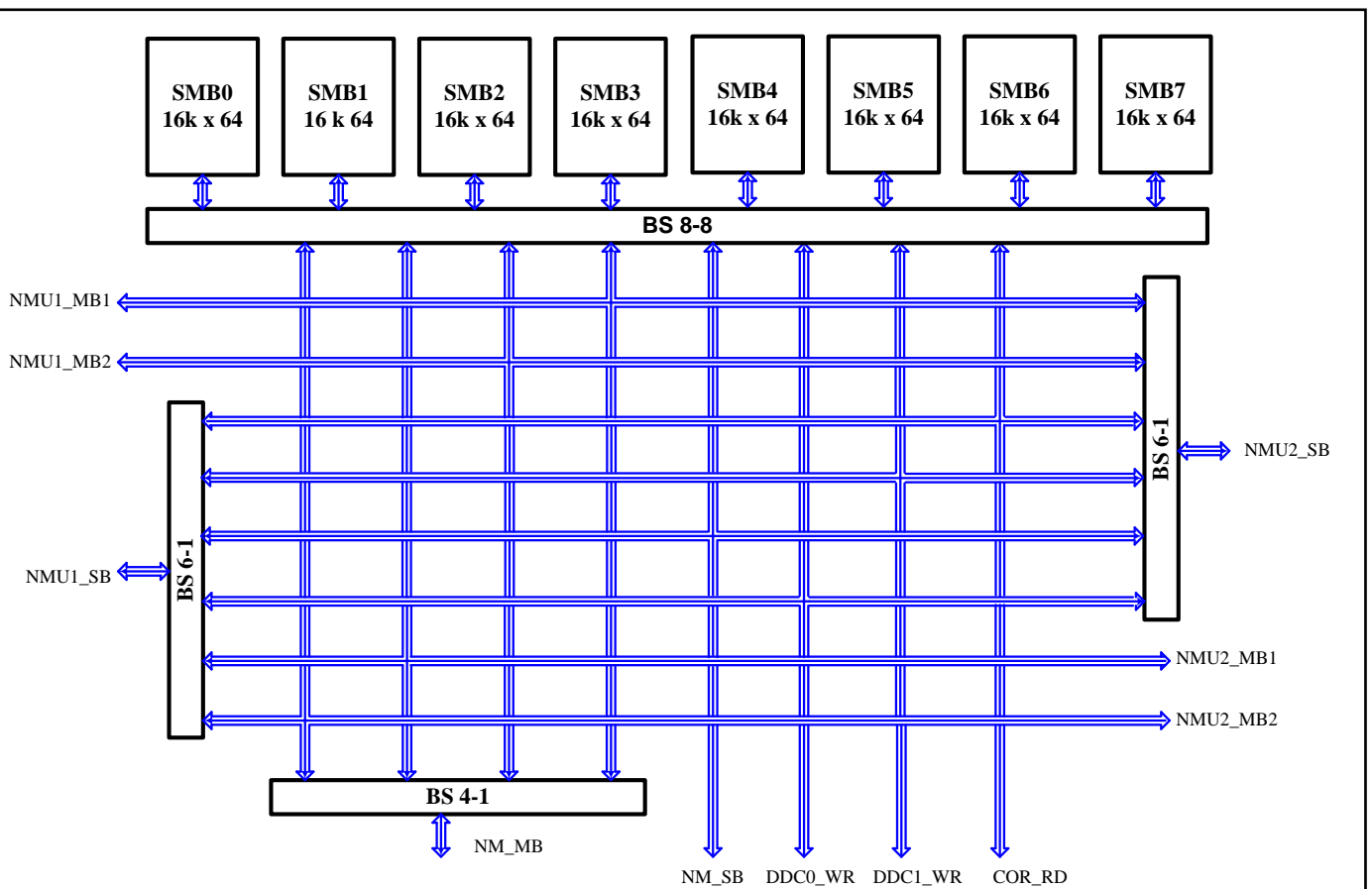












**Рисунок 1.113 - Структурная схема системы общей памяти (SMU)**

Система общей памяти может работать на частоте до 512 МГц и содержит следующие функциональные узлы:

**BS (Bus Switch)** – шинный коммутатор.

**SMB (Shared Memory Bank)** - банк памяти объемом 16К×64, который может адресоваться до 32- или 64-разрядного слова.

					ЮФКВ.431268.022РЭ			Лист
								204
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2				

## 1.6.4 Блок формирования временных шкал и синхронизации с внешними событиями (ITU)

Блок ITU предназначен для формирования шкалы реального времени и формирования временных интервалов (основного и дополнительного). Данный блок работает на тактовой частоте ADC\_CLK.

### 1.6.4.1 Принцип работы блока ITU

Блок ITU состоит из счетчика реального времени со схемой формирования запуска каналов передатчика и блока формирования временных интервалов. Структурная схема счетчика реального времени со схемой формирования запуска каналов передатчика приведена на рисунке 1.114.

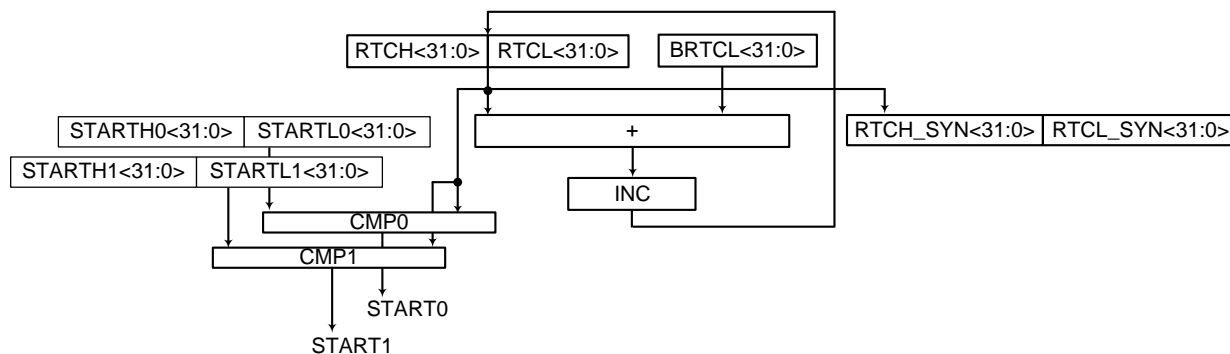


Рисунок 1.114 - Структурная схема блока ITU

Счетчик реального времени состоит из регистров RTCH и RTCL, которые образуют 64-х разрядный счетчик (RTCH формируют старшие разряды счетчика, RTCL формируют младшие разряды счетчика), инкремент которого происходит в каждом такте тактового сигнала ADC\_CLK. Для коррекции счетчика используется регистр BRTC. После программной записи значения коррекции в данный регистр, происходит однократное сложение записанного значения с текущим значением счетчика. Значение для коррекции следует воспринимать как 32-разрядное число со знаком в дополнительном коде.

Для формирования сигналов запуска каналов передатчика используются регистры STARTH0, STARTL0 для запуска канала 0 передатчика, STARTH1, STARTL1 для запуска канала 1 передатчика. При совпадении счетчика реального времени с записанным значением в регистрах STARTH, STARTL происходит формирование сигнала запуска.

Регистры RTCH\_SYN и RTCL\_SYN служат для синхронизации с внешним событием (процедура будет описана ниже).

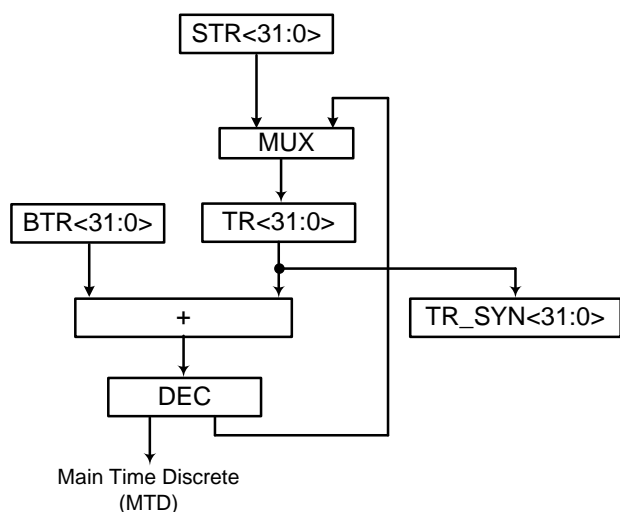
Значение регистра RTCL передается в блок каналов предварительной обработки для формирования информационного заголовка.

Блок ITU содержит две схемы формирования временных интервалов и два интервальных счетчика, сигналы которых подаются на каналы предварительной обработки (одна метка подается на канал 0, другая на канал 1).

Структурная схема одного блока формирования временных интервалов приведена на рисунке 1.115. Величина временного интервала программно задается в 32-разрядном теневом регистре STR. Каждый такт содержимое рабочего регистра TR декрементируется. Когда значение TR достигнет нуля, формируется метка основного временного интервала MTD и происходит перезапись значения из регистра STR в регистр TR. Значение 0 регистра STR соответствует формированию метки в каждом такте, значение FFFF\_FFFFh - формирование метки каждые  $2^{32}$  тактов. Для коррекции значения регистра TR используется регистр BTR. После программной записи значения коррекции в данный регистр, происходит однократное сложение запи-

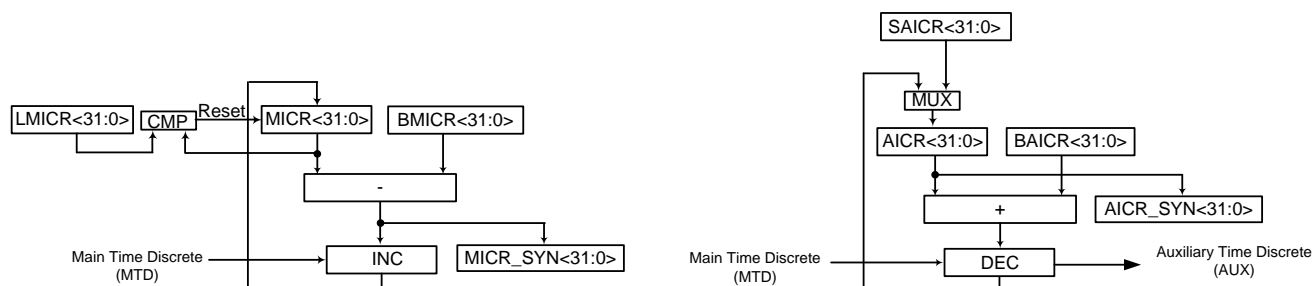
					Лист
					205
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		16.10.2020		38075-2	

санного значения с текущим значением счетчика. Значение для коррекции следует воспринимать как 32-разрядное положительное число. Результат коррекции имеет увеличенную разрядность, на случай если в процессе коррекции случится переполнение. При этом повторную коррекцию можно сделать только после того как дополнительный разряд обнулится в процессе работы. Статус разрешения на повторную коррекцию содержится в регистре CNTRL. Запись в регистр BTR при запрещенной коррекции проигнорирует эту запись.



**Рисунок 1.115 - Структурная схема формирования временных интервалов**

Сигнал основного интервала времени подается на интервальный счетчик. Структурная схема интервального счетчика представлена на рисунке 1.116.



**Рисунок 1.116 - Структурная схема интервального счетчика**

Интервальный счетчик состоит из основного и вспомогательного. Основной счетчик осуществляет циклический счет основных временных интервалов. Его регистр **MICR (Main Interval Count Register)** доступен программисту по чтению и по записи. По сигналу системного сброса счетчик принимает значение 0h. Другой программно-доступный регистр - **LMICR (Last Main Interval Count Register)** – служит для обнуления **MICR** при достижении им заданного значения. После системного сброса содержимое **LMICR** равно всем единицам (FFFF\_FFFh), и данное значение не влияет на работу **MICR**. Для коррекции счетчика используется регистр **BMICR**. После программной записи значения коррекции в данный регистр, происходит однократное **вычитание** записанного значения из текущего значения счетчика. Значение для коррекции следует воспринимать как 32-разрядное положительное число. Результат коррекции имеет увеличенную разрядность, на случай, если в процессе коррекции получится отрицательное число. При этом повторную коррекцию можно сделать только после достижения положительного значения с учетом увеличенной разрядности. Статус разрешения на повторную коррекцию содержится в регистре CNTRL. Запись в регистр **BMICR** при запрещенной коррекции проигнорирует эту запись.

					ЮФКВ.431268.022РЭ		Лист
							206
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редюк</i> 16.10.2020		38075-2			

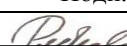
Дополнительный счетчик осуществляет формирование дополнительного временного интервала – **Auxiliary Time Discrete** для вторичной обработки информации. Каждый основной интервал времени содержимое рабочего регистра **AICR** декрементируется, когда значение **AICR** достигнет нуля, формируется сигнал **Auxiliary Time Discrete**. Для коррекции счетчика используется регистр **BAICR**. После программной записи значения коррекции в данный регистр, происходит однократное *сложение* записанного значения с текущим значением счетчика. Значение для коррекции следует воспринимать как 32-разрядное положительное число. Результат коррекции имеет увеличенную разрядность, на случай если в процессе коррекции случится переполнение. При этом повторяю коррекцию можно сделать только после того как дополнительный разряд обнулится в процессе работы. Статус разрешения на повторную коррекцию содержится в регистре **CNTRL**. Запись в регистр **BAICR** при запрещенной коррекции игнорирует эту запись.

При формировании дополнительного временного интервала формируется сигнал запроса на прерывание по дополнительному временному интервалу **INT\_AUX\_ITU**, который поступает на входы контроллеров внешних прерываний процессорных систем **NMU0**, **NMU1** и **ARMU**.

Для синхронизации нескольких микросхем по положительному фронту внешнего сигнала **ITSTROB** текущее состояние регистров счетчика реального времени и интервальных счетчиков записываются в регистры синхронизации (в названии регистра постфикс **\_SYN**), которые программно доступны по чтению. После анализа этих регистров возможна корректировка регистров при помощи регистров коррекции (**BTR**, **BRTCL**, **BMICR**, **BAICR**). Кроме того, в этот же момент взводится бит **F** в регистре **SYNR**, который программно доступен на чтение и обнуляется после чтения любого регистра синхронизации (в названии регистра постфикс **\_SYN**).

#### 1.6.4.2 Конфигурационные регистры блока ITU

Управление блоком **ITU** может осуществляться процессорной системой **NMU1**, **NMU2** или процессорной системой **ARMU**. Чтение и запись конфигурационных регистров блока **ITU** производится скалярными командами ввода/вывода и равносильно чтению и записи в определенные ячейки памяти. Адреса регистров блока **ITU** для процессорной системы **NMU1** и **NMU2** совпадают и приведены в таблице 1.199.

										Лист
										207
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	 16.10.2020			38075-2						

**Таблица 1.199 – Адреса регистров блока ITU в адресном пространстве NMU1 и NMU2**

	источник	Адрес вектор в пространстве NMU, hex	Адрес вектор в пространстве ARMU, hex	Состояние после системного сброса	Регистр доступен на	
					Чтение	Запись
1	RTCL	000C 8000	0032_0000	0000_0000	+	+
2	RTCH	000C 8002	0032_0008	0000_0000	+	+
3	BRTCL	000C 8004	0032_0010	0000_0000		+
4	RTCH_SYN	000C 8040	0032_0100	не определено	+	
5	RTCL_SYN	000C 8042	0032_0108	не определено	+	
6	STARTL0	000C 8006	0032_0018	не определено	+	+
7	STARTH0	000C 8008	0032_0020	не определено	+	+
8	STARTL1	000C 800A	0032_0028	не определено	+	+
9	STARTH1	000C 800C	0032_0030	не определено	+	+
10	STR0	000C 8010	0032_0040	0001_F3FF	+	+
11	TR0	000C 8012	0032_0048	0000_0000	+	+
12	BTR0	000C 8014	0032_0050	0000_0000		+
13	TR0_SYN	000C 8044	0032_0110	не определено	+	
14	MICR0	000C 8016	0032_0058	0000_0000	+	+
15	LMICR0	000C 8018	0032_0060	FFFF_FFFF	+	+
16	BMICR0	000C 801A	0032_0068	0000_0000		+
17	MICR0_SYN	000C 8046	0032_0118	не определено	+	
18	SAICR0	000C 801C	0032_0070	0000_03E7	+	+
19	AICR0	000C 801E	0032_0078	0000_0000	+	+
20	BAICR0	000C 8020	0032_0080	0000_0000		+
21	AICR0_SYN	000C 8048	0032_0120	не определено	+	
22	STR1	000C 8030	0032_00C0	0001_F3FF	+	+
23	TR1	000C 8032	0032_00C8	0000_0000	+	+
24	BTR1	000C 8034	0032_00D0	0000_0000		+
25	TR1_SYN	000C 804A	0032_0128	не определено	+	
26	MICR1	000C 8036	0032_00D8	0000_0000	+	+
27	LMICR1	000C 8038	0032_00E0	FFFF_FFFF	+	+
28	BMICR1	000C 803A	0032_00E8	0000_0000		+
29	MICR1_SYN	000C 804C	0032_0130	не определено	+	
30	SAICR1	000C 803C	0032_00F0	0000_03E7	+	+
31	AICR1	000C 803E	0032_00F8	0000_0000	+	+
32	BAICR1	000C 8022	0032_0088	0000_0000		+
33	AICR1_SYN	000C 804E	0032_0138	не определено	+	
34	SYNR	000C 8054	0032_0150	0000_0000	+	
35	CNTRrst	000C 8050	0032_0140	0000_0909	+	+
36	CNTRset	000C 8052	0032_0148		+	+

Регистры **RTCL**, **RTCH** доступны на запись и на чтение. Регистры образуют 64-разрядный счетчик, инкремент которого осуществляется в каждом такте. Регистр **RTCH** содержит старшие 32 бита счетчика, регистр **RTCL** содержит младшие 32 бита счетчика.

Регистры **BRTCL**, **BTR0**, **BTR1**, **BMICR0**, **BMICR1**, **BAICR0**, **BAICR1** доступны на запись. Регистры служат для корректировки регистров счетчиков **RTC**, **TR0**, **TR1**, **MICR0**, **MICR1**, **AICR0**, **AICR1** соответственно. После программной записи значения коррекции в данный регистр, происходит однократное сложение (вычитание) записанного значения с текущим значением счетчика. Значение для коррекции (**BIAS**) следует воспринимать как 32-разрядное число со знаком в дополнительном коде. Формат регистров приведен на рисунке 1.117.



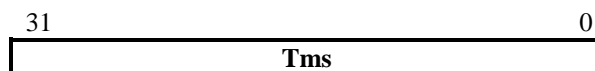
**Рисунок 1.117 – Формат регистра BRTCL, BTR0, BTR1, BMICR0, BMICR1, BAICR0, BAICR1**

									Лист
									208
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата			Взам.инв.№	Инва.№дубл.	Подп. и дата			
38075-3	<i>Редук</i> 16.10.2020			38075-2					



Регистры **STARTLx**, **STARTHx** доступны на запись и чтение и содержат значения, при совпадении с которыми значения счетчика реального времени и установленных битов EN\_START0/EN\_START1 регистра CNTRL, формируется сигнал запуска каналов передатчика. Регистры **STARTL0/ STARTLH0** используются для формирования сигнала запуска передатчика канала 0, регистры **STARTL1/ STARTLH1** используются для формирования сигнала запуска передатчика канала 1.

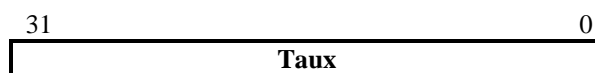
Регистр **STRx** и **TRx** – теневого и рабочий регистры, определяющие длительность основного временного интервала. Регистры доступны на запись и чтение, формат регистров приведен на рисунке 1.118.



**Рисунок 1.118 – Формат регистров STR, TR**

Поле **Tms** (31-0 разряды) определяет период основного временного интервала, выраженного в тактах тактового сигнала CLK\_ADC. Значение регистра STR переписывается в регистр TR при достижении нулевого значения регистром TR.

Регистры **SAICR** и **AICR** – теневого и рабочий регистры, определяющие период дополнительного временного интервала. Регистры доступны на запись и чтение. Формат регистров приведен на рисунке 1.119.



**Рисунок 1.119 – Формат регистров SAICR и AICR**

Поле **Taux** (31-0 разряды) определяет период дополнительного временного интервала. Период дополнительного временного интервала выражается в количестве основных временных интервалов. Количество задается в поле **Taux**.

После системного сброса значение поля Taux принимает значение 3E7h, что соответствует периоду дополнительного временного интервала равного 1000 периодам основного временного интервала.

Регистр **MICR** – 32-разрядный счетчик основных временных интервалов, доступен на запись и чтение. Регистр содержит текущий номер основного временного интервала. После системного сброса значение регистра равно нулю.

Регистр **LMICR** – 32-разрядный регистр, определяющий сброс регистра **MICR**, доступен на запись и чтение. После системного сброса значение регистра имеет значение FFFF\_FFFFh.

Регистр состояния **SYNR** доступен на чтение. Формат регистра приведен на рисунке 1.120.



**Рисунок 1.120 – Формат регистра SYNR**

Бит **F** (0-й разряд) показывает, что производилась синхронизация с помощью сигнала **ITSTROB**. Бит устанавливается, когда приходит положительный фронт **ITSTROB**. Сброс происходит после чтения любого регистра синхронизации (**RTCH\_SYN**, **RTCL\_SYN**, **TR0\_SYN**, **TR1\_SYN**, **MICR0\_SYN**, **MICR1\_SYN**, **AICR0\_SYN**, **AICR1\_SYN**).

**RTCH\_SYN**, **RTCL\_SYN**, **TR0\_SYN**, **TR1\_SYN**, **MICR0\_SYN**, **MICR1\_SYN**, **AICR0\_SYN**, **AICR1\_SYN** - регистры синхронизации, доступные на чтение. Информация в

									Лист
									209
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2						

данные регистры записывается из основных регистров (RTCH, RTCL, TR0, TR1, MICR0, MICR1, AICR0, AICR1) по приходу положительного фронта ITSTROB.

Регистр управления CNTR доступен по битовой установке/сбросу и чтению. Формат регистра приведен на рисунке 1.121.

31	18	17	16	15	14	8	7	6	0
резерв	EN_START	резерв	INTMR 1			резерв	INTMR0		

**Рисунок 1.121 – Формат регистра CNTR**

Поле INTMRx настройка работы интервального таймера:

INTMR[0] - разрешение формирования основного интервала.

0 - генерация запрещена;

1 - генерация разрешена;

INTMR[1] - разрешение формирования дополнительного интервала.

0 - генерация запрещена;

1 - генерация разрешена;

INTMR[2] - выбор временного интервала для метки каналов DDC:

0 - основной временной интервал;

1 - дополнительный временной интервал;

INTMR[3] - маскирование метки для каналов DDC:

0 - метка проходит;

1 - метка маскируется;

INTMR[4] - запрещение коррекции регистра TR (доступно только для чтения).

0 - коррекция разрешена;

1 - коррекция запрещена;

INTMR[5] - разрешение коррекции регистра MICR (доступно только для чтения).

0 - коррекция разрешена;

1 - коррекция запрещена;

INTMR[6] - разрешение коррекции регистра AICR(доступно только для чтения).

0 - коррекция разрешена;

1 - коррекция запрещена;

Поле EN\_START0/ EN\_START1 - разрешает генерацию сигнала запуска каналов передатчика при совпадении значений регистров SARTL/SARTH со значениями регистров RTCL/RTCH :

0 - генерация сигнала запуска запрещена.

1 - генерация сигнала запуска разрешена.

					ЮФКВ.431268.022РЭ					Лист 210
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редюк</i> 16.10.2020			38075-2					

### 1.6.5 Устройство предварительной обработки данных (DDC)

Устройство предварительной обработки данных (DDC) предназначено для предварительной обработки оцифрованного входного сигнала и состоит из 2 одинаковых каналов. Структура канала представлена ниже на рисунке 1.122.

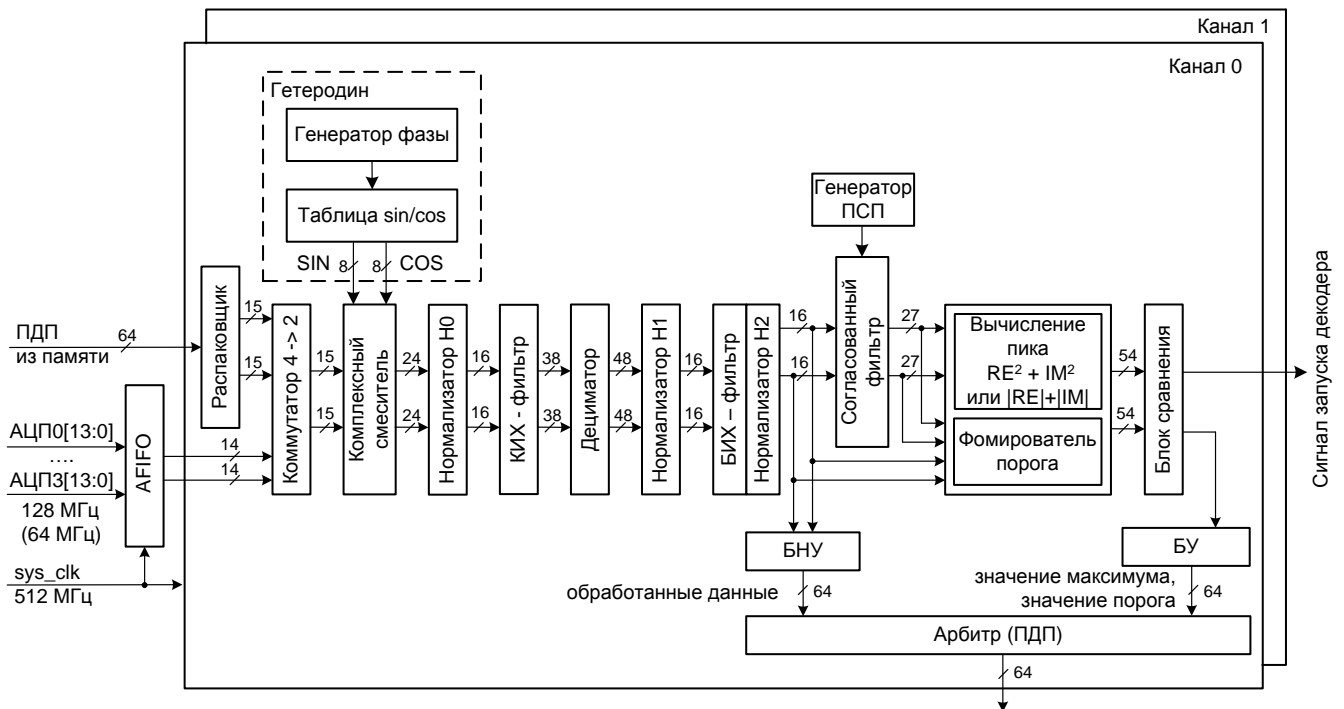


Рисунок 1.122 - Структура канала DDC

Канал обеспечивает обработку входных данных, поступающих с частотой до 128 МГц с внешних АЦП, с их последующей упаковкой в 64-разрядные слова для записи в память. Канал состоит из:

- блока ПДП по чтению данных из памяти (распаковщика);
- входного коммутатора;
- гетеродина;
- комплексного смесителя;
- дециматора (накапливающего сумматора);
- нормализаторов Н0, Н1, Н2;
- двух КИХ-фильтров для каждой составляющей комплексного сигнала;
- двух БИХ-фильтров для каждой составляющей комплексного сигнала;
- двух наборов согласованных фильтров для каждой составляющей комплексного сигнала;
- вычислителя пиков и порогов;
- схемы сравнения (компаратора);
- блока накопления и упаковки (БНУ);
- арбитра канала записи в память (ПДП);
- схемы управления каналом.

Работа с каналом состоит из следующих действий:

- программная настройка канала;
- запуск канала;
- перестройка канала в процессе работы;
- останов канала.

					ЮФКВ.431268.022РЭ		Лист
							211
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2			

Запуск, останов, изменение параметров каналов осуществляются строго по меткам, формируемым интервальным счетчиком блока ITU.

Блок DDC работает на частоте CLK\_DDC, которая в четыре раза выше частоты работы внешних АЦП (CLK\_ADC), при этом данные поступают в канал DDC с асинхронного FIFO один раз в четыре такта частоты CLK\_DDC. К данным, поступающим из асинхронного FIFO, относятся: комплексные числа-отсчеты (формируемые внешними АЦП) и соответствующие им значения интервального счетчика и сигнала временной метки (формируемые блоком ITU).

### 1.6.5.1 Блок прямого доступа в память по чтению данных (распаковщик)

Блок доступа в память по чтению данных, предназначен для чтения исходных данных из памяти 64-х разрядными словами.

Данные располагаются в памяти в следующем формате: каждое 64-разрядное слово памяти, показанное на рисунке 1.123, содержит в себе два 30-разрядных отсчета исходных данных. Младший отсчет располагается в младших 32 разрядах слова памяти, старший отсчет – в старших 32 разрядах. Каждый отсчет представляет собой комплексное число, 15-битная действительная составляющая которого располагается в младших 16-ти разрядах каждой 32-разрядной части слова памяти, а 15-битная мнимая составляющая числа – в старших 16 разрядах этой части.

	63	62	48	47	46	32	31	30	16	15	14	0
Adr = i	/	/	D1_im	/	/	D1_re	/	/	D0_im	/	/	D0_re
Adr = i+1	/	/	D3_im	/	/	D3_re	/	/	D2_im	/	/	D2_re
Adr = i+2	/	/	D5_im	/	/	D5_re	/	/	D4_im	/	/	D4_re
Adr = i+3	/	/	D7_im	/	/	D7_re	/	/	D6_im	/	/	D6_re

Рисунок 1.123 - Расположение исходных данных в памяти

Чтение данных из памяти осуществляется страницами. При этом поддерживаются два режима вычитывания данных:

- **Кольцевой буфер.** В этом случае устройству доступа в память до начала работы передаются базовые адреса и размеры от одной до трех страниц в памяти, из которых закольцовано будет производиться вычитывание данных.
- **Последовательный буфер.** В этом случае пользователь, по мере готовности, сообщает устройству доступа в память базовый адрес и размер очередной страницы памяти, подлежащей чтению.

Более подробная информация об организации работы с блоком представлена в разделе 1.6.5.17.1.4.

Считанные из памяти 64-разрядные данные распаковываются, и каждый новый отсчет (15-разрядные действительная и мнимая составляющие комплексного числа) передается на входной коммутатор канала не чаще, чем один раз в четыре такта частоты CLK\_DDC.

### 1.6.5.2 Входной коммутатор канала

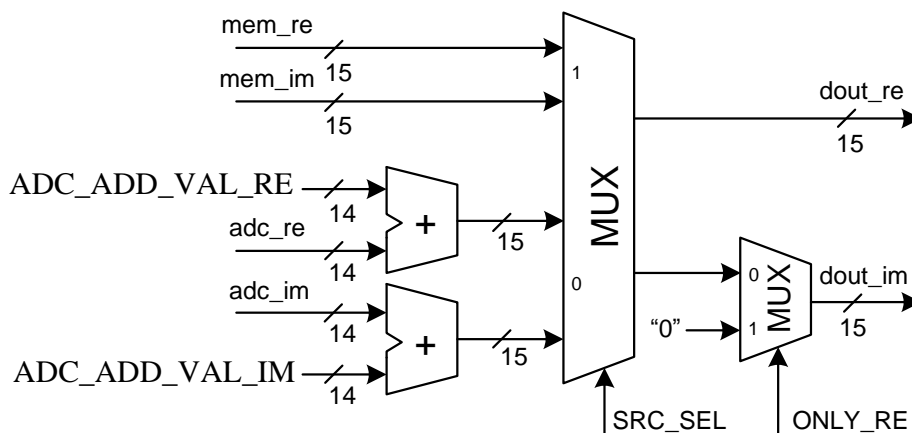
Входной коммутатор обеспечивает выбор источника входных данных. Источниками входных данных могут быть внешний АЦП или внешняя (по отношению к каналу) память. Использование данных из памяти предусмотрено для отладки алгоритмов работы и не является основным режимом работы устройства.

На рисунке 1.124 представлена схема входного коммутатора канала.

Данные, поступающие с АЦП, представляют собой 14-битные действительную (adc\_re) и мнимую (adc\_im) части комплексного числа-отсчета. Отсчеты поступают на вход коммутатора не чаще, чем один раз в четыре такта частоты CLK\_DDC.

										Лист
										212
Изм	Лист	№ докум.	Подп.	Дата						
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2							

Данные, поступающие с АЦП, подвергаются коррекции – смещению на некоторую постоянную величину (ADC\_ADD\_VAL\_RE, ADC\_ADD\_VAL\_IM), которая задается в дополнительном коде. Коррекция данных производится в режиме без насыщения с увеличением разрядности результата. Получаемые 15-разрядные знаковые действительная и мнимая части комплексного числа, затем передаются в канал на обработку.



**Рисунок 1.124 - Структурная схема входного коммутатора**

В случае работы с данными из памяти, 15-разрядные данные, поступающие из блока ПДП по чтению данных, передаются в канал на обработку.

Также в коммутаторе канала поддержана возможность выдачи в канал только действительной составляющей отсчета (режим ONLY\_RE), мнимая составляющая в этом случае обнуляется.

Управление мультиплексорами коммутатора осуществляется через программно доступный регистр управления CTRL (см. пункт 1.6.5.17.1.3).

Корректирующие константы значений АЦП задаются через программно доступный регистр ADC\_ADD\_VALUE (см. пункт 1.6.5.17.4.3).

### 1.6.5.3 Схема формирования синуса и косинуса (гетеродин)

Схема формирует восьмиразрядные значения синуса и косинуса с заданной частотой.

Схема состоит из 32-разрядного регистра текущей фазы FT\_R, регистра частоты FQ\_R, сумматора и таблицы, как показано на рисунке 1.125.

С приходом новых данных (в общем случае каждый четвертый такт частоты CLK\_DDC) происходит суммирование регистров FT\_R и FQ\_R с записью результата в регистр FT\_R.

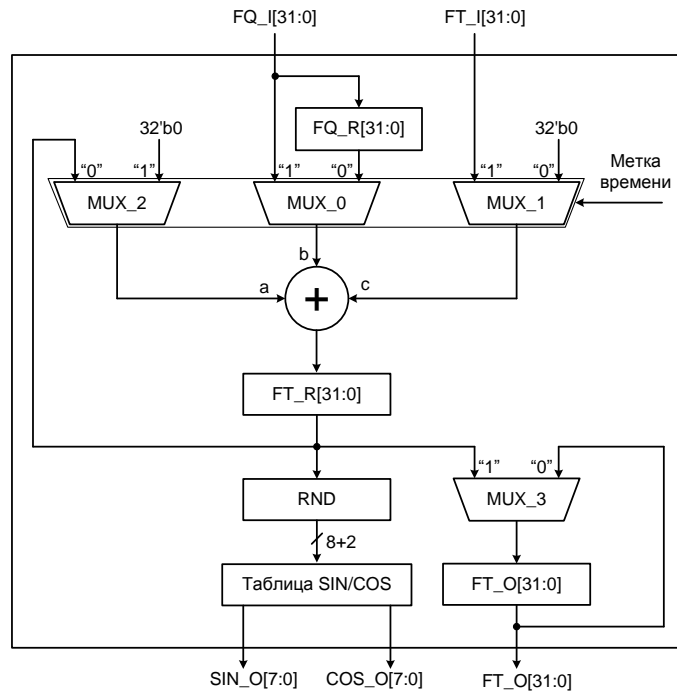
32-разрядное значение текущей фазы FT\_R поступает в блок округления. Поддерживаются следующие режимы округления значения фазы:

- округление к меньшему целому – простое отбрасывание не используемых бит;
- округление к большему целому – к результату прибавляется 1 в случае, если в отбрасываемых битах имеется хотя бы одна единица;
- округление к ближайшему целому – старший отбрасываемый бит прибавляется к результату;
- округление к ближайшему четному – к результату прибавляется 1, если старший отбрасываемый бит равен единице, а в остальных отбрасываемых битах или младшем неотбрасываемом бите есть хотя бы одна единица.

Получаемое в результате округления 10-разрядное число является индексом таблицы для получения значений синуса и косинуса. Таблица содержит в себе по 256 значений, задающих кривые первой четверти периода синусоиды и косинусоиды (целые положительные значения от 0 до 127). Таким образом, младшие 8 бит округленного значения фазы выбирают значение

					ЮФКВ.431268.022РЭ	Лист
						213
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редюк</i> 16.10.2020		38075-2		

из таблицы синусов/косинусов, а старшие два бита выбирают необходимую четверть периода. Выходные значения синуса и косинуса – целые числа в диапазоне -128...+127. Разрядность 8 бит.



**Рисунок 1.125 - Структурная схема гетеродина**

Пользователь имеет возможность запретить работу блока гетеродина. В этом случае блок выдает постоянные значения: SIN = 0x00 (0) и COS = 0x01 (+1), это в свою очередь приводит к тому, что комплексный смеситель пропускает через себя поток данных в неизменном виде.

Память гетеродина для хранения таблицы синусов, косинусов имеет однопортовое исполнение (для уменьшения размеров памяти), что исключает возможность одновременного чтения и записи ячеек памяти. В связи с этим работа с памятью разделена на два этапа – “конфигурирование” (программное заполнение памяти новыми значениями) и “эксплуатация” (чтение необходимых значений из памяти).

По ходу работы устройства возможна реконфигурация блока гетеродина. Реконфигурация производится строго по меткам времени от интервального таймера.

При реконфигурации блока гетеродина возможно:

- обнуление обратной связи регистра текущей фазы FT\_R;
- однократное добавление регистра начального смещения FT\_I, что обеспечивает корректировку фазы при старте и в процессе работы канала;
- прием нового значения из программируемого регистра частоты FQ\_I, с его одновременным сохранением в регистре FQ\_R;
- изменение режима округления значений фазы FT\_R.

Значения FQ\_I, FT\_I задаются программно. Формула для расчета частоты синуса и косинуса и обратно приведены ниже:

$$f = f_a \times \text{code} / 2^{32}$$

$$\text{code} = \lfloor f \times 2^{32} / f_a \rfloor$$

					ЮФКВ.431268.022РЭ	Лист 214
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		

- где  $f$  – частота гетеродина, выраженная в Герцах;  
 $code$  – значение регистра FQ\_I[31:0];  
 $fa$  – частота оцифровки входных данных, выраженная в Герцах.

Формулы для вычисления смещения фазы гетеродина  $\varphi$ , выраженной в радианах, в зависимости от кода в регистре FT\_I[31:0] и обратно приведены ниже:

$$\varphi = code \times 2 \times \pi / 2^{32}$$

$$code = [\varphi \times 2^{32} / (2 \times \pi)]$$

где  $code$  – значение регистра FT\_I[31:0].

По метке времени происходит запись текущего значения фазы FT\_R в регистр FT\_O, который доступен для чтения.

#### 1.6.5.4 Комплексный смеситель

Комплексный смеситель выполняет комплексное умножение входных данных, поступающих с коммутатора, и значений синуса и косинуса, поступающих с гетеродина:

$$AU\_RE[23:0] = DATA\_re[14:0] \times \cos[7:0] - DATA\_im[14:0] \times \sin[7:0]$$

$$AU\_IM[23:0] = DATA\_re[14:0] \times \sin[7:0] + DATA\_im[14:0] \times \cos[7:0]$$

- где  $AU\_RE, AU\_IM$  – результаты арифметических операций комплексного смесителя, которые поступают на нормализатор Н0;  
 $DATA\_re, DATA\_im$  – данные, поступающие с коммутатора;  
 $\sin, \cos$  – значение синуса и косинуса, поступающее с гетеродина.

Комплексный смеситель вносит задержку в распространение данных по каналу, равную одному такту частоты CLK\_DDC.

#### 1.6.5.5 Блок КИХ-фильтров

КИХ-фильтр (фильтр с конечной импульсной характеристикой), называемый также нерекурсивным, – это один из видов линейных цифровых фильтров, импульсный отклик которого содержит лишь конечное число ненулевых отсчетов.

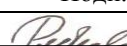
Блок КИХ-фильтров состоит из двух КИХ-фильтров 64 порядка: один для обработки действительной составляющей комплексных отсчетов, другой – для мнимой составляющей. Математически работу блока КИХ-фильтра можно представить как:

$$Dout\_re_i = \sum_{j=0}^{N-1} W_j \times D\_re_{i-j}$$

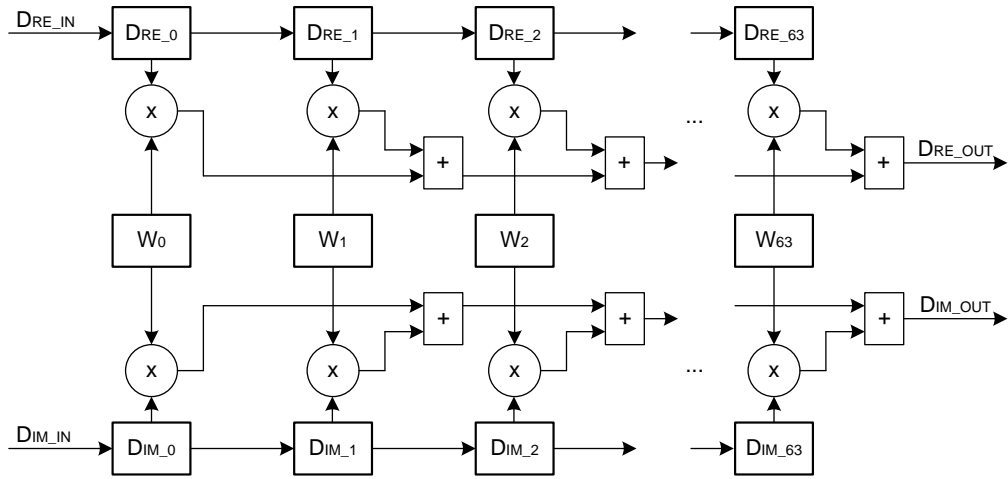
$$Dout\_im_i = \sum_{j=0}^{N-1} W_j \times D\_im_{i-j}$$

- где  $D\_re_{i-j}, D\_im_{i-j}$  – действительная и мнимая составляющие комплексных данных, поступающих в блок КИХ-фильтров. Разрядность каждой составляющей комплексного числа-отсчета – 16 бит;  
 $W_j$  – действительные веса КИХ-фильтра разрядностью 16 бит;  
 $Dout\_re, Dout\_im$  – комплексный результат фильтрации (поступает в блок дециматора);  
 $N$  – порядок фильтра.  $N = 64$ .

В общем виде блок КИХ-фильтров состоит из двух сдвиговых регистровых цепочек данных Dre\_0 – Dre\_63 и Dim\_0 – Dim\_63, регистров весов W\_0 – W\_63, умножителей и сумматоров, как показано на рисунке 1.126.

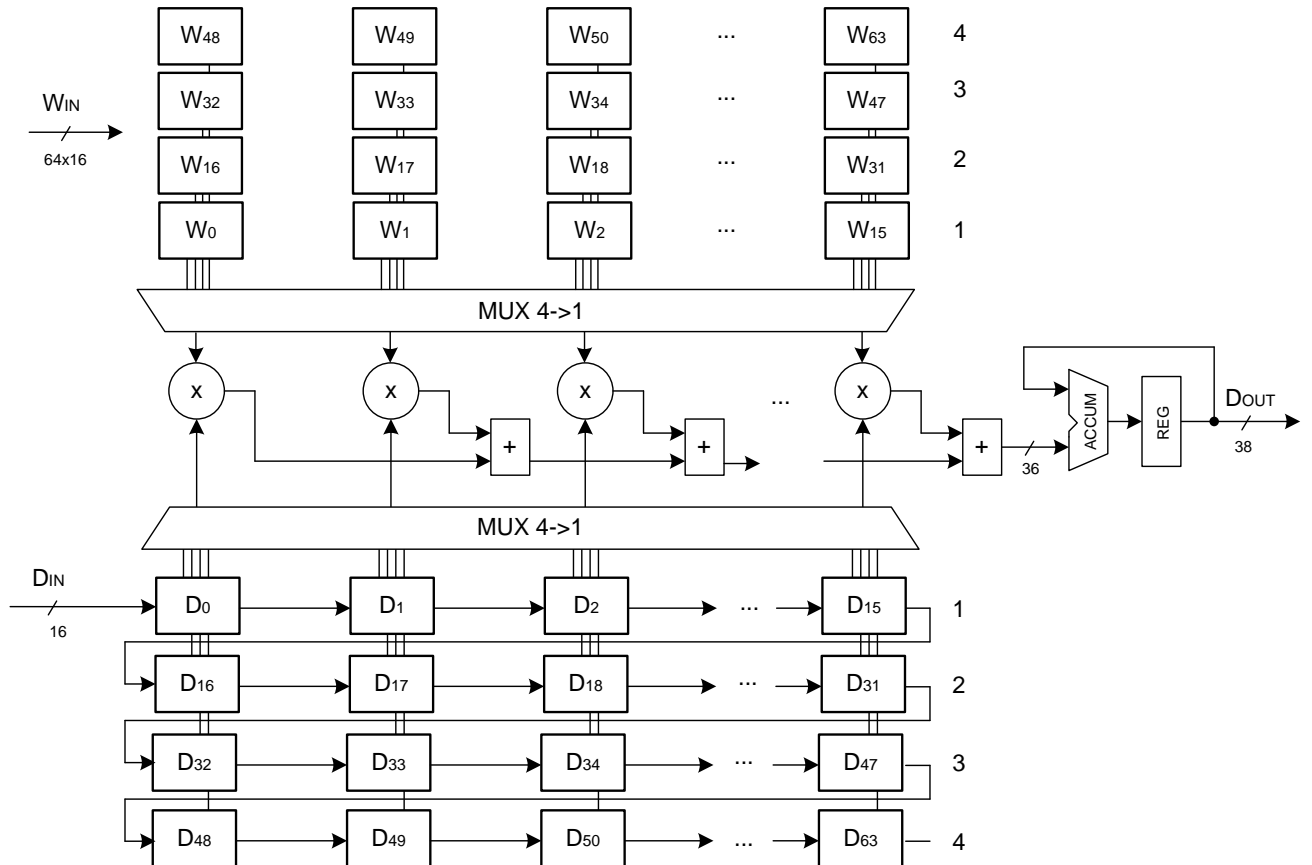
									Лист
									215
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					





**Рисунок 1.126 - Структурная схема блока КИХ-фильтров**

В связи с тем, что входные данные поступают из блока коммутатора раз в четыре такта, каждый КИХ-фильтр 64 порядка может быть представлен в виде четырех последовательно работающих фильтров 16 порядка, имеющих общую вычислительную часть, и накопителя частичных сумм, который будет выдавать результирующее значение раз в четыре такта. Реализованная структурная схема одного из КИХ-фильтров представлена на рисунке 1.127.



**Рисунок 1.127 - Реализованная схема КИХ-фильтра**

Пользователь может менять коэффициенты КИХ-фильтров по ходу работы устройства. Изменения вступают в силу одновременно с приходом первого отсчета нового кадра данных.

					ЮФКВ.431268.022РЭ	Лист 216
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		

Блок КИХ-фильтров вносит задержку в распространение данных по каналу, равную 6 тактам частоты CLK\_DDC.

### 1.6.5.6 Дециматор (накапливающий сумматор)

Структурная схема накапливающего сумматора приведена на рисунке 1.128.

Дециматор – блок, обеспечивающий снижение потока данных исходя из значения коэффициента децимации. Коэффициент децимации задается программно и может принимать значения от нуля (децимация не производится) до 1023 (выдача последнего из каждых 1024-х отсчетов). При этом для правильной работы согласованного фильтра коэффициент децимации должен принимать значение не меньше 3 (выдача последнего из каждых четырех отсчетов).

В дециматоре предусмотрена функция накапливающего сумматора. Накапливающий сумматор осуществляет накопление заданного числа отсчетов и выдачу одного результата для всего интервала накопления. Число накоплений задается программно. Накопление производится для каждой составляющей комплексного сигнала. Разрядность аккумуляторов RE\_ACC и IM\_ACC выбрана таким образом, что переполнение исключено. Поскольку разрядность входных данных составляет 38 бит, а максимальный размер интервала накопления – 1024, то разрядность аккумуляторов и, соответственно, выходных данных блока дециматора составляет 48 бит.

Так как данные разбиты на кадры, то, в общем случае, число данных в кадре может быть не кратно числу накоплений. В этом случае децимация или накопление НЕ прекращаются по границе кадра!

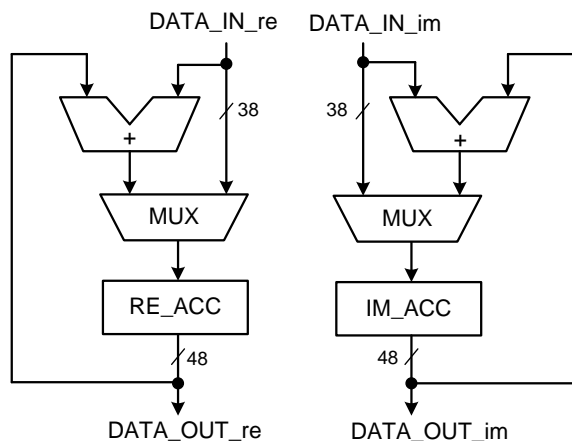


Рисунок 1.128 - Структурная схема накапливающего сумматора

Пользователь может менять параметры дециматора по ходу работы устройства. К параметрам дециматора относятся: выбор режима децимации/накопления, выбор коэффициента децимации/интервала накопления. Новые параметры применяются в момент поступления данных нового кадра, одновременно с этим текущее состояние дециматора сбрасывается в исходное. При этом, если начало нового кадра данных не совпадает с концом интервала децимации/накопления данных предыдущего кадра, происходит потеря результата для этого неполного интервала. Дециматор уведомит об этом пользователя выставлением прерывания DEC\_LOST\_DATA и отображением в статусном регистре DEC\_LOST\_DATA\_NUM номера данных интервала децимации/накопления, на которых произошла смена параметров.

Дециматор вносит задержку в распространение данных по каналу, равную  $1+(\text{коэффициент децимации} \times 4)$  тактов частоты CLK\_DDC.

					Лист
					217
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		<i>Редюк</i> 16.10.2020		38075-2	
Подп. и дата					

### 1.6.5.7 Блоки нормализации Н0, Н1

Блоки нормализации расположены после арифметических блоков и служат для уменьшения разрядности данных после накопления или арифметических операций. Задача блоков нормализации – формирование выходного 16-разрядного значения путем выбора 15-ти смежных разрядов входного данного и копирования его знакового разряда. Нормализация производится относительно задаваемого пользователем номера разряда входного данного – которое будет считаться старшим незнаковым разрядом в формируемом 16-битном результате. В зависимости от выбранного значения могут отбрасываться старшие и/или младшие разряды исходного данного.

В случае, когда не существует младших отбрасываемых разрядов, 15-разрядное тело результирующего значения циклически заполняется выбираемыми разрядами исходного значения от старшего к младшему. Знаковый разряд исходного значения копируется в знаковый разряд результирующего значения.

В случае, когда существуют младшие отбрасываемые разряды, производится округление исходного значения одним из указанных ниже способов, а затем из округленного значения выбираются 15 смежных бит для формирования результирующего значения. Округленное значение имеет увеличенную на единицу разрядность. Знаковый разряд округленного значения копируется в знаковый разряд результирующего значения.

Блоки нормализации поддерживают работу в режиме насыщения (который является основным режимом работы блоков). В этом случае, при наличии в старших отбрасываемых разрядах хотя бы одного бита, не равного значению знака, результирующее значение приводится к максимальному или минимальному возможному (в зависимости от знака). В случае округления исходного значения (при наличии младших отбрасываемых разрядов) анализируются старшие отбрасываемые разряды округленного значения. Таким образом, если в старших отбрасываемых разрядах исходного значения не было бит, не равных знаку (старшему разряду), но они появляются там после округления, а результирующее значение приводится к максимальному или минимальному возможному в зависимости от знака округленного значения.

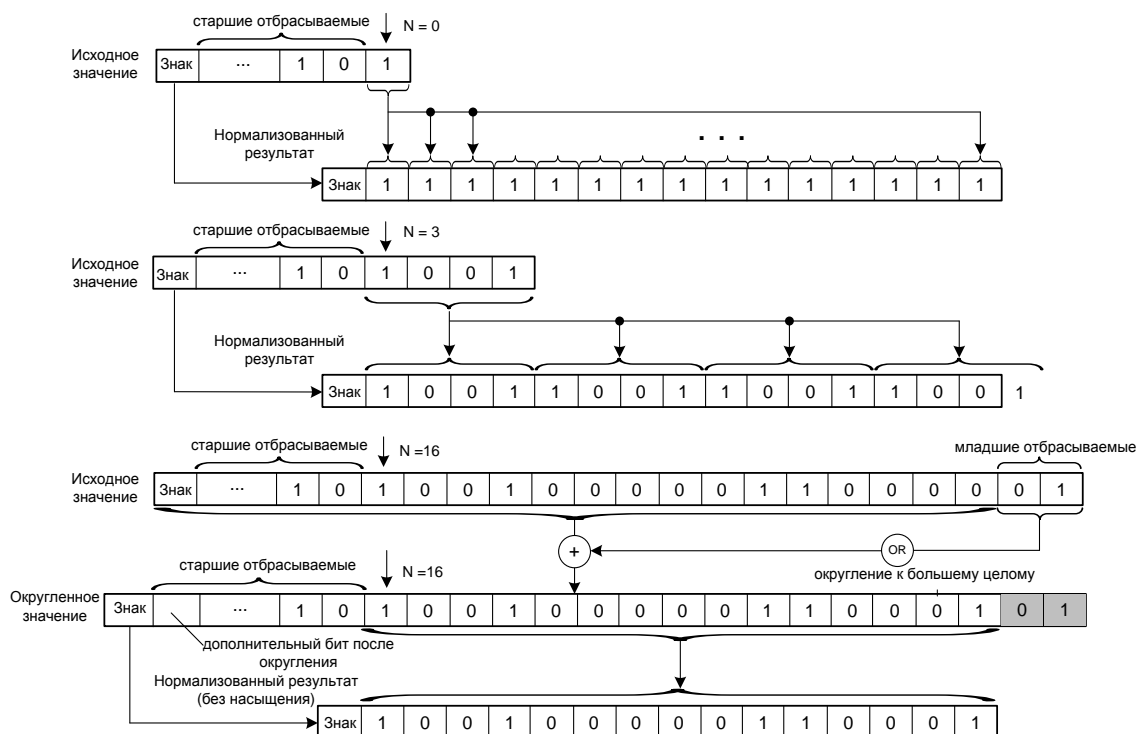


Рисунок 1.129 - Примеры работы нормализатора

					ЮФКВ.431268.022РЭ		Лист
							218
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2			

На рисунке 1.129 проиллюстрированы некоторые из режимов работы нормализатора.

Пользователь имеет возможность настраивать следующие параметры нормализаторов:

- выбор разряда входных данных, который будет считаться старшим незнаковым разрядом в нормализованном 16-битном результате.
- режим округления результата (при наличии младших отбрасываемых бит во входном данном):
  - округление к меньшему целому – простое отбрасывание неиспользуемых бит;
  - округление к большему целому – к результату прибавляется 1 в случае, если в младших отбрасываемых битах имеется хотя бы одна единица;
  - округление к ближайшему целому – старший из младших отбрасываемых бит прибавляется к результату.
- включение/выключение насыщения. Настройка насыщения играет роль в случаях переполнения – ситуации, когда хотя бы один из старших отбрасываемых разрядов (после округления) не равен знаковому. Если включен режим насыщения, то при переполнении на выходе блока нормализации будет максимальное положительное или максимальное отрицательное число.

Изменение параметров блока нормализации возможно по ходу работы устройства. Новые параметры, заданные пользователем, применяются в момент поступления первых данных нового кадра на вход блока нормализации.

Блоки нормализации также ведут подсчет числа переполнений в текущем кадре для каждой составляющей комплексного сигнала. После окончания обработки текущего кадра подсчитанное число переполнений сохраняется в программно доступном регистре. Пользователь может считывать значение этого регистра и по полученным результатам произвести коррекцию настройки нормализатора.

Блок нормализации вносит задержку в распространение данных по каналу, равную 2 тактам частоты CLK\_DDC.

### 1.6.5.8 Блок БИХ-фильтров

БИХ-фильтр (фильтр с бесконечной импульсной характеристикой), или рекурсивный, - это один из видов линейных цифровых фильтров, входной и выходной сигналы которого удовлетворяют многомерному разностному уравнению конечного порядка.

Блок БИХ-фильтров состоит из двух одинаковых БИХ фильтров, один из которых предназначен для обработки действительной части комплексных данных поступающих на его вход, а другой – для мнимой.

БИХ-фильтр реализует следующую функцию:

$$Y_i = (1 - 1/2^m) \times Y_{i-1} + X_i/2^m$$

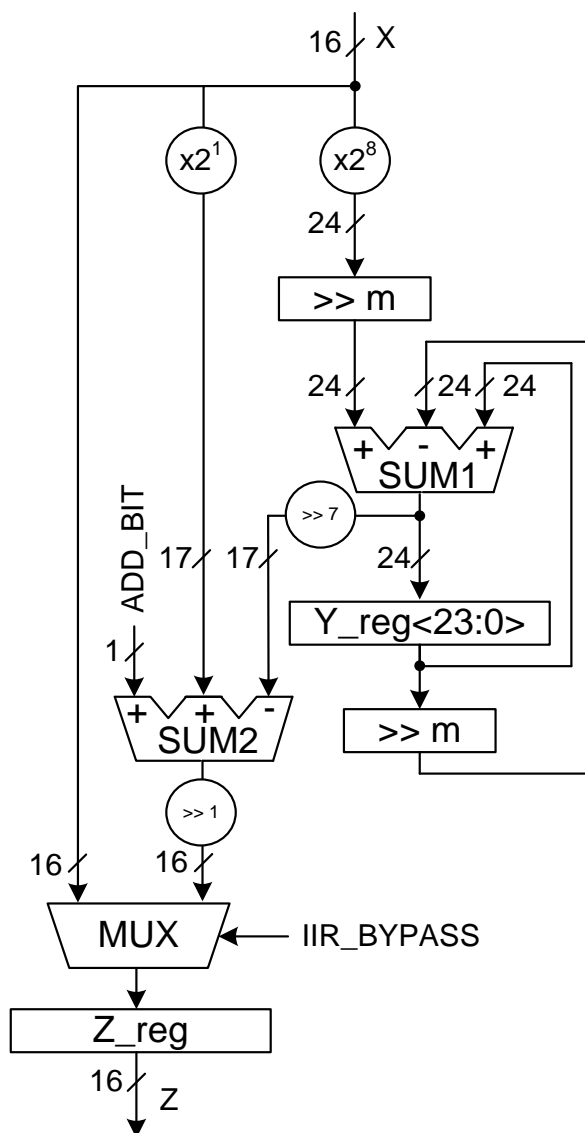
$$Z_i = X_i - Y_i$$

- где
- $Y_i$  – промежуточный результат БИХ-фильтра;
  - $Y_{i-1}$  – предыдущий промежуточный результат БИХ-фильтра;
  - $X_i$  – входной отсчет фильтра;
  - $m$  – программно настраиваемый коэффициент, который может принимать значения от 0 до 8;
  - $Z_i$  – выход блока БИХ-фильтра для последующей обработки.

На рисунке 1.130 приведена структурная схема данного фильтра. Перед осуществлением вычислений производится увеличение разрядной сетки входных данных путем добавления восьми нулевых младших разрядов (умножения их на  $2^8$ ). Арифметический сдвигатель (shifter) осуществляет арифметический сдвиг в сторону младших разрядов от 0 до 8 бит (задается программно). После этого происходит суммирование с накапливающим регистром  $Y\_reg[23:0]$  с последующей записью результата в регистр  $Y\_reg$ . Старшие 17 бит результата суммирования

									Лист
									219
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата		
38075-3	<i>Редук</i> 16.10.2020		38075-2						

поступают на сумматор SUM2, где к старшим разрядам прибавляется входное 16-разрядное данное X с добавлением 0 в младший бит и может прибавляться единица для округления (прибавлять единицу или нет настраивается программно). Старшие 16 разрядов результата формируют выходное значение. Сумматор SUM2 исполняет роль нормализатора Н2 с округлением.



**Рисунок 1.130 - Структурная схема БИХ-фильтра**

Пользователь может выключить блок БИХ-фильтров, в этом случае входные данные передаются на выход блока БИХ-фильтров без изменений (режим IIR\_BYPASS).

Управление блоком БИХ-фильтров осуществляется через программно доступный регистр управления IIR\_PARAM (см. пункт 1.6.5.17.4.12).

Пользователь должен настроить БИХ-фильтр до включения канала и не производить его реконфигурацию по ходу работы. В случае если пользователь изменит параметры БИХ-фильтра во время работы канала, изменения вступят в силу незамедлительно, без привязки к кадрам данных.

Блок БИХ-фильтров вносит задержку в распространение данных по каналу, равную 1 такту частоты CLK\_DDC.

					ЮФКВ.431268.022РЭ		Лист 220
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редюк</i> 16.10.2020		38075-2			



входные данные, но с разными весами (программно задаваемыми пользователем). Веса согласованных фильтров действительной и мнимой части одинаковы.

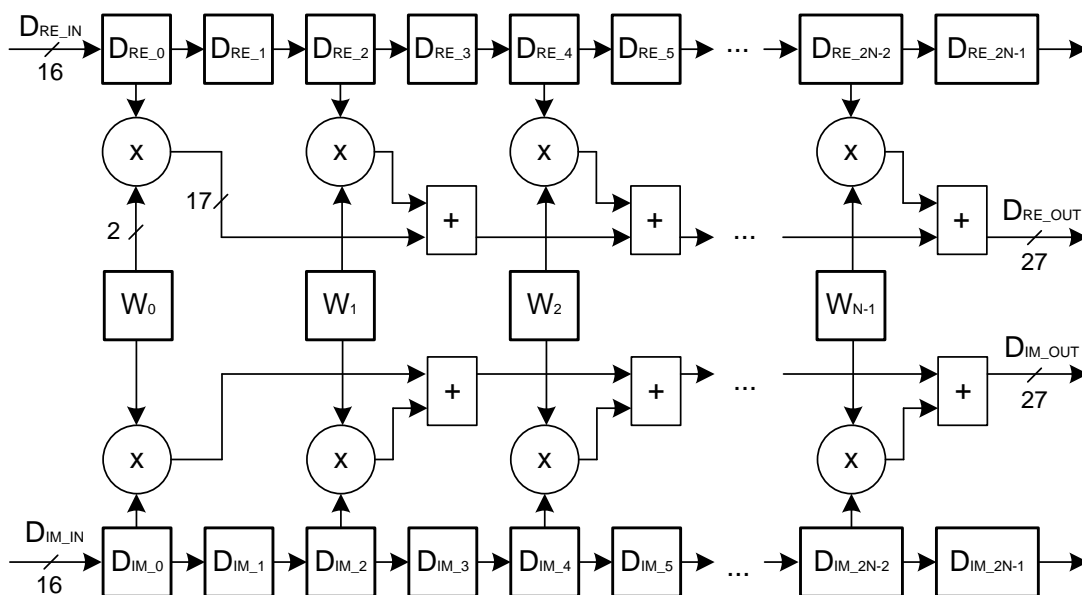
Блок согласованных фильтров выполняет следующее арифметическое действие:

$$Sf\_re_i = \sum_{j=0}^{N-1} W_j \times D\_re_{i-2j}$$

$$Sf\_im_i = \sum_{j=0}^{N-1} W_j \times D\_im_{i-2j}$$

- где  $D\_re_{i-2j}$ ,  $D\_im_{i-2j}$  – действительная и мнимая часть всех четных или нечетных комплексных данных, поступающих в блок согласованного фильтра (поступают с БИХ-фильтра). Разрядность данных 16 бит для каждой составляющей комплексного числа-отсчета;
- $W_j$  – действительные веса согласованного фильтра разрядностью 1 бит ('0'='+1', '1'='-1');
- $Sf\_re_i, Sf\_im_i$  – комплексный результат фильтрации;
- $N$  – порядок фильтра. Максимальное значение  $N = 1024$ . При уменьшении порядка фильтра количество фильтров возрастает пропорционально (2 фильтра при  $N=512$ , 4 фильтра при  $N=256$ , 8 фильтров при  $N=128$  и 16 фильтров при  $N=64$ ).

Фильтрация осуществляется отдельно для четных и нечетных отсчетов, но с одинаковыми коэффициентами (весами). Структурная схема блока согласованных фильтров приведена на рисунке 1.132.



**Рисунок 1.132 - Структурная схема блока согласованных фильтров**

Представленная схема основана на предположении, что новые данные приходят каждый такт частоты CLK\_DDC, что в свою очередь приводит к использованию повторяющейся вычислительной логики в количестве, равном порядку фильтра.

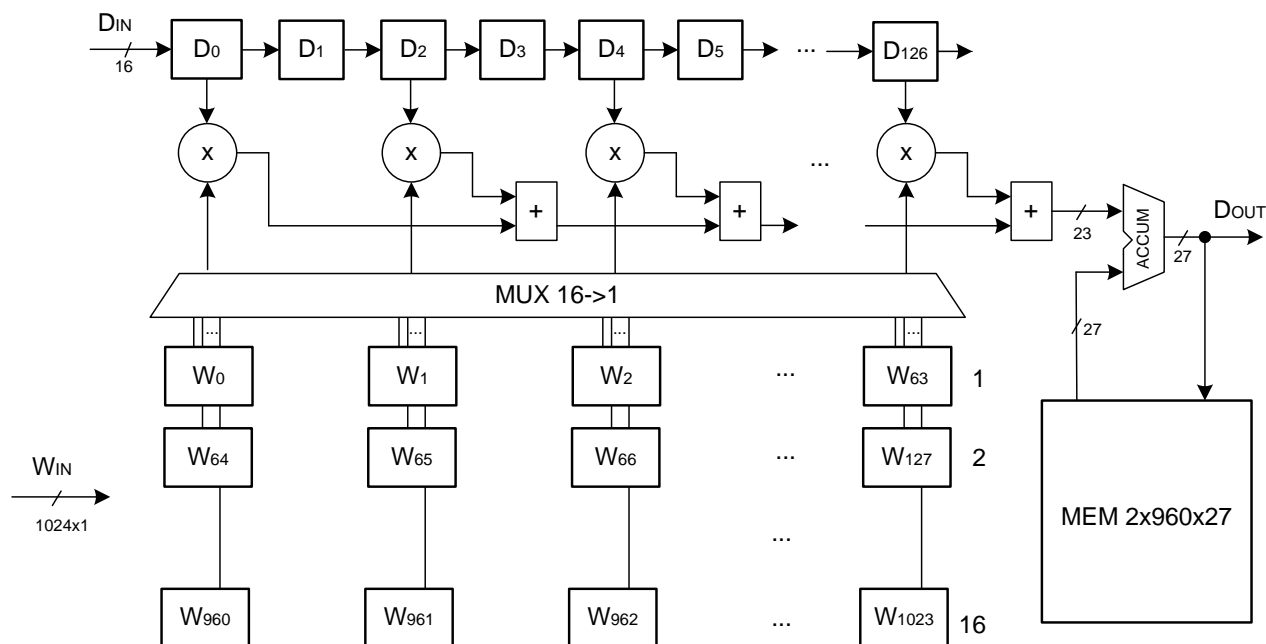
С целью уменьшения площади кристалла, занимаемой согласованным фильтром, было принято решение, что данные должны поступать на его вход не чаще, чем один раз в шестнадцать тактов частоты CLK\_DDC. Такая частота поступления данных достигается за счет входного коммутатора канала, который пропускает данные раз в четыре такта частоты CLK\_DDC, и

					ЮФКВ.431268.022РЭ	Лист 222
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редюк</i> 16.10.2020		38075-2		



настройки дециматора канала на выдачу каждых четвертых (или более) данных поступающих с коммутатора.

Данное ограничение позволяет представить фильтр 1024 порядка как один фильтр 64 порядка с аккумулятором частичных сумм, которые сохраняются в памяти. Такому фильтру необходимо 16 тактов для выдачи результата. На рисунке 1.133 представлена реализованная схема согласованного фильтра (только для одной составляющей входных комплексных данных).



**Рисунок 1.133 - Реализованная схема согласованного фильтра**

Пользователь настраивает блок согласованных фильтров путем программирования следующих параметров:

- порядок и количество фильтров;
- коэффициенты фильтра/фильтров.

Выбор порядка и количества фильтров определяется единожды перед включением канала. Изменение этих параметров по ходу работы канала запрещено, поскольку приведет к выдаче неверных данных. Количество и порядок фильтров – взаимосвязанные параметры, они могут принимать одно из следующих значений: 1 фильтр 1024 порядка, 2 фильтра 512 порядка, 4 фильтра 256 порядка, 8 фильтров 128 порядка и 16 фильтров 64 порядка. Данный параметр определяет количество и порядок фильтров каждой из двух частей блока согласованных фильтров.

В случае выбора количества фильтров, отличного от единицы, один и тот же поток данных будет подвергнут множественной “параллельной” фильтрации со своими коэффициентами фильтрации.

Коэффициенты согласованного фильтра могут быть заданы пользователем через программно доступные регистры DDC, либо рассчитаны блоком генератора псевдослучайной последовательности, управляемым пользователем.

Изменение коэффициентов фильтрации возможно по ходу работы устройства. Новые коэффициенты, заданные пользователем или рассчитанные блоком ПСП (по инициации пользователем), применяются (защелкиваются во внутренних регистрах согласованного фильтра) одновременно с поступлением первых данных нового кадра (по метке времени) и при наличии разрешения реконфигурации согласованного фильтра MATCH\_RECONFIG. Необходимо учесть, что, поскольку фильтр реализован на памяти, сохраняющей частичные суммы накопления, при изменении коэффициентов фильтрации память будет содержать в себе значения вычислений,

					Лист
					223
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		<i>Редук</i> 16.10.2020		38075-2	

произведенных с предыдущими коэффициентами. Корректные результаты появятся на выходе согласованного фильтра лишь с приходом  $2N$  данных нового кадра.

Блок согласованных фильтров вносит задержку в распространение данных по каналу, равную 3 тактам частоты CLK\_DDC.

В случае работы с одним фильтром порядка 1024, результирующие данные появляются на выходе блока согласованного фильтра один раз в 16 тактов с задержкой в три такта относительно момента появления новых входных данных. В случае работы с множественными фильтрами блок согласованных фильтров выдает результаты обработки последовательно друг за другом для каждого фильтра, с интервалами, равными  $\frac{16}{\text{количество фильтров}}$  тактов частоты CLK\_DDC. Таким образом, результаты обработки, выполненной одним и тем же фильтром, в любом случае выдаются раз в 16 тактов. Результаты обработки всех четных и всех нечетных отсчетов выдаются последовательно друг за другом.

### 1.6.5.11 Генератор ПСП на сдвиговых регистрах (PRS\_GEN)

Пользователь может задавать коэффициенты блока согласованных фильтров как самостоятельно через программно доступные регистры DDC, так и поручить это генератору ПСП.

Генератор ПСП на сдвиговых регистрах состоит из трёх генераторов M-последовательности. Элемент ПСП формируется путем суммирования "по модулю 2" выходных значений генераторов M-последовательности. Функциональная схема генератора M-последовательности приведена на рисунке 1.134.

M-последовательность формируется с одного из разрядов сдвигового регистра  $Mx$ . Разряд выбирается по значению, записанному в программно доступном регистре  $OVx$ . Начальное состояние (значение) сдвигового регистра  $Mx$  загружается программно. При каждом следующем отсчёте происходит сдвиг регистра  $Mx$  в сторону старших разрядов. Младший разряд сдвигового регистра  $Mx$  формируется путём сложения "по модулю 2" всех разрядов сдвигового регистра, умноженных в блоке Mask block на разряды регистра  $MASKx$  соответственно. Полученное в результате сложения "по модулю 2" значение может быть инвертировано в зависимости от значения, записанного программно в регистр  $INVx$ .

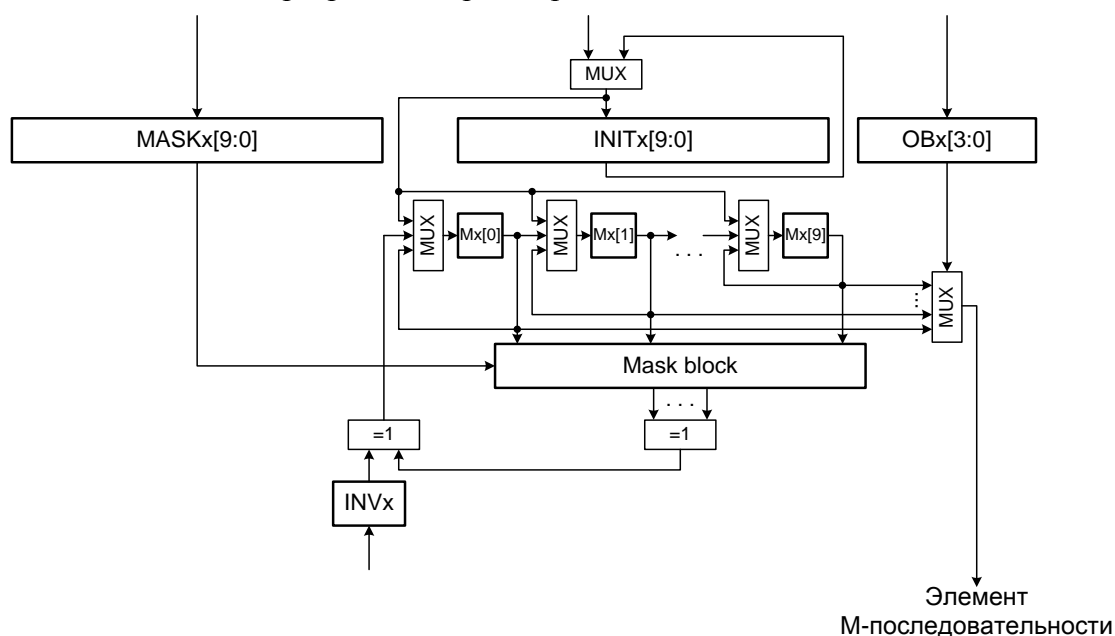


Рисунок 1.134 - Функциональная схема генератора M-последовательности

Регистр INIT служит для хранения состояния (значения) регистра  $Mx$ , соответствующего первому элементу M-последовательности (значение, записанное программно в  $Mx$ , может со-

					ЮФКВ.431268.022РЭ	Лист 224
Изм	Лист	№ докум.	Подп.	Дата		
Инав.№подл.	Подп. и дата		Взам.инв.№	Инав.№дубл.	Подп. и дата	
38075-3	<i>Редук</i> 16.10.2020		38075-2			

ответствовать не первому элементу М-последовательности). Запись в регистр INITx необходима в случае использования счетчика длины М-последовательности. При его использовании происходит инкрементирование счётчика SLCx длины М-последовательности каждый новый отсчёт, как показано на рисунке 1.135. При возникновении сигнала переноса Carry из старшего разряда происходит перезапись регистра INITx в Mx (вместо сдвига Mx) и регистра SLx в SLCx. После этого работа продолжается. Значение регистров SLx и SLCx записывается программно перед началом работы генератора.

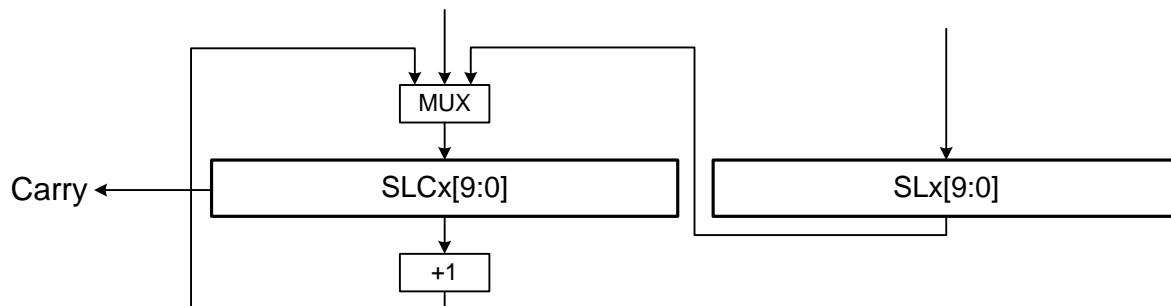


Рисунок 1.135 - Функциональная схема счетчика длины М-последовательности

### 1.6.5.12 Блок вычисления пиков и порогов

Блок вычисления пиков и порогов вычисляет значения пиков и порогов для их дальнейшего сравнения. Вычисления производятся одним из двух методов.

Вариант 1. Сумма квадратов. Вычисление пика и порога описано формулами:

$$peak_i = Sf\_re_i^2 + Sf\_im_i^2$$

$$mean_i = \sum_{j=i-2N+1}^i (D\_re_j^2 + D\_im_j^2)$$

$$threshold_i = K \times mean_i + C$$

- где
- $Sf\_re_i, Sf\_im_i$  – действительные значения согласованного фильтра разрядностью 27 бит;
  - $peak_i$  – соответствующее им неотрицательное беззнаковое значение пика разрядностью 54 бит;
  - $threshold_i$  – неотрицательное беззнаковое значение порога разрядностью 54 бита;
  - $mean_i$  – неотрицательное беззнаковое значение мощности разрядностью 42 бита;
  - $D\_re_j, D\_im_j$  – входные комплексные данные, поступающие с БИХ-фильтра, разрядностью 16 бит для каждой составляющей комплексного сигнала;
  - $N$  – порядок согласованного фильтра (принимает одно из значений 64, 128, 256, 512, 1024);
  - $K, C$  – программно настраиваемые неотрицательные беззнаковые коэффициенты. Разрядность  $K$  – 10 бит, разрядность  $C$  – 32 бита.

Обратите внимание, окно *mean* считается для всех данных (без деления на четные и нечетные).

В случае работы с несколькими согласованными фильтрами для каждого потока, формируемого фильтром, вычисляются свои значения пиков, в то время как значение порога одинаково для всех фильтров.

На рисунке 1.136 представлена структурная схема блока вычисления пиков и порогов по варианту 1.

					ЮФКВ.431268.022РЭ	Лист 225
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		

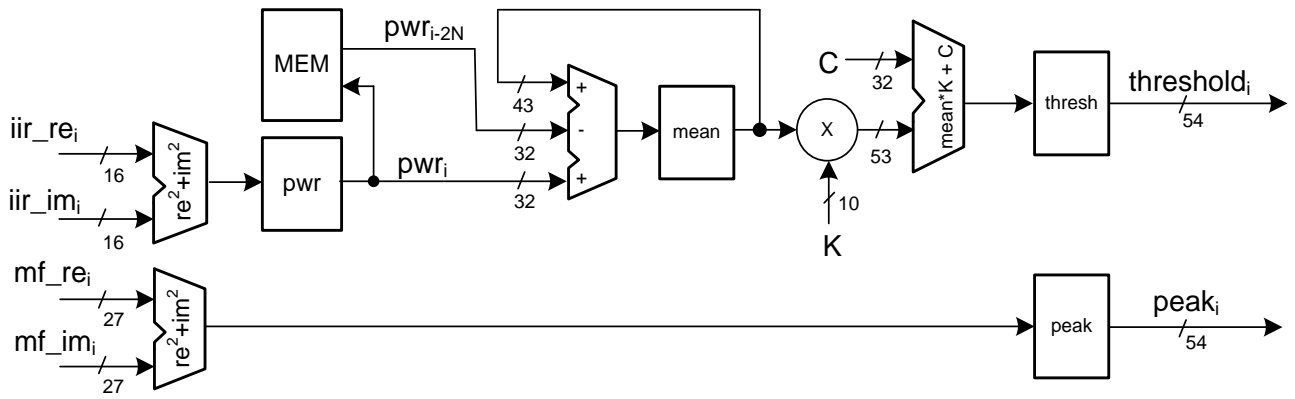


Рисунок 1.136 - Структурная схема блока вычисления пиков и порогов (Вариант 1)

Вариант 2. Сумма модулей. Вычисление пика и порога описано формулами:

$$\begin{aligned}
 peak_i &= |Sf\_re_i| + |Sf\_im_i| \\
 mean_i &= \frac{1}{W} \sum_{j=i-W+1}^i (|Sf\_re_j| + |Sf\_im_j|) \\
 peak\_c_i &= \begin{cases} \frac{K_3}{2^m} \times peak_i, & \text{если } peak_i > threshold_{i-\frac{w}{2}-1} \\ \frac{K_2}{2^d} \times peak\_c_{i-1}, & \text{если } peak_i \leq threshold_{i-\frac{w}{2}-1} \end{cases} \\
 threshold_{i-\frac{w}{2}} &= K_1 \times mean_i + peak\_c_i
 \end{aligned}$$

- где  $Sf\_re_i, Sf\_im_i$  – составляющие комплексного отсчета согласованного фильтра;  
 $peak_i$  – соответствующее им значение пика;  
 $threshold_{i-\frac{w}{2}}$  – значение порога для сравнения с согласованным фильтром;  
 $mean$  – усредненное значение пиков в окне усреднения размером  $W$  отсчетов;  
 $W$  – размер окна усреднения, может принимать значения  $2N, N, N/2, N/4$ ;  
 $N$  – порядок согласованного фильтра (принимает одно из значений 64, 128, 256, 512, 1024);  
 $K1, K2, K3, m, d$  – программно настраиваемые целочисленные коэффициенты;  
 $peak\_c$  – приведенное значение амплитуды.

Разрядности и формат элементов формул:

- $Sf\_re_i, Sf\_im_i$  – 27 бит, действительные значения;  
 $peak_i$  – 28 бит, неотрицательное беззнаковое;  
 $peak\_c_i$  – 28 бит, неотрицательное беззнаковое;  
 $mean_i$  – 39 бит, неотрицательное беззнаковое;  
 $threshold_i$  – 44 бит, неотрицательное беззнаковое;  
 $K1$  – 4 бита, положительное беззнаковое;  
 $K2$  – 8 бит, положительное беззнаковое;  
 $K3$  – 8 бит, положительное беззнаковое;  
 $d$  – 3 бита, положительное беззнаковое (по умолчанию равно 3);  
 $m$  – 3 бита, положительное беззнаковое (по умолчанию равно 3).

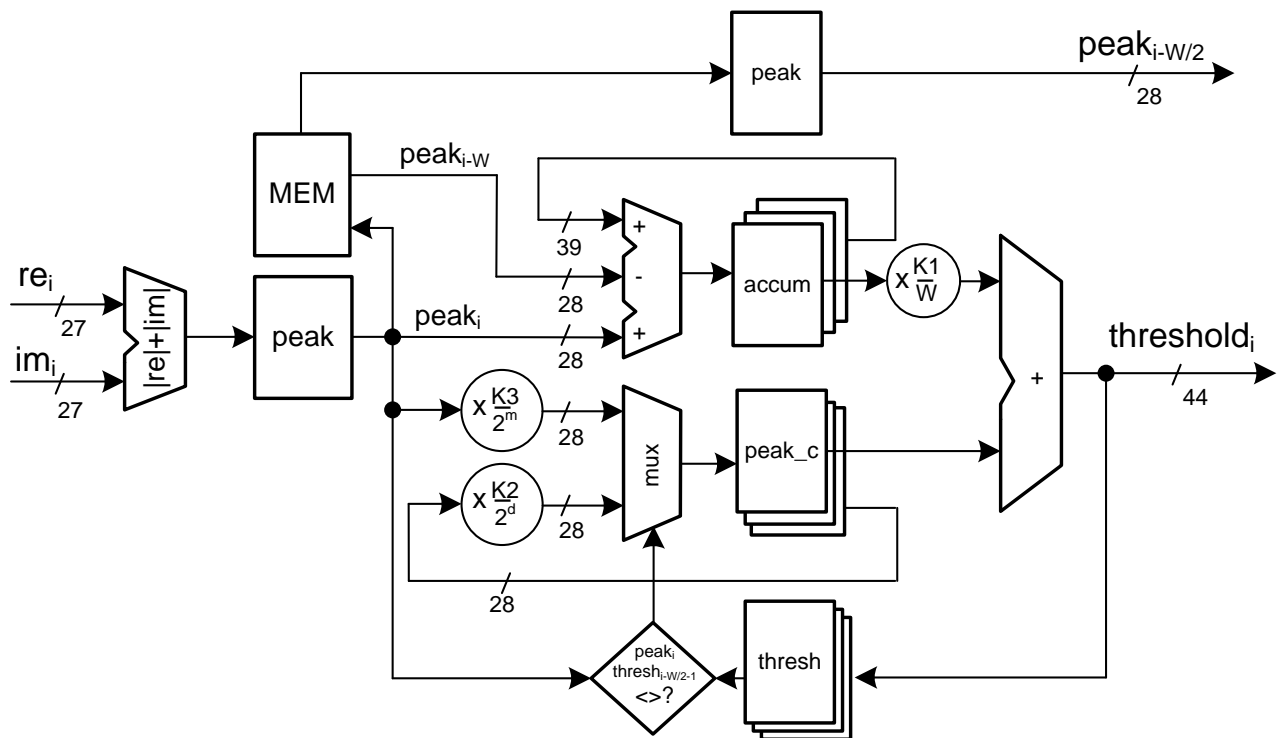
Значения коэффициентов задаются таким образом, чтобы выполнялись неравенства:  $0 <$

$$\frac{K_2}{2^d} < 1, \quad 0 < \frac{K_3}{2^m} \leq 1$$

					Лист	
					226	
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		

В случае работы с несколькими согласованными фильтрами, для каждого потока, формируемого фильтром, высчитываются свои значения пиков и порогов.

На рисунке 1.137 представлена структурная схема блока вычисления пиков и порогов по Варианту 2.



**Рисунок 1.137 - Структурная схема блока вычисления пиков и порогов (Вариант 2)**

При работе с несколькими согласованными фильтрами данные от них приходят на блок вычислителя пиков и порогов последовательно друг за другом. Для хранения промежуточных результатов вычислений каждого потока данных предусмотрены соответствующие наборы регистров и память, при этом вычислительная логика используется одна и та же для всех потоков данных.

Изменение коэффициентов формирователя порога возможно по ходу работы устройства. Новые коэффициенты, заданные пользователем, применяются одновременно с поступлением первых данных нового кадра. Необходимо учесть, что поскольку блок формирования порогов вычисляет усредненные значения пика в течение окна усреднения  $W$ , то при изменении коэффициентов расчета корректные результаты появятся на выходе блока лишь с приходом  $W$ -го отсчета данных нового кадра.

Изменение таких параметров, как выбор размера окна усреднения и количества согласованных фильтров, по ходу работы устройства может привести к его неправильной работе и должно производиться только при выключенном канале.

Блок вычисления пиков и порогов вносит задержку в распространение данных по каналу, равную одному такту частоты  $CLK\_DDC$  при работе по методу 1, и два такта частоты  $CLK\_DDC$  при работе по методу 2.

### 1.6.5.13 Блок сравнения

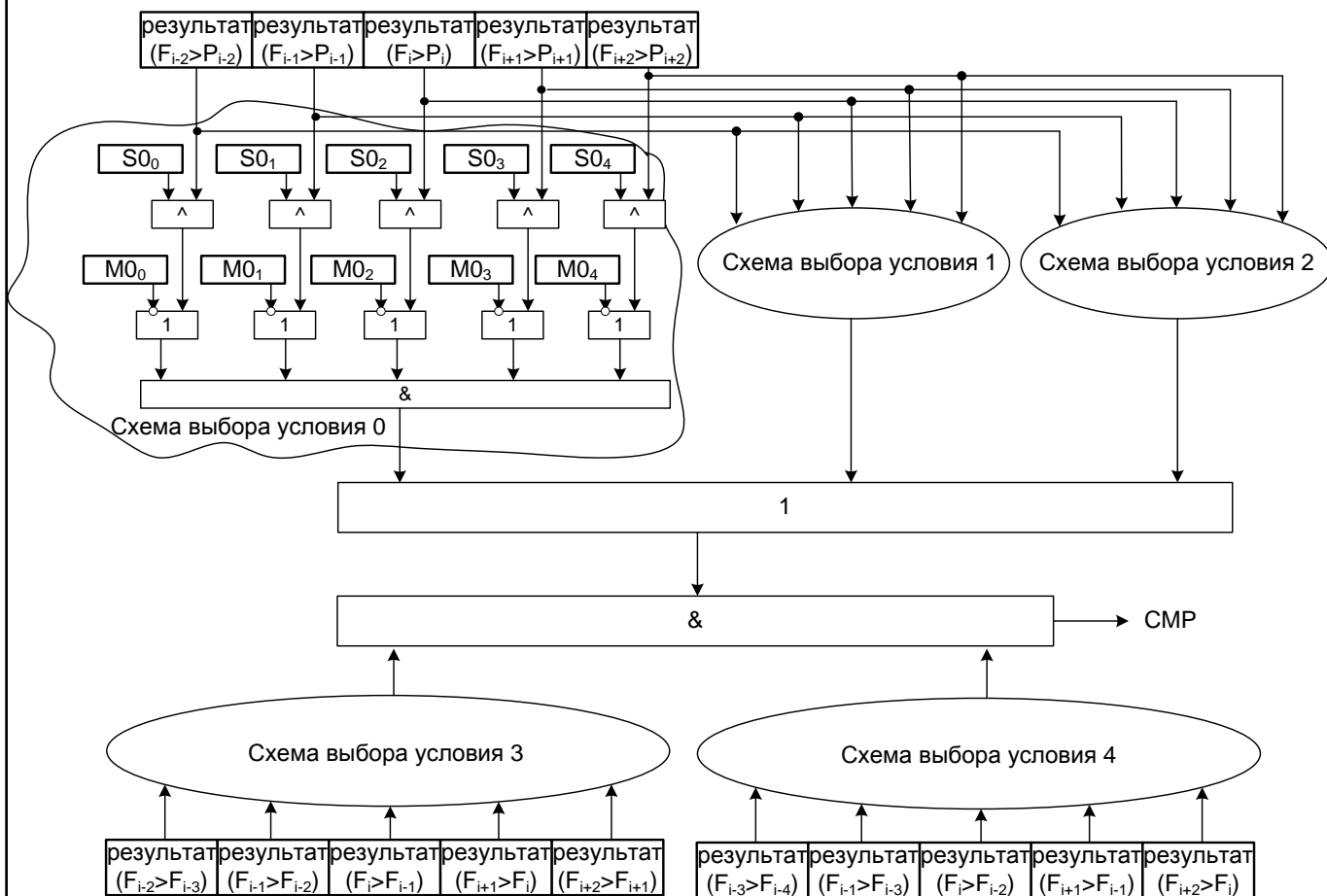
Блок сравнения (компаратор) вырабатывает сигнал обнаружения стартового символа. Для этого производится сравнение рассчитанных на предыдущем этапе значений пиков (результатов фильтрации) со значением порога, а также текущего значения пика с двумя предыдущими и двумя последующими значениями пика. Результаты сравнений для каждых пяти смежных отсчетов затем сопоставляются с соответствующими масками сравнения, заданными пользователем.

					Лист	
					227	
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		16.10.2020		38075-2		

лем. Каждая маска состоит из пяти двухбитных значений. Первый бит (S) определяет необходимость учитывать результат сравнения для каждого из пяти отсчетов (таким образом, сравнение может производиться не по пяти, а по меньшему количеству смежных отсчетов). Второй бит (M) задает ожидаемый результат сравнения для каждого из пяти смежных отсчетов.

Для сравнения отсчетов с порогом, существует три различные маски.

Сигнал считается удовлетворяющим поиску при соответствии поведения сигнала хотя бы одной из трех масок сравнения отсчетов с порогом (схемы выбора условия 0, 1 и 2 на рисунке 1.138), маске сравнения двух соседних отсчетов (схема выбора 3) и маске сравнения отсчетов через один (схема выбора 4). При выполнении необходимых неравенств, заданных программно, формируется сигнал для блока (БУ), по которому будет сформирован информационный пакет для записи в память (буфер) о найденном стартовом символе. Информационный пакет будет содержать данные относящиеся к среднему отсчету из пяти сравниваемых.



**Рисунок 1.138 - Схема сравнения компаратора**

На рисунке 1.138 представлена схема сравнений, которые производит компаратор.

- где
- $F_i$  – текущий результат фильтрации;
  - $F_{i-1}, F_{i-2}, F_{i-3}, F_{i-4}$  – предыдущие результаты фильтрации;
  - $F_{i+2}, F_{i+1}$  – следующие результаты фильтрации;
  - $P_i$  – текущее значение порога;
  - $P_{i-1}, P_{i-2}$  – предыдущие значения порога;
  - $P_{i+2}, P_{i+1}$  – следующие значения порога;
  - $MS0-MS4$  – пять 10-битных масок сравнения.

					Лист
					228
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		16.10.2020		38075-2	
Подп. и дата					



Необходимо учитывать, что в начале работы первые шесть результатов, выдаваемых компаратором, могут иметь некорректные значения, поскольку сравнения будут производиться с отсчетами, которые еще не поступили в коммутатор. В связи с этим, а также с тем, что при реконфигурации параметров согласованного фильтра, блока вычисления пиков и порогов и некоторых других блоков первые несколько тысяч отсчетов нового кадра могут иметь некорректные значения, в компараторе предусмотрена возможность не проводить сравнение над такими данными, чтобы не поймать ложные срабатывания. Компаратор поддерживает два варианта запрещения сравнения:

- **полный программный**, при котором пользователь через регистры управления устанавливает или снимает сигнал, непосредственно запрещающий сравнение данных;
- **программно-аппаратный**, при котором пользователь, в случае изменения параметров канала, которые могут повлиять на корректность фильтрации данных, устанавливает значение таймера, который задает количество отсчетов, не подлежащих сравнению. Таймер активизируется с приходом на компаратор первых данных нового кадра и запрещает сравнение данных до прихода отсчета с номером, равным заданному значению таймера.

#### 1.6.5.14 Блок упаковки (БУ)

Блок упаковки по сигналу от блока сравнения формирует для записи в буфер (память) информационный пакет данных, соответствующий номеру отсчета, по которому произошло срабатывание (в качестве такого отсчета принимается средний из пяти сравниваемых компаратором отсчетов). Информационный пакет состоит из двух 64-разрядных слов.

Первое слово содержит следующую информацию:

- [31:0] – значение интервального таймера, определяющее время прихода стартового сигнала с АЦП;
- [63:32] – адрес ячейки, сформированный БНУ, в буфере, который соответствует последнему данному, поступившему в согласованный фильтр. Это необходимо для вычисления адреса первого данного, которое пойдет на блок декодирования сообщения.

Второе слово содержит следующую информацию:

- [59:0] – мощность согласованного фильтра (значение  $peak_i$ ) или значение порога для обнаруженного сигнала (значение  $threshold_i$ ). Выбор осуществляется пользователем через программно доступный регистр CTRL;
- [63:60] – номер согласованного фильтра в канале, если выбрана конфигурация с несколькими согласованными фильтрами (например, 2 фильтра по 512);

Одновременно с записью управляющей информации в память, канал вырабатывает прерывание для пользователя.

Пользователь может обрабатывать как каждое событие записи информационного пакета в память отдельно, так и производить пакетную обработку. Для этого в DDC введен счетчик необработанной пользователем информации. Этот счетчик доступен пользователю через чтение статусного регистра WR\_CC\_FIFO\_STAT. При записи очередного информационного 64-разрядного слова в память, счетчик увеличивается на единицу. При достижении некоторого порога необработанных данных (задаваемого пользователем через программно доступный регистр DMA\_WR\_CC\_FLIMIT) DDC уведомляет об этом пользователя через соответствующее прерывание. Пользователь, обработав блок информационных пакетов, сообщает DDC его размер в 64-разрядных словах – это значение вычитается из счетчика необработанной информации. Если значение счетчика переходит некую максимальную границу, заданную пользователем через программно доступный регистр DMA\_WR\_CC\_FSIZE, то считается, что произошло переполнение необработанной пользователем информации. По этому событию DDC вырабатывает прерывание DMA\_WR\_CC\_FIFO\_OVERFLOW. Пользователь может сбросить счетчик необработанных данных (через регистр DMA\_WR\_CC\_CLR), при этом DDC сообщит адрес

									Лист
									229
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата			
38075-3	<i>Редук</i> 16.10.2020			38075-2					



последних данных, записанных в память перед сбросом, через статусный регистр DMA\_WR\_CC\_CLR\_STAT.

#### 1.6.5.15 Блок управления

Блок управления предназначен для обеспечения своевременной реконфигурации блоков DDC по меткам интервального счетчика ITU.

Каждому входному отсчету с АЦП ставится в соответствие значение интервального таймера, работающего на тактовой частоте АЦП. По полученному значению осуществляется привязка данных к реальному времени.

Работа с данными, поступающими с АЦП, осуществляется кадрами. Первые данные каждого кадра подсвечиваются сигналом метки.

Поскольку большинство параметров каждого блока DDC должны меняться строго по меткам времени, задача блока управления сводится к формированию сигналов разрешения реконфигурации (смены параметров) для каждого блока. Блок управления задерживает сигнал метки, подсвечивающий входные данные нового кадра, на количество тактов, требуемых каждому блоку DDC на выдачу результата. Задержанный сигнал входной метки объединяется (по “И”) с сигналом разрешения реконфигурации отдельного блока, заданного пользователем (через программно доступный регистр CONFIG). По сформированному таким образом сигналу каждый отдельный блок DDC принимает новые параметры из регистров управления DDC и защелкивает их в своих внутренних регистрах. Блок будет работать с принятыми из регистров управления параметрами до следующей реконфигурации блока.

DDC уведомляет пользователя о завершении реконфигурации всех блоков выставлением прерывания CONFIG\_CMPL.

Часть параметров, используемых блоками DDC для своей работы, поступают непосредственно из регистров управления DDC. Изменение этих параметров пользователем через регистры управления приводит к их моментальному изменению в блоке DDC. В общем случае к таким параметрам относятся те, которые не предполагают изменений по ходу работы канала (например, выбор количества и размеров согласованных фильтров).

#### 1.6.5.16 Арбитр транзакций записи в память

Блоки БНУ и БУ формируют данные для их последующей записи в память. Запись двух потоков данных в память производится по одному интерфейсу ПДП. Задача арбитра – выбор блока, которому необходимо предоставить доступ на внешнюю шину при одновременном наличии у обоих блоков данных для записи. Выбор осуществляется посредством анализа приоритета блоков БНУ и БУ на доступ к памяти. Приоритетом блоков БНУ и БУ управляет пользователь через программно доступный регистр CTRL.

#### 1.6.5.17 Программно доступные регистры блока предварительной обработки данных (DDC)

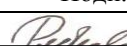
Задание конфигурационных параметров и отображение текущего состояния DDC ведется через регистры. Каждое обращение к регистрам имеет выравнивание до 32 разрядов. Регистры – 32-разрядные.

Управление каналами DDC может осуществляться процессорной системой NMU1, NMU2 или процессорной системой ARMU. Чтение и запись конфигурационных регистров блока DDC производится скалярными командами ввода/вывода и равносильно чтению и записи в определенные ячейки памяти. Адреса регистров блока DDC для процессорной системы NMU1 и NMU2 совпадают. Список регистров DDC представлен в таблице 1.200.

Базовые адреса программно доступных регистров каналов DDC:

DDC0: в пространстве NMU – 0x000C0000, в пространстве ARMU – 0x00300000;

DDC1: в пространстве NMU – 0x000C4000, в пространстве ARMU – 0x00310000.

									Лист
									230
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					

При обращении к регистрам DDC по зарезервированным адресам никаких ошибок не возникает, все транзакции завершаются нормально. При этом операции записи игнорируются, операции чтения возвращают все нули.

При попытке записи в регистры, предназначенные только для чтения через системный интерфейс управления, фактической записи данных не производится, состояние регистров не изменится, при этом операция записи считается выполненной успешно.

При дальнейшем описании отдельных полей регистров используется следующее обозначение режимов доступа пользователя к полям регистров:

- “R” – поле доступно только для чтения. Запись данных в поле игнорируется;
- “W” – поле доступно только для записи. Чтение возвращает значение 0;
- “RW” – поле доступно как для записи, так и для чтения.

**Таблица 1.200 – Список групп регистров**

Имя группы	Название	Смещение адреса групп регистров	
		в пространстве NMU	в пространстве ARMU
CONTROL	Управляющие регистры	0x00000000	0x00000000
STATUS	Статусные регистры	0x00000100	0x00000400
INTERRUPT	Регистры прерываний	0x00000200	0x00000800
CONFIG	Регистры конфигурации DDC	0x00000300 – 0x00000B00	0x00000C00 – 0x00002C00

#### 1.6.5.17.1 Группа управляющих регистров DDC (CONTROL)

В таблице 1.201 представлен список регистров, относящихся к группе CONTROL.

**Таблица 1.201 – Группа управляющих регистров DDC (CONTROL)**

Имя	Название (описание)	Адрес		Реж.	Исх. знач.
		в пространстве NMU	в пространстве ARMU		
ID_HIGH	Регистр идентификационного номера DDC, старшая часть	0x000	0x000	R	0hex176baa
ID_LOW	Регистр идентификационного номера DDC, младшая часть	0x002	0x008	R	0x18042018
CTRL	Регистр управления DDC	0x004	0x010	RW	0x0
DMA_NC	Регистр передачи контекста блокам DMA	0x006	0x018	RW	0x0
CONFIG	Регистр конфигурации	0x008	0x020	RW	0x0
ADC_CTRL	Регистр управления интерфейсом с АЦП	0x00A	0x028	RW	0x0
SOFT_RESET	Регистр программного сброса	0x010	0x040	RW	0x0
DMA_WR_CC_CLR	Регистр сброса FIFO управляющей информации	0x020	0x080	RW	0x0

##### 1.6.5.17.1.1 Регистр идентификационного номера DDC, старшая часть (ID\_HIGH)

Регистр содержит старшую часть идентификационного номера DDC.

Функциональное назначение полей регистра приведено в таблице 1.202.

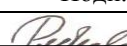
Адрес: 0x000

**Таблица 1.202 – Разряды регистра идентификационного номера DDC (ID\_HIGH)**

№ Разр	Имя	Название (описание)	Реж.	Исх. знач.
31 – 0	ID_HIGH	Идентификационный номер DDC. Старшие 4 байта.	R	0hex176baa

##### 1.6.5.17.1.2 Регистр идентификационного номера DDC, младшая часть (ID\_LOW)

Регистр содержит старшую часть идентификационного номера DDC.

									Лист
									231
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата			Взам.инв.№	Инва.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					

Функциональное назначение полей регистра приведено в таблице 1.203.  
Адрес: 0x002

**Таблица 1.203 – Разряды регистра идентификационного номера DDC (ID\_LOW)**

№ Разр	Имя	Название (описание)	Реж.	Исх. знач.
31 – 0	ID_LOW	Идентификационный номер DDC. Младшие 4 байта.	R	0x18042018

**1.6.5.17.1.3 Регистр управления DDC (CTRL)**

Регистр предназначен для управления каналом DDC.

Функциональное назначение полей регистра приведено в таблице 1.204.

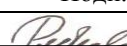
Адрес: 0x004

Бит WORK\_EN разрешает устройству принимать данные с внешнего АЦП либо с блока DMA по чтению данных.

В случае работы с данными, поступающими с внешнего АЦП включение приема данных канала должно сопровождаться установкой бита SRC\_SEL в '0'; в случае работы с читаемыми из памяти данными – установкой SRC\_SEL в '1'. При работе с читаемыми из памяти данными необходимо сначала разрешить устройству их прием (установить бит WORK\_EN в единицу), и лишь потом разрешить их чтение из памяти (установить DMA\_RD\_EN в единицу).

Бит ONLY\_RE регистра CTRL позволяет обнулять мнимую часть принимаемого комплексного отсчета.

Биты [6:4] и [8:10] регистра управляют разрешением работы и выбором режима работы блоков DMA. Подробности об управлении блоками DMA описаны в пункте 1.6.5.17.1.4 данного руководства.

										Лист
										232
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		 16.10.2020			38075-2					

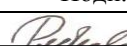
**Таблица 1.204 – Разряды регистра управления DDC (CTRL)**

№ Разр.	Имя	Название (описание)	Реж.	Исх. знач.
31 – 21	reserved		R	0x0
20	SRC_SEL	Выбор источника поступления данных: '0' – внешний АЦП; '1' – внутренний DMA.	RW	0x0
19 – 17	reserved		R	0x0
16	ONLY_RE	Работа только с действительной частью входных данных. Мнимая часть входных данных принимается равной нулю.	RW	0x0
15	reserved		R	0x0
14	DMA_WR_FRMT_DATA	Выбор формата расположения данных в памяти блоком DMA_WR: '0' – чётные и нечетные отсчеты располагаются друг за другом в одном 64-х разрядном слове данных. '1' – все четные и все нечётные отсчеты находятся в разных 64-х разрядных словах.	RW	0x0
13	ARB_WR_PRIORITY	Выбор приоритета транзакций при арбитраже между двумя блоками записи данных: '0' – транзакции блока DMA_WR имеют больший приоритет; '1' – транзакции блока DMA_WR_CC имеют больший приоритет.	RW	0x0
12	DMA_WR_CC_CONFIG	Выбор параметра выдаваемого в качестве управляющей информации: '0' – выдавать значение пика; '1' – выдавать значение порога.	RW	0x0
11	reserved		R	0x0
10	DMA_RD_LOOP	Выбор режима работы со страницами для блока чтения исходных данных: '0' – последовательный буфер; '1' – закольцованный буфер.	RW	0x0
9	DMA_WR_CC_LOOP	Выбор режима работы со страницами для блока записи управляющей информации: '0' – последовательный буфер; '1' – закольцованный буфер.	RW	0x0
8	DMA_WR_LOOP	Выбор режима работы со страницами для блока записи обработанных данных: '0' – последовательный буфер; '1' – закольцованный буфер.	RW	0x0
7	reserved		R	0x0
6	DMA_RD_EN	Разрешение блоку DMA_RD генерировать транзакции чтения данных из памяти.	RW	0x0
5	DMA_WR_CC_EN	Разрешение блоку DMA_WR_CC генерировать транзакции записи данных в память.	RW	0x0
4	DMA_WR_EN	Разрешение блоку DMA_WR генерировать транзакции записи данных в память.	RW	0x0
3 – 1	reserved		R	0x0
0	WORK_EN	Разрешение работы устройства (разрешение приема входных отсчетов)	RW	0x0

**1.6.5.17.1.4 Регистр передачи контекста блокам DMA (DMA\_NC)**

В составе DDC имеются три блока прямого доступа в память

- DMA\_RD – блок DMA по чтению исходных данных из памяти;
- DMA\_WR – блок DMA для записи обработанных данных в память;
- DMA\_WR\_CC – блок DMA для записи управляющей информации в память.

					Лист
					233
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		 16.10.2020		38075-2	
			Подп. и дата		

Регистры CTRL и DMA\_NC предназначены для управления блоками прямого доступа в память DDC. Общая схема управления блоками выглядит следующим образом: после задания параметров страницы – базового адреса расположения в памяти и размера – пользователю необходимо передать эти значения соответствующему блоку DMA на исполнение. Передача параметров новой страницы (контекста) происходит путем записи в соответствующий бит регистра DMA\_NC единицы. При этом передача параметров может занять некоторое время, в течение которого запрещается перепрограммировать регистры параметров того блока DMA, которому передается контекст. Окончание процесса передачи контекста конкретному блоку DMA сопровождается установкой соответствующего прерывания CNTX\_APPL\_RD, CNTX\_APPL\_WR, CNTX\_APPL\_WR\_CC, а также сбросом соответствующего бита регистра DMA\_NC (DMA\_RD\_CNTX\_VALID, DMA\_WR\_CNTX\_VALID, DMA\_WR\_CC\_CNTX\_VALID) в ноль. Запрещается передавать устройству новый контекст до момента завершения передачи предыдущего. Помимо передачи параметров страницы данных блоку DMA необходимо разрешить генерацию транзакций чтения или записи данных в память путем установки бита DMA\_RD\_EN, DMA\_WR\_EN или DMA\_WR\_CC\_EN в регистре CTRL. Передача контекста блоку и разрешение его работы – независимые процессы. Таким образом возможна передача контекста страниц неактивному блоку DMA. Обработка этих страниц начнется сразу после разрешения работы блока DMA (независимо от значения бита WORK\_EN).

Пользователь передает параметры очередной страницы по чтению или записи данных в память по мере своей готовности и готовности DDC. При этом на пользователе лежит обязанность передать параметры новой страницы до того, как DDC завершит работу со всеми текущими страницами. В первую очередь это касается блоков записи данных в память, чтобы не потерять данные, предназначенные для записи. Пользователь узнает о завершении работы DDC с текущей страницей по прерываниям DMA\_RD\_PAGE\_CMPL, DMA\_WR\_PAGE\_CMPL, DMA\_WR\_CC\_PAGE\_CMPL.

Стоит обратить внимание на различие во времени возникновения прерываний завершения приема параметров страницы и завершения работы со страницей. Каждый блок DMA имеет внутри себя небольшой буфер контекстов страниц. Таким образом в начале работы блок DMA может без промедления принять несколько контекстов подряд (до четырех), и, соответственно, прерывания о завершении приема контекста также будут появляться сразу же после инициации передачи контекста пользователем. В то же время прерывание о завершении работы со страницей появится лишь после чтения/записи всех данных страницы. По ходу работы DDC частота появления прерываний завершения приема параметров очередной страницы и завершения работы со страницей выравнивается.

Наличие буфера контекстов страниц позволят избежать возможной потери данных, когда пользователь, в силу ряда причин, не может сообщить параметры новой страницы на протяжении длительного времени. Также наличие буфера контекстов позволяет организовать работу блоков DMA в режиме кольцевого буфера. В этом случае пользователь, до разрешения работы блоку DMA, должен перевести его в режим закольцованной работы, установив бит DMA\_RD\_LOOP, DMA\_WR\_LOOP или DMA\_WR\_CC\_LOOP регистра CTRL в единицу. Затем передать параметры нескольких страниц памяти откуда или куда блок DMA закольцовано будет читать или писать данные, после чего разрешить работу (генерацию транзакций) соответствующему DMA. Для каждого блока DMA пользователь выбирает режим его работы, независимо от режима других блоков. Пользователю разрешается использовать от одной до трех страниц в закольцованном режиме.

Поскольку блок DDC относится к подсистеме NeuroMatrix, базовые адреса страниц в памяти задаются в пространстве NMU (адресация к 32-разрядным словам), при этом размер страниц задается в байтах и должен быть кратен восьми.

Функциональное назначение полей регистра приведено в таблице 1.205.

Адрес: 0x006

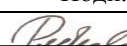
									Лист
									234
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата			
38075-3	<i>Редук</i> 16.10.2020		38075-2						

**Таблица 1.205 – Разряды регистра управления блоками DMA (DMA\_NC)**

№ Разр.	Имя	Название (описание)	Реж.	Исх. знач.
31 – 17	reserved		R	0x0
16	DMA_RD_CNTX_VALID	Запись '1' – принять параметры (DMA_RD_BASE, DMA_RD_PSIZE) новой страницы в памяти для чтения исходных данных. Запись '0' игнорируется. При чтении выдает статус передачи контекста: '0' – передача контекста не ведется (передача завершена). Разрешено программировать регистры параметров блока DMA_RD; '1' – ведется передача контекста. Запрещено программировать регистры блока DMA_RD.	RW	0x0
15 – 8	reserved		R	0x0
8	DMA_WR_CC_CNTX_VALID ID	Запись '1' – принять параметры (DMA_WR_CC_BASE, DMA_WR_CC_PSIZE) новой страницы в памяти для записи управляющей информации. Запись '0' игнорируется. При чтении выдает статус передачи контекста: '0' – передача контекста не ведется (передача завершена). Разрешено программировать регистры параметров блока DMA_WR_CC; '1' – ведется передача контекста. Запрещено программировать регистры блока DMA_WR_CC.	RW	0x0
7 – 1	reserved		R	0x0
0	DMA_WR_CNTX_VALID	Запись '1' – принять параметры (DMA_WR_BASE, DMA_WR_PSIZE) новой страницы в памяти для записи обработанных данных. Запись '0' игнорируется. При чтении выдает статус передачи контекста: '0' – передача контекста не ведется (передача завершена). Разрешено программировать регистры параметров блока DMA_WR; '1' – ведется передача контекста. Запрещено программировать регистры блока DMA_WR.	RW	0x0

**1.6.5.17.1.5 Регистр конфигурации DDC (CONFIG)**

Регистр предназначен для осуществления реконфигурации отдельных блоков DDC. Реконфигурации будут подвергнуты те параметры блоков, которые должны меняться только по границе кадров данных (по временным меткам, поступающим от интервального таймера). В таблице 1.206 представлены параметры, относящиеся к разным блокам DDC, требующие перепрограммирования с использованием регистра CONFIG.

					ЮФКВ.431268.022РЭ					Лист				
										235				
Изм	Лист	№ докум.	Подп.	Дата	Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
					38075-3		 16.10.2020		38075-2					



**Таблица 1.206 – Соответствие битов регистра CONFIG с изменяемыми параметрами DDC**

Бит регистра CONFIG, ответственный за прием изменения параметра	Название регистра, содержащего изменяемый параметр	Название изменяемого параметра
HET_RECONFIG	HET_PHASE	HET_PHASE
	HET_FREQ	HET_FREQ
	HET_PARAM	HET_RST
		HET_ROUND
NORM0_RECONFIG	NORM0_PARAM	ROUND_MODE
		SATURATION_EN
		ROUND_SIZE
FIR_RECONFIG	FIR_COEF_N	FIR_COEF_N
DEC_RECONFIG	DEC_PARAM	DEC_ACCUM_NUM
		DEC_ACCUM_EN
NORM1_RECONFIG	NORM1_PARAM	ROUND_MODE
		SATURATION_EN
		ROUND_SIZE
MATCH_RECONFIG	MATCH_COEF_N	MATCH_COEF_N
	Регистры генератора PRSG	Параметры генератора PRSG
PTC_RECONFIG (при PEAK_TYPE = 0)	TRESH_COEF_K	TRESH_COEF_K
	TRESH_COEF_C	TRESH_COEF_C
PTC_RECONFIG (при PEAK_TYPE = 1)	TRESH_COEF_M	TRESH_COEF_M_NUMER
		TRESH_COEF_M_ORDER
	TRESH_COEF_D	TRESH_COEF_D_NUMER
		TRESH_COEF_D_ORDER
CMP_RECONFIG	CMP_MASK_TIMER	CMP_MASK_TIMER
		CMP_MASK_EN

После задания новых значений параметров в регистрах группы конфигурации DDC пользователь должен установить в единицу биты [8:0] регистра CONFIG, соответствующие тем блокам DDC, в которых производятся изменения. После этого пользователю запрещается модифицировать регистры группы конфигурации DDC и регистр CONFIG до появления прерывания о завершении процесса реконфигурации CONFIG\_CMPL.

Предусмотрена возможность принудительной реконфигурации блоков DDC без ожидания прихода нового кадра (новой метки времени). Эта возможность используется в первую очередь при работе с данными, читаемыми из памяти, которые не снабжены временными метками. При установке бита FORCED\_RECONFIG формируется ложная метка времени, по которой происходит реконфигурация тех блоков DDC, на которые указывают биты [8:0] регистра CONFIG.

Функциональное назначение полей регистра приведено в таблице 1.207.

Адрес: 0x008

									Лист
									236
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2						



**Таблица 1.207 – Разряды регистра конфигурации DDC (CONFIG)**

№ Разр.	Имя	Название (описание)	Реж.	Исх. знач.
31 – 17	reserved		R	0x0
16	FORCED_RECONFIG	Запись '1' – произвести принудительную реконфигурацию устройства без привязки к кадрам (меткам времени). Запись '0' игнорируется. При чтении выдает ноль.	RW	0x0
15 – 9	reserved		R	0x0
8	CMP_RECONFIG	Запись '1' – разрешение произвести реконфигурацию блока компаратора по приходу первых данных следующего кадра. Бит автоматически сбрасывается в ноль по завершению реконфигурации DDC.	RW	0x0
7	PTC_RECONFIG	Запись '1' – разрешение произвести реконфигурацию блока вычисления пиков по приходу первых данных следующего кадра (метки времени). Бит автоматически сбрасывается в ноль по завершению реконфигурации DDC.	RW	0x0
6	MATCH_RECONFIG	Запись '1' – разрешение произвести реконфигурацию блока согласованного фильтра по приходу первых данных следующего кадра. Бит автоматически сбрасывается в ноль по завершению реконфигурации DDC.	RW	0x0
5	reserved		R	0x0
4	NORM1_RECONFIG	Запись '1' – разрешение произвести реконфигурацию блока нормализатора 1 по приходу первых данных следующего кадра. Бит автоматически сбрасывается в ноль по завершению реконфигурации DDC.	RW	0x0
3	DEC_RECONFIG	Запись '1' – разрешение произвести реконфигурацию блока дециматора по приходу первых данных следующего кадра. Бит автоматически сбрасывается в ноль по завершению реконфигурации DDC.	RW	0x0
2	FIR_RECONFIG	Запись '1' – разрешение произвести реконфигурацию блока КИХ-фильтра по приходу первых данных следующего кадра. Бит автоматически сбрасывается в ноль по завершению реконфигурации DDC.	RW	0x0
1	NORM0_RECONFIG	Запись '1' – разрешение произвести реконфигурацию блока нормализатора 0 по приходу первых данных следующего кадра. Бит автоматически сбрасывается в ноль по завершению реконфигурации DDC.	RW	0x0
0	HET_RECONFIG	Запись '1' – разрешение произвести реконфигурацию блока гетеродина по приходу первых данных следующего кадра. Бит автоматически сбрасывается в ноль по завершению реконфигурации DDC.	RW	0x0

**1.6.5.17.1.6 Регистр управления интерфейсом с АЦП (ADC\_CTRL)**

Регистр содержит управляющую информацию об интерфейсе АЦП.  
Функциональное назначение полей регистра приведено в таблице 1.208.  
Адрес: 0x00A

					ЮФКВ.431268.022РЭ					Лист				
										237				
Изм	Лист	№ докум.	Подп.	Дата	Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
					38075-3		<i>Редкол</i> 16.10.2020		38075-2					

**Таблица 1.208 – Разряды регистра управления АЦП (ADC\_CTRL)**


№ Разр.	Имя	Название (описание)	Реж.	Исх. знач.
31 – 18	reserved		R	0x0
17 – 16	DATA_CODING	Формат входных данных от АЦП: ‘0’ – дополнительный код; ‘1’ – двоичный код со смещением (offset binary); ‘2’ – код Грея; ‘3’ – зарезервировано.	RW	0x0
15	reserved		R	0x0
14	OVR_DIS	Использование сигнала OVR при обнаружении переполнения: ‘0’ – переполнение будет детектироваться с учетом сигнала OVR; ‘1’ – переполнение будет детектироваться только по коду данных.	RW	0x0
13	OVR_EDGE_SEL	Порядок мультиплексирования сигнала переполнения DDR: ‘0’ – защелкивание сигнала OVR по положительному фронту; ‘1’ – защелкивание сигнала OVR по отрицательному фронту.	RW	0x0
12	DATA_EDGE_SEL	Порядок мультиплексирования DDR: ‘0’ – четные биты/данные канала 0 защелкиваются по положительному фронту, нечетные биты/данные канала 1 защелкиваются по отрицательному фронту; ‘1’ – порядок, обратный описанному для значения ‘0’.	RW	0x0
11	SMPL_ORDER	Порядок захвата отсчетов при мультиплексировании even/odd: ‘0’ – первая половина отсчета защелкивается по отрицательному фронту, вторая половина защелкивается по положительному фронту; ‘1’ – первая половина отчета защелкивается по положительному фронту, вторая половина защелкивается по отрицательному фронту.	RW	0x0
10	DUAL_OVR_MODE	Реализация сигналов OVR при подключении одного двухканального АЦП: ‘0’ – каждый канал имеет свой сигнал OVR; ‘1’ – сигналы OVR для обоих каналов мультиплексированы в режиме DDR на одной линии.	RW	0x0
9	DUAL_DDR_MODE	Режим мультиплексирования DDR данных при подключении одного двухканального АЦП: ‘0’ – чередование четных/нечетных бит; ‘1’ – чередование каналов.	RW	0x0
8	DUAL_EN	Конфигурация подключения двухканального АЦП ‘0’ – подключены два одноканальных АЦП; ‘1’ – подключен один двухканальный АЦП.	RW	0x0
7 – 6	reserved		R	0x0
5 – 0	LATENCY	Поле задает конвейерную задержку АЦП	RW	0x0

**1.6.5.17.1.7 Регистр программного сброса DDC (SOFT\_RESET)**

Регистр позволяет управлять программным сбросом DDC.

Функциональное назначение полей регистра приведено в таблице 1.209.

Адрес: 0x010

					ЮФКВ.431268.022РЭ					Лист
										238
Изм	Лист	№ докум.	Подп.	Дата	Взам.инв.№		Инав.№дубл.	Подп. и дата		
					38075-2			 16.10.2020		
Инв.№подл.		Подп. и дата			Взам.инв.№		Инав.№дубл.		Подп. и дата	
38075-3					38075-2					

**Таблица 1.209 – Разряды регистра программного сброса DDC (SOFT\_RESET)**

№ Разр	Имя	Название (описание)	Реж.	Исх. знач.
31 – 1	reserved		R	0x0
0	SOFT_RESET	Бит программного сброса.	RW	0x0

Запись единицы в данный регистр вызывает сброс управляющей логики DDC. Программный сброс возможен только при выключенном DDC, когда биты разрешения работы всех блоков DMA (DMA\_RD\_EN, DMA\_WR\_EN, DMA\_WR\_CC\_EN) и бит разрешения приема данных DDC (WORK\_EN) установлены в '0'. В противном случае запись единицы в данный регистр игнорируется и сброс логики DDC не произойдет. При этом DDC уведомит об этом пользователя установкой прерывания RESET\_FAIL.

Перед сбросом DDC пользователь обязан удостовериться в том, что блоки DMA не имеют незавершенных транзакций на шинах путем чтения регистра состояния DMA\_STAT.

Операция программного сброса длится несколько десятков тактов системной частоты, в течение которых чтение регистра программного сброса будет возвращать единицу. Значение регистра программного сброса обнулится по завершении операции программного сброса. Вместе с этим DDC уведомит пользователя о завершении программного сброса установкой прерывания RESET\_COMPLETE.

Во время сброса модификация регистров DDC запрещена.

Запись значения нуля в данный регистр игнорируется.

Регистр SOFT\_RESET, а также регистры группы прерываний (INTERRUPT) не сбрасываются по программному сбросу. Пользователь обязан устанавливать их в исходное (желаемое) состояние самостоятельно.

#### 1.6.5.17.1.8 Регистр сброса FIFO управляющей информации (DMA\_WR\_CC\_CLR)

Регистр предназначен для сброса счетчиков FIFO управляющей информации. После проведения сброса счетчик необработанной пользователем управляющей информации (DMA\_WR\_CC\_FIFO\_STAT) сбрасывается в ноль. А в регистре DMA\_WR\_CC\_CLR\_STAT отображается адрес, по которому было записано последнее слово управляющей информации до осуществления сброса.

Функциональное назначение полей регистра приведено в таблице 1.210.

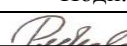
Адрес: 0x020

**Таблица 1.210 – Разряды регистра сброса FIFO управляющей информации (DMA\_WR\_CC\_CLR)**

№ Разр.	Имя	Название (описание)	Реж.	Исх. знач.
31 – 1	reserved		R	0x0
0	DMA_WR_CC_CLR_FIFO	Запись '1' – сброс FIFO управляющей информации. Запись '0' игнорируется.	RW	0x0

#### 1.6.5.17.2 Группа статусных регистров DDC (STATUS)

Статусные регистры DDC предоставляют информацию о его текущем состоянии. В таблице 1.211 представлены регистры входящие в данную группу.

									Лист
									239
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					

**Таблица 1.211 – Группа статусных регистров DDC (STATUS)**

Имя	Название (описание)	Адрес		Реж.	Исх. знач.
		в пространстве NMU	в пространстве ARMU		
HET_STATUS	Регистр состояния гетеродина	0x100	0x400	R	0x00000000
DMA_STATUS	Регистр состояния блоков DMA	0x102	0x408	R	0x00000000
DMA_RD_POINTER	Регистр указателя на последние прочитанные данные блоком DMA_RD	0x104	0x410	R	0x00000000
DMA_WR_POINTER	Регистр указателя на последние записанные данные блоком DMA_WR	0x106	0x418	R	0x00000000
DMA_WR_CC_POINTER	Регистр указателя на последние записанные данные блоком DMA_WR_CC	0x108	0x420	R	0x00000000
WR_TIMER	Регистр значения интервального таймера	0x10A	0x428	R	0x00000000
NORM0_SATUR	Регистр счетчика переполнений нормализатора 0	0x10C	0x430	R	0x00000000
NORM1_SATUR	Регистр счетчика переполнений нормализатора 1	0x10E	0x438	R	0x00000000
ADC_STAT	Регистр статуса интерфейса с АЦП	0x110	0x440	R	0x00000000
DMA_WR_CC_FIFO_STAT	Регистр заполненности FIFO необработанной пользователем управляющей информации	0x112	0x448	R	0x00000000
DMA_WR_CC_CLR_STAT	Регистр адреса последнего слова данных перед сбросом	0x114	0x450	R	0x00000000
DEC_LOST_DATA	Регистр количества неучтенных данных при реконфигурации дециматора	0x120	0x480	R	0x00000000

Регистры DMA\_RD\_POINTER, DMA\_WR\_POINTER, DMA\_WR\_CC\_POINTER предназначены для отладочных целей. Запрещается использовать значения этих регистров для организации работы с устройством.

**1.6.5.17.2.1 Регистр состояния фазы гетеродина (HET\_FT\_O)**

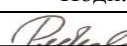
Данный регистр предназначен для отображения информации о состоянии устройства. Функциональное назначение полей регистра приведено в таблице 1.212. Адрес: 0x100

**Таблица 1.212 – Разряды регистра (HET\_FT\_O)**

№ Разр	Имя	Название (описание)	Реж.	Исх. знач.
31 – 0	HET_FT	Значение фазы гетеродина на момент прихода метки	R	0x0

**1.6.5.17.2.2 Регистр состояния блоков DMA (DMA\_STATUS)**

Регистр содержит статусную информацию о наличии активных (незавершенных) транзакций на шине для каждого блока DMA. Проверять состояние блоков DMA необходимо перед выполнением программного сброса, чтобы не допустить зависания транзакций на шине. Функциональное назначение полей регистра приведено в таблице 1.213. Адрес: 0x102

					ЮФКВ.431268.022РЭ					Лист
										240
Изм	Лист	№ докум.	Подп.	Дата	Инв.№подл.		Подп. и дата	Взам.инв.№	Инв.№дубл.	Подп. и дата
					38075-3		 16.10.2020	38075-2		

**Таблица 1.213 – Разряды регистра состояния конвейера управления (CPIPE\_STATUS)**

№ Разр	Имя	Название (описание)	Реж.	Исх. знач.
31 – 17	reserved		R	0x0
16	DMA_RD_ACTIVE_TR	Блок DMA имеет активные транзакции по каналу чтения	R	0x0
15 – 9	reserved		R	0x0
8	DMA_WR_CC_ACTIVE_TR	Блок DMA имеет активные транзакции по каналу записи управляющей информации	R	0x0
7 – 1	reserved		R	0x0
0	DMA_WR_ACTIVE_TR	Блок DMA имеет активные транзакции по каналу записи данных	R	0x0

**1.6.5.17.2.3 Регистр указателя на последние прочитанные данные блоком DMA\_RD (DMA\_RD\_POINTER)**

Регистр DMA\_RD\_POINTER содержит адрес внешней памяти, по которому было прочитано последнее 64-разрядное слово данных. Адрес указывает на 32-битные слова, но поскольку чтение ведется 64-х разрядными словами, его младший бит будет иметь значение '0', то есть значения адреса всегда четные.

Функциональное назначение полей регистра приведено в таблице 1.214.

Адрес: 0x104

**Таблица 1.214 – Разряды регистра указателя DDC (DMA\_RD\_POINTER)**

№ Разр	Имя	Название (описание)	Реж.	Исх. знач.
31 – 0	DMA_RD_POINTER	Указатель адреса последнего прочитанного блоком DMA_RD слова памяти.	R	0x0

**1.6.5.17.2.4 Регистр указателя на последние записанные данные блоком DMA\_WR (DMA\_WR\_POINTER)**

Регистр WR\_POINTER содержит адрес внешней памяти, по которому была произведена запись последнего 64-разрядного слова данных блоком DMA\_WR. Адрес указывает на 32-битные слова, но поскольку запись ведется 64-х разрядными словами, его младший бит будет иметь значение '0', то есть значения адреса всегда четные.

Функциональное назначение полей регистра приведено в таблице 1.215.

Адрес: 0x106

**Таблица 1.215 – Разряды регистра указателя (DMA\_WR\_POINTER)**

№ Разр	Имя	Название (описание)	Реж.	Исх. знач.
31 – 0	DMA_WR_POINTER	Указатель адреса последнего записанного блоком DMA_WR слова в память.	R	0x0

**1.6.5.17.2.5 Регистр указателя на последние записанные данные блоком DMA\_WR\_CC (DMA\_WR\_CC\_POINTER)**

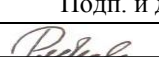
Регистр WR\_CC\_POINTER содержит адрес внешней памяти, по которому была произведена запись последнего 64-разрядного слова данных блоком DMA\_WR\_CC. Адрес указывает на 32-битные слова, но поскольку запись ведется 64-х разрядными словами, его младший бит будет иметь значение '0', то есть значения адреса всегда четные.

Функциональное назначение полей регистра приведено в таблице 1.216.

Адрес: 0x108

**Таблица 1.216 – Разряды регистра указателя (DMA\_WR\_CC\_POINTER)**

№ Разр	Имя	Название (описание)	Реж.	Исх. знач.
31 – 0	DMA_WR_CC_POINTER	Указатель адреса последнего записанного слова в память.	R	0x0

									Лист
									241
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		 16.10.2020		38075-2					

#### 1.6.5.17.2.6 Регистр значения интервального таймера (WR\_TIMER)

Регистр содержит значение интервального таймера, соответствующее отсчету, размещенному в начале очередной страницы памяти, с которой начал работать блок DMA\_WR.

Функциональное назначение полей регистра приведено в таблице 1.217.

Адрес: 0x10A

**Таблица 1.217 – Разряды регистра значения интервального таймера (WR\_TIMER)**

№ Разр	Имя	Название (описание)	Реж.	Исх. знач.
31 – 0	WR_TIMER	Значение интервального таймера соответствующее первым данным новой страницы блока DMA_WR	R	0x0

#### 1.6.5.17.2.7 Регистр счетчика переполнений нормализатора 0 (NORM0\_SATUR)

Регистр содержит информацию о количестве переполнений, возникших в результате нормализации с насыщением данных последнего кадра в нормализаторе 0.

Функциональное назначение полей регистра приведено в таблице 1.218.

Адрес: 0x10C

**Таблица 1.218 – Разряды регистра счетчика переполнений нормализатора 0 (NORM0\_SATUR)**

№ Разр	Имя	Название (описание)	Реж.	Исх. знач.
31 – 15	ST_OVERFLOW_IM	Количество переполнений в последнем кадре при нормализации мнимой составляющей комплексного отсчета	R	0x0
15 – 0	ST_OVERFLOW_RE	Количество переполнений в последнем кадре при нормализации действительной составляющей комплексного отсчета	R	0x0

#### 1.6.5.17.2.8 Регистр счетчика переполнений нормализатора 1 (NORM1\_SATUR)

Регистр содержит информацию о количестве переполнений, возникших в результате нормализации с насыщением данных последнего кадра в нормализаторе 1.

Функциональное назначение полей регистра приведено в таблице 1.219.

Адрес: 0x10E

**Таблица 1.219 – Разряды регистра счетчика переполнений нормализатора 1 (NORM1\_SATUR)**

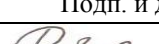
№ Разр	Имя	Название (описание)	Реж.	Исх. знач.
31 – 15	ST_OVERFLOW_IM	Количество переполнений в последнем кадре при нормализации мнимой составляющей комплексного отсчета	R	0x0
15 – 0	ST_OVERFLOW_RE	Количество переполнений в последнем кадре при нормализации действительной составляющей комплексного отсчета	R	0x0

#### 1.6.5.17.2.9 Регистр статуса интерфейса с АЦП (ADC\_STAT)

Регистр содержит статусную информацию о выходе каналов АЦП за пределы диапазона.

Функциональное назначение полей регистра приведено в таблице 1.220.

Адрес: 0x110

									Лист
									242
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					



**Таблица 1.220 – Разряды регистра статуса интерфейса с АЦП (ADC\_STAT)**

№ Разр	Имя	Название (описание)	Реж.	Исх. знач.
31 - 4	reserved		R	0x0
3	ADC1_OVRP	Показывает, что текущее входное напряжение АЦП1 выходит за пределы диапазона сверху	R	0x0
2	ADC1_OVRN	Показывает, что текущее входное напряжение АЦП1 выходит за пределы диапазона снизу	R	0x0
1	ADC0_OVRP	Показывает, что текущее входное напряжение АЦП0 выходит за пределы диапазона сверху	R	0x0
0	ADC0_OVRN	Показывает, что текущее входное напряжение АЦП0 выходит за пределы диапазона снизу	R	0x0

**1.6.5.17.2.10 Регистр заполненности FIFO необработанной пользователем управляющей информации (DMA\_WR\_CC\_FIFO\_STAT)**

Регистр отображает значение текущей заполненности FIFO необработанной пользователем управляющей информации. По этому значению пользователь может оценить объем управляющей информации, записанной в память, но ещё не обработанной пользователем.

Функциональное назначение полей регистра приведено в таблице 1.221.

Адрес: 0x112

**Таблица 1.221 – Разряды заполненности FIFO необработанной пользователем управляющей информации (WR\_CC\_FIFO\_STAT)**

№ Разр	Имя	Название (описание)	Реж.	Исх. знач.
31 – 0	WR_CC_FIFO_STAT	Значение текущей заполненности FIFO в 64-х разрядных словах	R	0x0

**1.6.5.17.2.11 Регистр адреса последнего слова данных перед сбросом (DMA\_WR\_CC\_CLR\_STAT)**

Регистр содержит адрес внешней памяти, по которому была произведена запись последнего слова управляющей информации. Адрес кратен размеру слова памяти (8 байт).

Функциональное назначение полей регистра приведено в таблице 1.222.

Адрес: 0x114

**Таблица 1.222 – Регистр адреса последнего слова данных перед сбросом (DMA\_WR\_CC\_CLR\_STAT)**

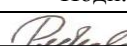
№ Разр	Имя	Название (описание)	Реж.	Исх. знач.
31 – 0	DMA_WR_CC_CLR_STAT	Адрес, по которому было записано последнее 64-х разрядное слово управляющей информации.	R	0x0

**1.6.5.17.2.12 Регистр количества неучтенных данных при реконфигурации дециматора (DEC\_LOST\_DATA\_NUM)**

Регистр содержит в себе значение количества неучтенных данных кадра, предшествующих реконфигурации дециматора.

Функциональное назначение полей регистра приведено в таблице 1.223.

Адрес: 0x120

									Лист
									243
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	 16.10.2020		38075-2						



**Таблица 1.223 – Разряды регистра количества неучтенных данных при реконфигурации дециматора (DEC\_LOST\_DATA\_NUM)**

№ Разр	Имя	Название (описание)	Реж.	Исх. знач.
31 – 10	reserved		R	0x0
9 – 0	DEC_LOST_DATA_NUM	Количество неучтенных данных последнего кадра в связи с реконфигурацией дециматора	R	0x0

### 1.6.5.17.3 Группа регистров прерываний DDC (INTERRUPT)

Группа регистров прерываний DDC включает в себя восемь регистров (по четыре на каждую линию прерывания), представленных в таблице 1.224.

**Таблица 1.224 – Группа регистров прерываний DDC (INTERRUPT)**

Имя	Название (описание)	Адрес		Реж.	Исх. знач.
		в пространстве NMU	в пространстве ARMU		
INT0_STAT_RD	Регистр состояния прерывания 0	0x200	0x800	R	0x00001000
INT0_STAT_RES	Регистр сброса прерывания 0	0x202	0x808	W	0x00000000
INT0_STAT_SET	Регистр установки прерывания 0	0x204	0x810	W	0x00000000
INT0_MASK	Регистр разрешения прерывания 0	0x206	0x818	RW	0x00000000
INT1_STAT_RD	Регистр состояния прерывания 1	0x210	0x840	R	0x00001000
INT1_STAT_RES	Регистр сброса прерывания 1	0x212	0x848	W	0x00000000
INT1_STAT_SET	Регистр установки прерывания 1	0x214	0x850	W	0x00000000
INT1_MASK	Регистр разрешения прерывания 1	0x216	0x858	RW	0x00000000

Регистр INT\_STAT\_RD содержит информацию, отображающую состояние прерываний DDC. При возникновении определенного события аппаратра выставляет в соответствующем ему разряде регистра INT\_STAT\_RD единичное значение, которое свидетельствует о возникновении прерывания, соответствующего этому событию.

Пользователь может вручную установить интересующее его прерывание в регистре INT\_STAT\_RD путем записи единицы в соответствующий бит регистра INT\_STAT\_SET. При записи нулевого значения в соответствующий разряд регистра INT\_STAT\_SET значение регистра INT\_STAT\_RD не изменяется. При чтении регистра INT\_STAT\_SET всегда выдается значение 0.

Для снятия прерывания регистра INT\_STAT\_RD необходимо в соответствующий бит регистра INT\_STAT\_RES записать единицу. При записи нулевого значения, значение регистра INT\_STAT\_RD не изменяется. Чтение регистра INT\_STAT\_RES всегда возвращает значение 0.

Прерывания, отображаемые в регистре INT\_STAT\_RD, маскируются битами регистра INT\_MASK. Если в разряде регистра разрешения прерываний установлена единица и в регистре состояния прерываний зафиксировано возникновение соответствующего прерывания, то DDC генерирует сигнал о возникновении прерывания, который выдается в систему.

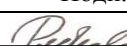
#### 1.6.5.17.3.1 Регистр состояния прерывания 0 (INT0\_STAT\_RD)

Регистр содержит информацию о состоянии прерываний DDC:

- '0' – прерывание по событию не активно;
- '1' – прерывание по событию активно.

Функциональное назначение полей регистра приведено в таблице 1.225.

Адрес: 0x200.

									Лист
									244
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	 16.10.2020		38075-2						

**Таблица 1.225 – Разряды регистра состояния прерываний 0 (INT0\_STAT\_RD)**

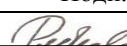
№ Разр.	Имя	Название (описание)	Реж.	Исх. знач.
31	ADC1_OVRP	Зафиксирован выход входного напряжения АЦП1 за пределы диапазона сверху	R	0x0
30	ADC1_OVRN	Зафиксирован выход входного напряжения АЦП1 за пределы диапазона снизу	R	0x0
29	ADC0_OVRP	Зафиксирован выход входного напряжения АЦП0 за пределы диапазона сверху	R	0x0
28	ADC0_OVRN	Зафиксирован выход входного напряжения АЦП0 за пределы диапазона снизу	R	0x0
27 – 26	reserved		R	0x0
25	PRS_CMPL	Генератор ПСП завершил генерацию всех 1024 хкоэффициентов для согласованных фильтров.	R	0x0
24	DEC_LOST_DATA	При изменении параметров блока дециматора был потерян результат обработки последних данных предыдущего кадра.	R	0x0
23 – 22	reserved		R	0x0
21	CONFIG_CMPL	Реконфигурация DDC завершена	R	0x0
20	IIR_STAMP	Обработанные данные очередного кадра переданы в блок DMA_WR для записи в память.	R	0x0
19 – 17	reserved		R	0x0
16	DMA_WR_OVERFLOW	Переполнение буфера блока DMA_WR. Данные, предназначенные для записи в память, были потеряны.	R	0x0
15 – 14	reserved		R	0x0
13	RESET_FAIL	Программный сброс не осуществлен (вырабатывается при попытке сбросить активный DDC)	R	0x0
12	RESET_CMPL	Успешное завершение программного и аппаратного сброса	R	0x1
11 – 10	reserved		R	0x0
9	CNTX_APPL_RD	Блок DMA_RD DDC принял очередной контекст (начал работать с новой страницей)	R	0x0
8	CNTX_APPL_WR	Блок DMA_WR DDC принял очередной контекст (начал работать с новой страницей)	R	0x0
7 – 6	reserved		R	0x0
5	DMA_RD_PAGE_COMPL	Блок DMA_RD DDC завершил работу с очередной страницей (завершил чтение всех данных страницы).	R	0x0
4	DMA_WR_PAGE_COMPL	Блок DMA_WR DDC завершил работу с очередной страницей (завершил запись всех данных страницы).	R	0x0
3 – 0	reserved		R	0x0

**1.6.5.17.3.2 Регистр установки прерывания 0 (INT0\_STAT\_SET)**

Регистр позволяет пользователю самостоятельно установить любое из состояний прерываний регистра INT\_STAT\_RD (используется в тестовых целях). Для установки сигнала прерывания в соответствующий разряд регистра INT\_SET должно быть записано единичное значение.

Функциональное назначение полей регистра приведено в таблице 1.226.

Адрес: 0x202.

					ЮФКВ.431268.022РЭ					Лист
										245
Изм	Лист	№ докум.	Подп.	Дата	Инв.№подл.		Подп. и дата	Взам.инв.№	Инв.№дубл.	Подп. и дата
					38075-3		 16.10.2020	38075-2		

**Таблица 1.226 – Разряды регистра установки прерываний 0 (INT0\_STAT\_SET)**

№ Разр.	Имя	Название (описание)	Реж.	Исх. знач.
31	ADC1_OVRP	Зафиксирован выход входного напряжения АЦП1 за пределы диапазона сверху	W	0x0
30	ADC1_OVRN	Зафиксирован выход входного напряжения АЦП1 за пределы диапазона снизу	W	0x0
29	ADC0_OVRP	Зафиксирован выход входного напряжения АЦП0 за пределы диапазона сверху	W	0x0
28	ADC0_OVRN	Зафиксирован выход входного напряжения АЦП0 за пределы диапазона снизу	W	0x0
27 – 26	reserved		R	0x0
25	PRS_CMPL	Генератор ПСП завершил генерацию всех 1024-х коэффициентов для согласованных фильтров.	W	0x0
24	DEC_LOST_DATA	При изменении параметров блока дециматора был потерян результат обработки последних данных предыдущего кадра.	W	
23 – 22	reserved		R	0x0
21	CONFIG_CMPL	Реконфигурация DDC завершена	W	0x0
20	IIR_STAMP	Обработанные данные очередного кадра переданы в блок DMA_WR для записи в память.	W	0x0
19 – 17	reserved		R	0x0
16	DMA_WR_OVERFLOW	Переполнение буфера блока DMA_WR. Данные предназначенные для записи в память были потеряны.	W	
15 – 14	reserved		R	0x0
13	RESET_FAIL	Программный сброс не осуществлен (вырабатывается при попытке сбросить активный DDC)	W	0x0
12	RESET_CMPL	Успешное завершение программного и аппаратного сброса	W	0x1
11 – 10	reserved		R	0x0
9	CNTX_APPL_RD	Блок DMA_RD DDC принял очередной контекст (начал работать с новой страницей)	W	
8	CNTX_APPL_WR	Блок DMA_WR DDC принял очередной контекст (начал работать с новой страницей)	W	
7 – 6	reserved		R	0x0
5	DMA_RD_PAGE_COMPL	Блок DMA_RD DDC завершил работу с очередной страницей (завершил чтение всех данных страницы).	W	0x0
4	DMA_WR_PAGE_COMPL	Блок DMA_WR DDC завершил работу с очередной страницей (завершил запись всех данных страницы).	W	0x0
3 – 0	reserved		R	0x0

**1.6.5.17.3.3 Регистр сброса прерывания 0 (INT0\_STAT\_RES)**

Регистр позволяет пользователю сбросить любое из состояний прерываний регистра INT\_STAT\_RD. Для сброса сигнала прерывания в соответствующий разряд регистра INT\_STAT\_RES должно быть записано единичное значение.

Функциональное назначение полей регистра приведено в таблице 1.227.

Адрес: 0x204.

					ЮФКВ.431268.022РЭ					Лист				
										246				
Изм	Лист	№ докум.	Подп.	Дата	Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
					38075-3		<i>Редук</i> 16.10.2020		38075-2					

**Таблица 1.227 – Разряды регистра сброса прерываний 0 (INT0\_STAT\_RES)**

№ Разр.	Имя	Название (описание)	Реж.	Исх. знач.
31	ADC1_OVRP	Зафиксирован выход входного напряжения АЦП1 за пределы диапазона сверху	W	0x0
30	ADC1_OVRN	Зафиксирован выход входного напряжения АЦП1 за пределы диапазона снизу	W	0x0
29	ADC0_OVRP	Зафиксирован выход входного напряжения АЦП0 за пределы диапазона сверху	W	0x0
28	ADC0_OVRN	Зафиксирован выход входного напряжения АЦП0 за пределы диапазона снизу	W	0x0
27 – 26	reserved		R	0x0
25	PRS_CMPL	Генератор ПСП завершил генерацию всех 1024-х коэффициентов для согласованных фильтров.	W	0x0
24	DEC_LOST_DATA	При изменении параметров блока дециматора был потерян результат обработки последних данных предыдущего кадра.	W	0x0
23 – 22	reserved		R	0x0
21	CONFIG_CMPL	Реконфигурация DDC завершена	W	0x0
20	IIR_STAMP	Обработанные данные очередного кадра переданы в блок DMA_WR для записи в память.	W	0x0
19 – 17	reserved		R	0x0
16	DMA_WR_OVERFLOW	Переполнение буфера блока DMA_WR. Данные, предназначенные для записи в память, были потеряны.	W	0x0
15 – 14	reserved		R	0x0
13	RESET_FAIL	Программный сброс не осуществлен (вырабатывается при попытке сбросить активный DDC)	W	0x0
12	RESET_CMPL	Успешное завершение программного и аппаратного сброса	W	0x0
11 – 10	reserved		R	0x0
9	CNTX_APPL_RD	Блок DMA_RD DDC принял очередной контекст (начал работать с новой страницей)	W	0x0
8	CNTX_APPL_WR	Блок DMA_WR DDC принял очередной контекст (начал работать с новой страницей)	W	0x0
7 – 6	reserved		R	0x0
5	DMA_RD_PAGE_COMPL	Блок DMA_RD DDC завершил работу с очередной страницей (завершил чтение всех данных страницы).	W	0x0
4	DMA_WR_PAGE_COMPL	Блок DMA_WR DDC завершил работу с очередной страницей (завершил запись всех данных страницы).	W	0x0
3 – 0	reserved		R	0x0

**1.6.5.17.3.4 Регистр разрешения прерывания 0 (INT0\_MASK)**

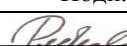
Регистр предоставляет возможность управлять разрешением выработки сигнала прерывания по определенным событиям:

- '0' – прерывание по событию запрещено;
- '1' – прерывание по событию разрешено.

Для разрешения прерывания нужно записать единицу в соответствующий разряд регистра.

Функциональное назначение полей регистра приведено в таблице 1.228.

Адрес: 0x206.

					ЮФКВ.431268.022РЭ	Лист 247
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		 16.10.2020		38075-2		

**Таблица 1.228 – Разряды регистра разрешения прерываний 0 (INT0\_MASK)**

№ Разр.	Имя	Название (описание)	Реж.	Исх. знач.
31	ADC1_OVRP	Зафиксирован выход входного напряжения АЦП1 за пределы диапазона сверху	RW	0x0
30	ADC1_OVRN	Зафиксирован выход входного напряжения АЦП1 за пределы диапазона снизу	RW	0x0
29	ADC0_OVRP	Зафиксирован выход входного напряжения АЦП0 за пределы диапазона сверху	RW	0x0
28	ADC0_OVRN	Зафиксирован выход входного напряжения АЦП0 за пределы диапазона снизу	RW	0x0
27 – 26	reserved		R	0x0
25	PRS_CMPL	Генератор ПСП завершил генерацию всех 1024 коэффициентов для согласованных фильтров.	RW	0x0
24	DEC_LOST_DATA	При изменении параметров блока дециматора был потерян результат обработки последних данных предыдущего кадра.	RW	0x0
23 – 22	reserved		R	0x0
21	CONFIG_CMPL	Реконфигурация DDC завершена	RW	0x0
20	IIR_STAMP	Обработанные данные очередного кадра переданы в блок DMA_WR для записи в память.	R	0x0
19 – 17	reserved		R	0x0
16	DMA_WR_OVERFLOW	Переполнение буфера блока DMA_WR. Данные предназначенные для записи в память были потеряны.	RW	0x0
15 – 14	reserved		R	0x0
13	RESET_FAIL	Программный сброс не осуществлен (вырабатывается при попытке сбросить активный DDC)	RW	0x0
12	RESET_CMPL	Успешное завершение программного и аппаратного сброса	RW	0x0
11 – 10	reserved		R	0x0
9	CNTX_APPL_RD	Блок DMA_RD DDC принял очередной контекст (начал работать с новой страницей)	RW	0x0
8	CNTX_APPL_WR	Блок DMA_WR DDC принял очередной контекст (начал работать с новой страницей)	RW	0x0
7 – 6	reserved		R	0x0
5	DMA_RD_PAGE_CMPL	Блок DMA_RD DDC завершил работу с очередной страницей (завершил чтение всех данных страницы).	RW	0x0
4	DMA_WR_PAGE_CMPL	Блок DMA_WR DDC завершил работу с очередной страницей (завершил запись всех данных страницы).	RW	0x0
3 – 0	reserved		R	0x0

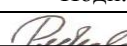
**1.6.5.17.3.5 Регистр состояния прерывания 1 (INT1\_STAT\_RD)**

Регистр содержит информацию о состоянии прерываний DDC:

- '0' – прерывание по событию не активно;
- '1' – прерывание по событию активно.

Функциональное назначение полей регистра приведено в таблице 1.229.

Адрес: 0x210.

					ЮФКВ.431268.022РЭ					Лист
										248
Изм	Лист	№ докум.	Подп.	Дата	Инв.№подл.		Подп. и дата	Взам.инв.№	Инв.№дубл.	Подп. и дата
					38075-3		 16.10.2020	38075-2		

**Таблица 1.229 – Разряды регистра состояния прерываний 1 (INT1\_STAT\_RD)**

№ Разр.	Имя	Название (описание)	Реж.	Исх. знач.
31 – 18	reserved		R	0x0
17	DMA_WR_CC_FIFO_OVERFLOW	Зафиксировано переполнение FIFO необработанной пользователем управляющей информации.	R	0x0
16	DMA_WR_CC_OVERFLOW	Переполнение буфера блока DMA_WR_CC. Данные, предназначенные для записи в память, были потеряны.	R	0x0
15 – 9	reserved		R	0x0
8	CNTX_APPL_WR_CC	Блок DMA_WR_CC DDC принял очередной контекст (начал работать с новой страницей)	R	0x0
7 – 5	reserved		R	0x0
4	DMA_WR_CC_PAGE_COMPL	Блок DMA_WR_CC DDC завершил работу с очередной страницей (завершил запись всех данных страницы).	R	0x0
3 – 2	reserved		R	0x0
1	DMA_WR_CC_FIFO_LIMIT	Зафиксировано достижение границы FIFO необработанной пользователем управляющей информации.	R	0x0
0	CMP_COMPLETE	Блок сравнения нашел данные, удовлетворяющие поисковому запросу.	R	0x0

**1.6.5.17.3.6 Регистр установки прерывания 1 (INT1\_STAT\_SET)**

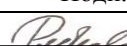
Регистр позволяет пользователю самостоятельно установить любое из состояний прерываний регистра INT\_STAT\_RD (используется в тестовых целях). Для установки сигнала прерывания в соответствующий разряд регистра INT\_SET должно быть записано единичное значение.

Функциональное назначение полей регистра приведено в таблице 1.230.

Адрес: 0x212.

**Таблица 1.230 – Разряды регистра установки прерываний 1 (INT1\_STAT\_SET)**

№ Разр.	Имя	Название (описание)	Реж.	Исх. знач.
31 – 18	reserved		R	0x0
17	DMA_WR_CC_FIFO_OVERFLOW	Зафиксировано переполнение FIFO необработанной пользователем управляющей информации.	W	0x0
16	DMA_WR_CC_OVERFLOW	Переполнение буфера блока DMA_WR_CC. Данные, предназначенные для записи в память, были потеряны.	W	0x0
15 – 9	reserved		R	0x0
8	CNTX_APPL_WR_CC	Блок DMA_WR_CC DDC принял очередной контекст (начал работать с новой страницей)	W	0x0
7 – 5	reserved		R	0x0
4	DMA_WR_CC_PAGE_CMPL	Блок DMA_WR_CC DDC завершил работу с очередной страницей (завершил запись всех данных страницы).	W	0x0
3 – 2	reserved		R	0x0
1	DMA_WR_CC_FIFO_LIMIT	Зафиксировано достижение границы FIFO необработанной пользователем управляющей информации.	W	0x0
0	CMP_COMPLETE	Блок сравнения нашел данные, удовлетворяющие поисковому запросу.	W	0x0

					Лист
					249
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		 16.10.2020		38075-2	
			Подп. и дата		



1.6.5.17.3.7 Регистр сброса прерывания 1 (INT1\_STAT\_RES)

Регистр позволяет пользователю сбросить любое из состояний прерываний регистра INT\_STAT\_RD. Для сброса сигнала прерывания в соответствующий разряд регистра INT\_STAT\_RES должно быть записано единичное значение.

Функциональное назначение полей регистра приведено в таблице 1.231.

Адрес: 0x214.

**Таблица 1.231 – Разряды регистра сброса прерываний 1 (INT1\_STAT\_RES)**

№ Разр.	Имя	Название (описание)	Реж.	Исх. знач.
31 – 18	reserved		R	0x0
17	DMA_WR_CC_FIFO_OVERFLOW	Зафиксировано переполнение FIFO необработанной пользователем управляющей информации.	W	0x0
16	DMA_WR_CC_OVERFLOW	Переполнение буфера блока DMA_WR_CC. Данные, предназначенные для записи в память, были потеряны.	W	0x0
15 – 9	reserved		R	0x0
8	CNTX_APPL_WR_CC	Блок DMA_WR_CC DDC принял очередной контекст (начал работать с новой страницей)	W	0x0
7 – 5	reserved		R	0x0
4	DMA_WR_CC_PAGE_CMPL	Блок DMA_WR_CC DDC завершил работу с очередной страницей (завершил запись всех данных страницы).	W	0x0
3 – 2	reserved		R	0x0
1	DMA_WR_CC_FIFO_LIMIT	Зафиксировано достижение границы FIFO необработанной пользователем управляющей информации.	W	0x0
0	CMP_COMPLETE	Блок сравнения нашел данные, удовлетворяющие поисковому запросу.	W	0x0

1.6.5.17.3.8 Регистр разрешения прерывания 1 (INT1\_MASK)

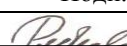
Регистр предоставляет возможность управлять разрешением выработки сигнала прерывания по определенным событиям:

- ‘0’ – прерывание по событию запрещено;
- ‘1’ – прерывание по событию разрешено.

Для разрешения прерывания нужно записать единицу в соответствующий разряд регистра.

Функциональное назначение полей регистра приведено в таблице 1.232.

Адрес: 0x216.

										Лист
										250
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата				
38075-3	 16.10.2020		38075-2							



**Таблица 1.232 – Разряды регистра разрешения прерываний 1 (INT1\_MASK)**

№ Разр.	Имя	Название (описание)	Реж.	Исх. знач.
31 – 18	reserved		R	0x0
17	DMA_WR_CC_FIFO_OVERFLOW	Зафиксировано переполнение FIFO необработанной пользователем управляющей информации.	RW	0x0
16	DMA_WR_CC_OVERFLOW	Переполнение буфера блока DMA_WR_CC. Данные, предназначенные для записи в память, были потеряны.	RW	0x0
15 – 9	reserved		R	0x0
8	CNTX_APPL_WR_CC	Блок DMA_WR_CC DDC принял очередной контекст (начал работать с новой страницей)	RW	0x0
7 – 5	reserved		R	0x0
4	DMA_WR_CC_PAGE_CMPL	Блок DMA_WR_CC DDC завершил работу с очередной страницей (завершил запись всех данных страницы).	RW	0x0
3 – 2	reserved		R	0x0
1	DMA_WR_CC_FIFO_LIMIT	Зафиксировано достижение границы FIFO необработанной пользователем управляющей информации.	RW	0x0
0	CMP_COMPLETE	Блок сравнения нашел данные, удовлетворяющие поисковому запросу.	RW	0x0

#### 1.6.5.17.4 Группа регистров конфигурации DDC (CONFIG)

Данная группа регистров содержит в себе настраиваемые параметры отдельных блоков DDC. Часть параметров, определяемых в регистрах конфигурации DDC, необходимо задавать до включения канала DDC, поскольку их изменение приводит к моментальному изменению режима работы блока. Другая часть параметров, задаваемых через регистры конфигурации DDC, применяется блоками (защелкивается в их внутренних регистрах) только с приходом метки времени и при наличии разрешения от пользователя реконфигурировать конкретный блок. Такие параметры разрешено менять по ходу работы канала DDC, по алгоритму, описанному в пункте 1.6.5.17.1.5.

Регистры относящиеся к данной группе представлены в таблице 1.233.

										Лист
										251
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2							

**Таблица 1.233 – Регистры конфигурации DDC (CONFIG)**

Имя	Название (описание)	Адрес		Реж.	Исх. знач.
		в пр-ве NMU	в пр-ве ARMU		
DMA_RD_BASE	Регистр базового адреса расположения исходных данных в памяти	0x400	0x1000	RW	0x00000000
DMA_RD_PSIZE	Регистр размера страницы исходных данных	0x402	0x1008	RW	0x00000000
ADC_ADD_VALUE	Регистр коррекции исходных данных	0x406	0x1018	RW	0x00000000
HET_PHASE	Регистр начальной фазы гетеродина	0x408	0x1020	RW	0x00000000
HET_FREQ	Регистр частоты гетеродина	0x40a	0x1028	RW	0x00000000
HET_PARAM	Регистр параметров гетеродина	0x40c	0x1030	RW	0x00000000
HET_MEM_MODE	Регистр режима работы памяти гетеродина	0x40e	0x1038	RW	0x00000000
NORM0_PARAM	Регистр параметров нормализатора 0	0x480	0x1200	RW	0x00000000
FIR_COEF_N	Регистры коэффициентов FIR	0x500-0x57e	0x1400 - 0x15F8	RW	0x00000000
DEC_PARAM	Регистр параметров дециматора	0x580	0x1600	RW	0x00000000
NORM1_PARAM	Регистр параметров нормализатора 1	0x582	0x1608	RW	0x00000000
IIR_PARAM	Регистр параметров IIR	0x584	0x1610	RW	0x00000000
DMA_WR_BASE	Базовый адрес страницы для записи обработанных данных в память	0x586	0x1618	RW	0x00000000
DMA_WR_PSIZE	Регистр размера страницы обработанных данных	0x588	0x1620	RW	0x00000000
MATCH_COEF_N	Регистры коэффициентов согласованного фильтра	0x600 - 0x63e	0x1800 - 0x18F8	RW	0x00000000
MATCH_PARAM	Регистр параметров согласованного фильтра	0x640	0x1900	RW	0x00000004
MATCH_COEF_SEL	Регистр выбора коэффициентов согласованного фильтра	0x642	0x1908	RW	0x00000000
PRSG_START	Регистр запуска генератора ПСП	0x644	0x1910	RW	0x00000000
MATCH_RESET	Регистр сброса согласованных фильтров	0x648	0x1918	RW	0x00000000
PEAK_PARAM	Регистр параметров вычислителя пика	0x700	0x1C00	RW	0x00000000
TRESH_PARAM	Регистр параметров вычислителя порога	0x710	0x1C40	RW	0x00000007
TRESH_COEF_K	Коэффициент-множитель вычислителя порога	0x712	0x1C48	RW	0x00000001
TRESH_COEF_C	Коэффициент-слагаемое вычислителя порога	0x714	0x1C50	RW	0x00000000
TRESH_COEF_M	Коэффициент настройки величины скачка порога	0x716	0x1C58	RW	0x00080003
TRESH_COEF_D	Коэффициент затухания скачка порога	0x718	0x1C60	RW	0x00080003
TRESH_COEF_K1	Коэффициент-множитель вычислителя порога	0x71a	0x1C68	RW	0x00000001
CMP_TRESH_0	Регистр маски сравнения порогов 0	0x720	0x1C80	RW	0x00000030
CMP_TRESH_1	Регистр маски сравнения порогов 1	0x722	0x1C88	RW	0x00000030
CMP_TRESH_2	Регистр маски сравнения порогов 2	0x724	0x1C90	RW	0x00000030
CMP_ONE	Регистр маски сравнения значений соседних точек	0x726	0x1C98	RW	0x000000b8
CMP_DBL	Регистр маски сравнения значений через одну точку	0x728	0x1CA0	RW	0x00000000
CMP_MASK_TIMER	Регистр маскирования сравнения данных	0x72a	0x1CA8	RW	0x00000000
CMP_DISABLE	Регистр отключения сравнения данных	0x72c	0x1CB0	RW	0x00000000
DMA_WR_CC_BASE	Базовый адрес для записи управляющей информации в память	0x730	0x1CC0	RW	0x00000000
DMA_WR_CC_PSIZE	Регистр размера страницы управляющих данных	0x734	0x1CD0	RW	0x00000000
DMA_WR_CC_NWORD	Регистр количества обработанной управляющей информации	0x736	0x1CD8	RW	0x00000000

					Лист
					252
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		<i>Редюк</i> 16.10.2020		38075-2	
			Подп. и дата		

**Продолжение таблицы 1.233**

Имя	Название (описание)	Адрес		Реж.	Исх. знач.
		в пр-ве NMU	в пр-ве NMU		
DMA_WR_CC_FSIZE	Регистр размера FIFO необработанной пользователем управляющей информации	0x738	0x1CE0	RW	0x00000000
DMA_WR_CC_FLIMIT	Регистр границы FIFO необработанной пользователем управляющей информации	0x73A	0x1CE8	RW	0x00000000
HET_MEM_VALUE	Регистры значения ячеек памяти гетеродина	0x800 - 0x9FE	0x2000 - 0x27F8	RW	0x00000000
PRSG_CNTRL	Регистр параметров генератора ПСП	0xaN0 N=0..f	0x2800 +0x40*N	RW	0x00000002
PRSG_INIT	Регистр значений сдвиговых регистров Mx ПСП	0xaN2 N=0..f	0x2808 +0x40*N	RW	0x00000000
PRSG_MASK	Регистр масок обратной связи генератора ПСП	0xaN4 N=0..f	0x2810 +0x40*N	RW	0x00000000
PRSG_M	Регистр значений сдвиговых регистров Mx ПСП	0xaN6 N=0..f	0x2818 +0x40*N	RW	0x00000000
PRSG_FQ	Регистр частоты смены символов ПСП	0xaN8 N=0..f	0x2820 +0x40*N	RW	0xffffffff
PRSG_FT	Регистр текущей фазы ПСП	0xaNa N=0..f	0x2828 +0x40*N	RW	0x00000000
PRSG_SL	Регистр периода генератора ПСП	0xaNc N=0..f	0x2830 +0x40*N	RW	0x00000000
PRSG_SLC	Регистр счетчика длины генератора ПСП	0xaNe N=0..f	0x2838 +0x40*N	RW	0x00000000

**1.6.5.17.4.1 Регистр базового адреса расположения исходных данных в памяти (DMA\_RD\_BASE)**

Данный регистр содержит базовый адрес области памяти, в которой располагаются исходные данные, подлежащие чтению устройством. Адрес указывает на 32-битные слова (адресное пространство NMU). Параметр SRC\_SEL должен быть установлен в '1', чтобы читаемые из памяти данные направлялись в канал для обработки.

Функциональное назначение полей регистра приведено в таблице 1.234.

Адрес: 0x400.

**Таблица 1.234 – Разряды регистра базового адреса расположения исходных данных в памяти (DMA\_RD\_BASE)**

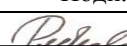
№ Разр.	Имя	Название (описание)	Реж.	Исх. знач.
31 – 0	DMA_RD_BASE	Базовый адрес доступной области памяти для чтения данных, задается в 32 битных словах.	RW	0x0

**1.6.5.17.4.2 Регистр размера страницы исходных данных (DMA\_RD\_PSIZE)**

Данный регистр задает размер страницы исходных данных подлежащих считыванию устройством.

Функциональное назначение полей регистра приведено в таблице 1.235.

Адрес: 0x402.

					Лист
					253
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		 16.10.2020		38075-2	
Копировал Формат А4					

**Таблица 1.235 – Разряды регистра размера страницы исходных данных (DMA\_RD\_PSIZE)**

№ Разр.	Имя	Название (описание)	Реж	Исх. знач.
31 – 0	DMA_RD_PSIZE	Размер страницы данных в памяти для записи (в байтах). Должен быть кратен 4 байтам.	RW	0x0

**1.6.5.17.4.3 Регистр коррекции исходных данных (ADC\_ADD\_VALUE)**

Регистр предназначен для коррекции поступающих с АЦП данных. К 14-разрядным знаковым значениям действительной и мнимой части комплексных отсчетов, поступающих с внешнего АЦП, прибавляются соответствующие 14-разрядные знаковые значения из регистра ADC\_ADD\_VALUE. Коррекция данных производится в режиме без насыщения с увеличением разрядности результата.

Функциональное назначение полей регистра приведено в таблице 1.236.

Адрес: 0x406.

**Таблица 1.236 – Разряды регистра коррекции исходных данных (ADC\_ADD\_VALUE)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 30	reserved		R	0x0
29 – 16	ADC_ADD_VAL_IM	Знаковое 14-битное слагаемое, прибавляемое к значению мнимой части исходного числа.	RW	0x0
15 – 14	reserved		R	0x0
13 – 0	ADC_ADD_VAL_RE	Знаковое 14-битное слагаемое, прибавляемое к значению действительной части исходного числа.	RW	0x0

**1.6.5.17.4.4 Регистр начальной фазы гетеродина (HET\_PHASE)**

Регистр предназначен для задания начального значения фазы гетеродина. Заданное регистром значение прибавляется к текущему значению регистра фазы FT\_R блока гетеродина по приходу метки времени и при установленном бите HET\_RECONFIG регистра реконфигурации DDC CONFIG.

Функциональное назначение полей регистра приведено в таблице 1.237.

Адрес: 0x408.

**Таблица 1.237 – Разряды регистра начальной фазы гетеродина (HET\_PHASE)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 0	HET_PHASE	Значение начальной фазы гетеродина. Значение параметра изменяется по временным меткам.	RW	0x0

**1.6.5.17.4.5 Регистр частоты гетеродина (HET\_FREQ)**

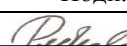
Регистр предназначен для выбора частоты гетеродина. Заданное регистром значение прибавляется к текущему значению регистра фазы FT\_R блока гетеродина по приходу метки времени и при установленном бите HET\_RECONFIG регистра реконфигурации DDC CONFIG. Одновременно с этим происходит защелкивание значения HET\_FREQ во внутреннем регистре блока гетеродина FQ\_R.

Функциональное назначение полей регистра приведено в таблице 1.238.

Адрес: 0x40a.

**Таблица 1.238 – Разряды регистра частоты гетеродина (HET\_FREQ)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 0	HET_FREQ	Значение частоты гетеродина. Значение параметра изменяется по временным меткам.	RW	0x0

									Лист
									254
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		 16.10.2020		38075-2					

#### 1.6.5.17.4.6 Регистр параметров гетеродина (HET\_PARAM)

Регистр предназначен для задания параметров работы гетеродина. Параметр HET\_EN необходимо определять до включения канала DDC. Параметры HET\_RST и HET\_ROUND можно переопределять по ходу работы канала DDC, но их значения применяются блоком гетеродина только по меткам времени и при установленном бите HET\_RECONFIG регистра реконфигурации DDC CONFIG.

Функциональное назначение полей регистра приведено в таблице 1.239.

Адрес: 0x40c.

**Таблица 1.239 – Разряды регистра параметров гетеродина (HET\_PARAM)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 17	reserved		R	0x0
16	HET_RST	Сброс текущего значения фазы гетеродина. Значение параметра изменяется по меткам.	RW	0x0
15 – 9	reserved		R	0x0
8	HET_EN	Разрешение работы гетеродина: ‘1’ – работа разрешена (постоянное вычисление новых значений фазы); ‘0’ – не работает (выдает постоянное значение фазы $\sin = 0x0$ , $\cos = 0x01$ ).	RW	0x0
7 – 2	reserved		R	0x0
1 – 0	HET_ROUND	Режим округления высчитываемых значений фазы: ‘0’ – с округлением к младшему целому; ‘1’ – с округлением к большему целому; ‘2’ – с округлением к ближайшему целому; ‘3’ – с округлением к ближайшему четному целому. Значение параметра изменяется по меткам.	RW	0x0

#### 1.6.5.17.4.7 Регистр режима работы памяти гетеродина (HET\_MEM\_MODE)

Регистр предназначен для управления работой памяти гетеродина, содержащей значения таблицы синусов косинусов. Память гетеродина для хранения таблицы синусов, косинусов имеет однопортовое исполнение (для уменьшения размеров памяти), что исключает возможность одновременного чтения и записи произвольных ячеек памяти. В связи с этим работа с памятью разделена на два этапа – “конфигурирование” (заполнение памяти новыми значениями) и “эксплуатация” (чтение необходимых значений из памяти). Для перевода памяти в режим конфигурации необходимо записать ‘1’ в поле HET\_MEM\_MODE. После этого ячейки памяти доступны для записи/чтения пользователем через регистры управления HET\_MEM\_VALUE.

Функциональное назначение полей регистра приведено в таблице 1.240.

Адрес: 0x40e.

**Таблица 1.240 – Разряды регистра режима работы памяти гетеродина (HET\_MEM\_MODE)**

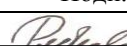
№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 1	reserved		R	0x0
0	HET_MEM_MODE	‘0’ – основной режим работы памяти; ‘1’ – режим конфигурации памяти.	RW	0x0

#### 1.6.5.17.4.8 Регистр параметров нормализатора 0 (NORM0\_PARAM)

Регистр предназначен для задания параметров нормализатора 0. Заданные параметры применяются блоком нормализации только по метке времени и при установленном бите NORM0\_RECONFIG регистра реконфигурации DDC CONFIG.

Функциональное назначение полей регистра приведено в таблице 1.241.

Адрес: 0x480.

									Лист
									255
Изм	Лист	№ докум.	Подп.	Дата					
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№дубл.	Подп. и дата				
38075-3	 16.10.2020		38075-2						

**Таблица 1.241 – Разряды регистра параметров нормализатора (NORM0\_PARAM)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 18	reserved		R	0x0
17 – 16	ROUND_MODE	Режим округления: '00' или '10' – использовать округление к ближайшему целому; '01' – округлить до меньшего целого; '11' – округлить до большего целого.	RW	0x0
15 – 9	reserved		R	0x0
8	SATURATION_EN	Включение насыщения.	RW	0x0
7 – 5	reserved		R	0x0
4 – 0	ROUND_SIZE	Степень округления. Определяет номер бита во входном числе, являющегося старшим незнаковым битом выходного 16-разрядного числа. Допустимые значения: от 0 до 22 включительно.	RW	0x0

**1.6.5.17.4.9 Регистры коэффициентов КИХ фильтра (FIR\_COEF\_N)**

Данный регистр содержит 16-разрядные знаковые значения коэффициентов КИХ фильтра. Количество коэффициентов соответствует порядку фильтра и равно 64.

Данные, поступающие на вход КИХ фильтра, умножаются на коэффициент, задаваемый регистром FIR\_COEF\_0. Последние данные из сдвиговой цепочки КИХ фильтра умножаются на коэффициент, задаваемый регистром FIR\_COEF\_63.

Коэффициенты, определенные в регистрах FIR\_COEF\_0 – FIR\_COEF\_63, защелкиваются в блоке КИХ-фильтров только по метке времени и при установленном бите FIR\_RECONFIG регистра реконфигурации DDC CONFIG.

Функциональное назначение полей регистров приведено в таблице 1.242.

Адреса: 0x500-57e (только четные адреса).

**Таблица 1.242 – Разряды регистров коэффициентов КИХ (FIR\_COEF\_0 .. FIR\_COEF\_63)**

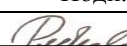
№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 16	reserved		R	0x0
15 – 0	FIR_COEF_N	Знаковое 16-битное значение коэффициента	RW	0x0

**1.6.5.17.4.10 Регистр параметров дециматора (DEC\_PARAM)**

Регистр предназначен для задания параметров дециматора. Заданные параметры применяются блоком нормализации только по метке времени и при установленном бите DEC\_RECONFIG регистра реконфигурации DDC CONFIG.

Функциональное назначение полей регистра приведено в таблице 1.243.

Адрес: 0x580.

					ЮФКВ.431268.022РЭ					Лист
										256
Изм	Лист	№ докум.	Подп.	Дата	Инв.№подл.		Подп. и дата	Взам.инв.№	Инв.№дубл.	Подп. и дата
					38075-3		 16.10.2020	38075-2		



**Таблица 1.243 – Разряды регистра параметров дециматора (DEC\_PARAM)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 14	reserved		R	0x0
13 – 4	DEC_ACCUM_NUM	Коэффициент прореживания данных. ‘0’ – выдача всех поступающих на вход дециматора данных; в остальных случаях – выдача последних данных из интервала заданного параметром (DEC_ACCUM_NUM + 1). В случае режима накопления параметр задает интервал накопления данных. Накопление данных производится в количестве DEC_ACCUM_NUM + 1. Для правильной работы согласованного фильтра значение DEC_ACCUM_NUM должно принимать значение не менее 3.	RW	0x0
3 – 1	reserved		R	0x0
0	DEC_ACCUM_EN	Включение режима накопления данных. Накопление данных производится в количестве, заданном параметром DEC_ACCUM_NUM + 1.	RW	0x0

**1.6.5.17.4.11 Регистр параметров нормализатора 1 (NORM1\_PARAM)**

Регистр предназначен для задания параметров нормализатора 1. Заданные параметры применяются блоком нормализации только по метке времени и при установленном бите NORM1\_RECONFIG регистра реконфигурации DDC CONFIG.

Функциональное назначение полей регистра приведено в таблице 1.244.

Адрес: 0x582.

**Таблица 1.244 – Разряды регистра параметров нормализатора (NORM1\_PARAM)**

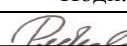
№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 18	reserved		R	0x0
17 – 16	ROUND_MODE	Режим округления: ‘00’ или ‘10’ – использовать округление к ближайшему целому; ‘01’ – округлить до меньшего целого; ‘11’ – округлить до большего целого.	RW	0x0
15 – 9	reserved		R	0x0
8	SATURATION_EN	Включение насыщения.	RW	0x0
7 – 6	reserved		R	0x0
5 – 0	ROUND_SIZE	Степень округления. Определяет номер бита во входном числе, являющегося старшим битом выходного 16-ти разрядного числа. Допустимые значения: от 0 до 46 включительно.	RW	0x0

**1.6.5.17.4.12 Регистр параметров БИХ фильтра (PIR\_PARAM)**

Регистр предназначен для задания параметров БИХ фильтра и встроенного в него нормализатора значений. Настройку параметров данного регистра необходимо проводить до включения канала DDC.

Функциональное назначение полей регистра приведено в таблице 1.245.

Адрес: 0x584.

					ЮФКВ.431268.022РЭ					Лист				
										257				
Изм	Лист	№ докум.	Подп.	Дата	Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
					38075-3		 16.10.2020		38075-2					



**Таблица 1.245 – Разряды регистра параметров БИХ (IIR\_PARAM)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 11	reserved		R	0x0
10 – 8	SHIFT_NUM	Коэффициент деления входных значений. Деление на $2^{\text{SHIFT\_NUM}+1}$	RW	0x0
7 – 5	reserved		R	0x0
4	NORM_BIT	Режим округления: '0' – округлить до наименьшего целого (отбрасывание младших разрядов); '1' – округлить до ближайшего целого.	RW	0x0
3 – 1	reserved		R	0x0
0	IIR_BYPASS	Не пропускать данные через БИХ фильтр. (При этом внутренний регистр-аккумулятор сбрасывается в ноль)	RW	0x0

**1.6.5.17.4.13 Регистр базового адреса для записи обработанных данных в память (DMA\_WR\_BASE)**

Данный регистр содержит базовый адрес области памяти, в которой должны располагаться данные, обработанные устройством. Адрес указывает на 32-битные слова (адресное пространство NMU). Начало и размер каждой страницы должен быть выровнены по границе 64-разрядного слова данных.

Функциональное назначение полей регистра приведено в таблице 1.246.

Адрес: 0x586.

**Таблица 1.246 – Разряды регистра базового адреса для записи обработанных данных в память (DMA\_WR\_BASE)**

№ Разр.	Имя	Название (описание)	Реж	Исх. знач.
31 – 0	DMA_WR_BASE	Базовый адрес доступной области памяти для записи данных в 32 битных словах. Должен быть кратен 2 (в случае DMA_WR_FRMT_DATA равном 0) и 4 (в случае DMA_WR_FRMT_DATA равном 1).	RW	0x0

**1.6.5.17.4.14 Регистр размера страницы обработанных данных (DMA\_WR\_PSIZE)**

Данный регистр задает размер страницы в памяти, куда будут записаны обработанные устройством данные.

Функциональное назначение полей регистра приведено в таблице 1.247.

Адрес: 0x588.

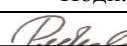
**Таблица 1.247 – Разряды регистра размера страницы обработанных данных (DMA\_WR\_PSIZE)**

№ Разр.	Имя	Название (описание)	Реж	Исх. знач.
31 – 0	DMA_WR_PSIZE	Размер страницы данных в памяти для записи (в байтах). Должен быть кратен 8 байтам (в случае DMA_WR_FRMT_DATA равном 0) и 16 (в случае DMA_WR_FRMT_DATA равном 1).	RW	0x0

**1.6.5.17.4.15 Регистры коэффициентов согласованного фильтра (MATCH\_COEF\_N)**

Данный регистр содержит 1-разрядные значения коэффициентов согласованного фильтра. Значение '0' – соответствует коэффициенту "+1", значение '1' – соответствует коэффициенту "-1".

Общее количество коэффициентов для любой конфигурации блока согласованных фильтров равно 1024. В каждом из 32 регистров располагается по 32 коэффициента.

					Лист
					258
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		 16.10.2020		38075-2	

В случае работы с одним согласованным фильтром порядка 1024, поступающие на его вход данные умножаются на коэффициент расположенный в нулевом бите регистра MATCH\_COEF\_0, последние данные из сдвиговой цепочки согласованного фильтра умножаются на коэффициент расположенный в бите 31 регистра MATCH\_COEF\_31.

В случае работы с двумя фильтрами порядка 512, коэффициенты для первого фильтра хранятся в регистрах MATCH\_COEF\_0 – MATCH\_COEF\_15, для второго фильтра в регистрах MATCH\_COEF\_16 – MATCH\_COEF\_31. Аналогично производится разделение регистров с коэффициентами для работы с произвольным количеством фильтров.

Во время установленного в '1' бита PRSG\_EN регистра PRSG\_CNTRL, при чтении регистров MATCH\_COEF\_N выдаются последние сгенерированные генератором ПСП коэффициенты.

Функциональное назначение полей регистров приведено в таблице 1.248.

Адреса: 0x600-63e (только четные адреса).

**Таблица 1.248 – Разряды регистров коэффициентов согласованного фильтра (MATCH\_COEF\_0 .. MATCH\_COEF\_31)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 0	MATCH_COEF_N	Каждый бит регистра, представляет собой однобитный коэффициент: '0' – "+1"; '1' – "-1".	RW	0x0

**1.6.5.17.4.16 Регистр параметров согласованного фильтра (MATCH\_PARAM)**

Регистр предназначен для задания параметров согласованного фильтра.

Функциональное назначение полей регистра приведено в таблице 1.249.

Адрес: 0x640.

**Таблица 1.249 – Разряды регистра параметров согласованного фильтра (MATCH\_PARAM)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 3	reserved		R	0x0
2 – 0	MATCH_LEN	Порядок согласованного фильтра (и их количество): '0' – 16 фильтров порядка 64; '1' – 8 фильтров порядка 128; '2' – 4 фильтра порядка 256; '3' – 2 фильтра порядка 512; '4' – 1 фильтр порядка 1024. Остальные значения зарезервированы.	RW	0x4

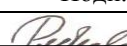
**1.6.5.17.4.1 Регистр выбора коэффициентов согласованного фильтра (MATCH\_COEF\_SEL)**

Регистр предназначен для выбора источника коэффициентов согласованного фильтра.

Источником коэффициентов может быть как непосредственно пользователь, задающий коэффициенты через регистры MATCH\_COEF\_N, так и генератор ПСП.

В случае выбора коэффициентов, созданных генератором ПСП, сами значения этих коэффициентов будут доступны для чтения пользователем через регистры MATCH\_COEF\_N.

При этом в случае работы с множественным количеством согласованных фильтров пользователь может выбирать источник коэффициентов для каждого фильтра отдельно. Каждый бит "i" регистра MATCH\_COEF\_SEL определяет, какие коэффициенты подавать на согласованный фильтр: либо 32 однобитных коэффициента из соответствующего регистра MATCH\_COEF\_"i", либо 32 однобитных коэффициента, сгенерированных генератором ПСП. Например, при работе с двумя фильтрами порядка 512, задание значения 0x0000FFFF в реги-

									Лист
									259
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.		Подп. и дата		
38075-3	 16.10.2020		38075-2						

стре MATCH\_COEF\_SEL означает использование для первого фильтра коэффициентов сгенерированных ПСП, а для второго – заданных пользователем.

Согласованный фильтр принимает коэффициенты (защелкивает их в своих внутренних регистрах) по метке времени при установленном в единицу бите MATCH\_RECONFIG.

Функциональное назначение полей регистра приведено в таблице 1.250.

Адрес: 0x642.

**Таблица 1.250 – Разряды регистра выбора коэффициентов согласованного фильтра (MATCH\_COEF\_SEL)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 0	MATCH_COEF_SEL	Выбор коэффициентов для согласованных фильтров. Каждый бит N поля соответствует 32-разрядному регистру коэффициентов: ‘0’ – использовать коэффициенты, заданные пользователем через программно доступные регистры MATCH_COEF_N; ‘1’ – использовать коэффициенты, сгенерированные генератором ПСП.	RW	0x0

#### 1.6.5.17.4.2 Регистр запуска генератора ПСП (PRSG\_START)

Регистр предназначен для запуска генератора ПСП, формирующего коэффициенты для согласованных фильтров.

Перед запуском генератора ПСП он должен быть сконфигурирован через программно доступные регистры 0xA00-0xAFE.

После установки бита PRS\_GEN\_START в единицу генератор ПСП в течение 1024 тактов частоты CLK\_DDC сгенерирует 1024 однобитных коэффициента. Во время генерации значение бита PRS\_GEN\_START остается равным единице, а по завершении процесса генерации бит автоматически сбрасывается в ноль и вырабатывается прерывание PRS\_CMPL. Пользователь не имеет права разрешать реконфигурацию согласованного фильтра (устанавливать бит MATCH\_RECONFIG) до завершения процесса генерации коэффициентов ПСП, в случае если хотя бы один из согласованных фильтров использует коэффициенты, рассчитываемые генератором ПСП.

В случае работы с одним согласованным фильтром (поле MATCH\_LEN = ‘4’ регистра MATCH\_PARAM), генератор ПСП создаст 1024 однобитных коэффициента в соответствии с настройкой ПСП для нулевого согласованного фильтра – регистры 0xA00-0xAFE.

В случае работы с двумя согласованными фильтрами (MATCH\_LEN = ‘3’), генератор ПСП создаст сначала 512 однобитных коэффициентов в соответствии с настройкой ПСП для нулевого согласованного фильтра – регистры 0xA00-0xA7E, а затем, без задержки, 512 однобитных коэффициентов в соответствии с настройкой ПСП для первого согласованного фильтра – регистры 0xA80-0xAFE.

По аналогичной схеме осуществляется генерация коэффициентов для другого количества согласованных фильтров.

В случае необходимости изменения коэффициентов лишь для некоторых согласованных фильтров по ходу работы канала DDC, пользователь должен изменить параметры генерации ПСП соответствующие только этим фильтрам.

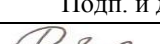
Сгенерированные коэффициенты доступны для чтения пользователем через регистры MATCH\_COEF\_N в случае установленного в единицу бита MATCH\_COEF\_SEL.

Функциональное назначение полей регистра приведено в таблице 1.251.

Адрес: 0x644.

**Таблица 1.251 – Разряды регистра запуска генератора ПСП (PRSG\_START)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 1	reserved		R	0x0
0	PRS_GEN_START	Запись единицы запускает генератор ПСП. Во время работы генератора ПСП при чтении выдается – ‘1’, иначе – ‘0’.	RW	0x0

					Лист
					260
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		 16.10.2020		38075-2	

#### 1.6.5.17.4.3 Регистр сброса согласованного фильтра (MATCH\_RESET)

Регистр предназначен для сброса текущих данных всех согласованных фильтров. Сброс осуществляется с приходом метки времени от интервального таймера при установленном в единицу бите MATCH\_RECONFIG. Сброс согласованного фильтра используется исключительно в отладочных целях.

Функциональное назначение полей регистра приведено в таблице 1.252.

Адрес: 0x648.

**Таблица 1.252 – Разряды регистра сброса согласованного фильтра (MATCH\_RESET)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 1	reserved		R	0x0
0	MATCH_RESET	'1' – сброс согласованного фильтра. Используется исключительно в отладочных целях.	RW	0x0

#### 1.6.5.17.4.4 Регистр параметров генератора ПСП (PRSG\_CNTRL)

Регистр предназначен для задания параметров генератора псевдослучайной последовательности, предназначенного для формирования коэффициентов согласованного фильтра.

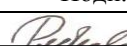
В DDC предусмотрено шестнадцать регистров PRSG\_0\_CNTRL-PRSG\_15\_CNTRL – для настройки ПСП генератора на работу с каждым из 16 согласованных фильтров.

Функциональное назначение полей регистра приведено в таблице 1.253.

Адрес: 0xa00 + i\*16, i=[0..15]

**Таблица 1.253 – Разряды регистра параметров генератора ПСП (PRSG\_CNTRL)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 24	reserved		R	0x0
23 – 20	OB2	OB2 определяет номер разряда сдвигового регистра M2, с которого следует формировать выход.	RW	0x0
19 – 16	OB1	OB1 определяет номер разряда сдвигового регистра M1, с которого следует формировать выход.	RW	0x0
15 – 12	OB0	OB0 определяет номер разряда сдвигового регистра M0, с которого следует формировать выход.	RW	0x0
11	reserved		R	0x0
10 – 8	SLC_EN[x]	Каждый бит поля SLC_EN[2:0] определяет, использовать ли соответствующему генератору M-последовательности счетчик длины M-последовательности: '0' – не использовать счетчик длины M-последовательности; '1' – использовать счетчик длины M-последовательности.	RW	0x0
7	reserved		R	0x0
6 – 4	INV[x]	Каждый бит поля INV[2:0] определяет обратную связь при формировании соответствующей M-последовательности '0' – не инвертировать обратную связь; '1' – инвертировать обратную связь.	RW	0x0
3 – 2	reserved		R	0x0
1 – 0	SRC	SRC определяет источник формирования ПСП: '00' – ПСП не формируется, выходная последовательность состоит из нулей; '01' – ПСП не формируется, выходная последовательность состоит из единиц; '10' – для формирования ПСП используется генератор на сдвиговых регистрах; '11' – зарезервировано.	RW	0x2

					Лист	
					261	
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		 16.10.2020		38075-2		

**1.6.5.17.4.5 Регистр значений сдвиговых регистров Mx ПСП (PRSG\_INIT)**

Каждое из полей INITx регистра задаёт состояние (значение) сдвигового регистра Mx, соответствующее первому элементу M-последовательности. Поле INITx следует использовать в случае, когда в регистре SLx задана длина соответствующей M-последовательности.

В DDC предусмотрено шестнадцать регистров PRSG0\_INIT- PRSG15\_INIT – для настройки ПСП генератора на работу с каждым из 16 согласованных фильтров.

Функциональное назначение полей регистра приведено в таблице 1.254.

Адрес: 0xa02 + i\*16, i=[0..15].

**Таблица 1.254 – Разряды регистра значений сдвиговых регистров Mx ПСП (PRSG\_INIT)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 30	reserved		R	0x0
29 – 20	INIT2	Значение сдвигового регистра M2	RW	0x0
19 – 10	INIT1	Значение сдвигового регистра M1	RW	0x0
9 – 0	INIT0	Значение сдвигового регистра M0	RW	0x0

**1.6.5.17.4.6 Регистр масок обратной связи генератора ПСП (PRSG\_MASK)**

Каждое из полей MASKx задаёт маскирующий регистр для соответствующего генератора M-последовательности. Если i-й разряд поля MASKx – 1, то соответствующий разряд сдвигового регистра Mx будет учитываться в обратной связи; если 0 – разряд будет заблокирован.

В DDC предусмотрено шестнадцать регистров PRSG0\_MASK-PRSG15\_MASK – для настройки ПСП генератора на работу с каждым из 16 согласованных фильтров.

Функциональное назначение полей регистра приведено в таблице 1.255.

Адрес: 0xa04 + i\*16, i=[0..15].

**Таблица 1.255 – Разряды регистра масок обратной связи генератора ПСП (PRSG\_MASK)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 30	reserved		R	0x0
29 – 20	MASK2	Маска обратной связи сдвигового регистра M2	RW	0x0
19 – 10	MASK1	Маска обратной связи сдвигового регистра M1	RW	0x0
9 – 0	MASK0	Маска обратной связи сдвигового регистра M0	RW	0x0

**1.6.5.17.4.7 Регистр значения сдвиговых регистров ПСП (PRSG\_M)**

Каждое из полей регистра Mx задаёт состояние (значение) сдвигового регистра Mx, соответствующее тому элементу M-последовательности, с которого следует начать работу генератора.

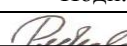
В DDC предусмотрено шестнадцать регистров PRSG0\_M-PRSG15\_M – для настройки ПСП генератора на работу с каждым из 16 согласованных фильтров.

Функциональное назначение полей регистров приведено в таблице 1.256.

Адрес: 0xa06 + i\*16, i=[0..15].

**Таблица 1.256 – Разряды регистра значения сдвиговых регистров (PRSG\_M)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 30	reserved		R	0x0
29 – 20	M2	Исходное значение сдвигового регистра M2	RW	0x0
19 – 10	M1	Исходное значение сдвигового регистра M1	RW	0x0
9 – 0	M0	Исходное значение сдвигового регистра M0	RW	0x0

									Лист
									262
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата		
38075-3	 16.10.2020		38075-2						



1.6.5.17.4.8 Регистр частоты смены символов ПСП (PRSG\_FQ)

Регистр задаёт частоту смены символов ПСП.

Значение для записи в данный регистр рассчитывается по формуле:

$$PRSG\_FQ[31:0] = \frac{f}{f_d} \times 2^{32} - 1, \quad 0 < f \leq f_d,$$

где  $f$  – требуемая частота смены символов ПСП,  $f_d$  – частота поступления данных на канал.

В DDC предусмотрено шестнадцать регистров PRSG0\_FQ-PRSG15\_FQ – для настройки ПСП генератора на работу с каждым из 16-ти согласованных фильтров.

Функциональное назначение полей регистра приведено в таблице 1.257.

Адрес: 0xа08 + i\*16, i=[0..15].

**Таблица 1.257 – Разряды регистра частоты смены символов ПСП (PRSG\_FQ)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 0	FQ	Частота смены символов ПСП	RW	0xFFFF_FFFF

1.6.5.17.4.9 Регистр текущей фазы ПСП (PRSG\_FT)

Регистр PRSG\_FT (ЧТ и ЗП) содержит текущее значение фазы. После остановки канала в регистре содержится следующее (еще не обработанное) значение фазы. Формат регистра приведен в таблице ниже.

В DDC предусмотрено шестнадцать регистров PRSG0\_FT-PRSG15\_FT – для настройки ПСП генератора на работу с каждым из 16 согласованных фильтров.

Функциональное назначение полей регистра приведено в таблице 1.258.

Адрес: 0xа0а + i\*16, i=[0..15].

**Таблица 1.258 – Разряды регистра текущей фазы ПСП (PRSG\_FT)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 0	FT	Текущее значение фазы	RW	0x0

1.6.5.17.4.10 Регистр периода генератора ПСП (PRSG\_SL)

Каждое из полей SLx регистра задаёт период, с которым соответствующая M-последовательность будет повторяться. Период исчисляется в элементах M-последовательности. Чтобы задать период, равный N элементам, в поле SLx необходимо записать число (-1)×N в дополнительном коде.

В DDC предусмотрено шестнадцать регистров PRSG0\_SL-PRSG15\_SL – для настройки ПСП генератора на работу с каждым из 16 согласованных фильтров.

Функциональное назначение полей регистра приведено в таблице 1.259.

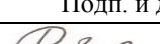
Адрес: 0xа0с + i\*16, i=[0..15].

**Таблица 1.259 – Разряды регистра периода генератора ПСП (PRSG\_SL)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 30	reserved		R	0x0
29 – 20	SL2	Период повторения последовательности M2	RW	0x0
19 – 10	SL1	Период повторения последовательности M1	RW	0x0
9 – 0	SL0	Период повторения последовательности M0	RW	0x0

1.6.5.17.4.11 Регистр счетчика длины генератора ПСП (PRSG\_SLC)

Каждое из полей SLCx регистра содержит текущее значение счётчика длины M-последовательности. Значение в поле SLCx соответствует отрицательному значению количества оставшихся элементов M-последовательности в текущем периоде в дополнительном коде.

					Лист
					263
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		 16.10.2020		38075-2	

В DDC предусмотрено шестнадцать регистров PRSG0\_SLC-PRSG15\_SLC – для настройки ПСП генератора на работу с каждым из 16 согласованных фильтров.

Функциональное назначение полей регистров приведено в таблице 1.260.

Адрес:  $0x0e + i \cdot 16, i=[0..15]$ .

**Таблица 1.260 – Разряды регистра счетчика длины генератора ПСП (PRSG\_SLC)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 30	reserved		R	0x0
29 – 20	SLC2	Текущее значение счётчика длины M2-последовательности	RW	0x0
19 – 10	SLC1	Текущее значение счётчика длины M1-последовательности	RW	0x0
9 – 0	SLC0	Текущее значение счётчика длины M0-последовательности	RW	0x0

**1.6.5.17.4.12 Регистр параметров вычислителя пика (PEAK\_PARAM)**

Регистр предназначен для задания параметров вычислителя пика.

Функциональное назначение полей регистра приведено в таблице 1.261.

Адрес: 0x700.

**Таблица 1.261 – Разряды регистра параметров вычислителя пика (PEAK\_PARAM)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 1	reserved		R	0x0
0	PEAK_TYPE	Тип вычисления пика: '0' – сумма квадратов: $re^2 + im^2$ ; '1' – сумма модулей: $ re  +  im $ .	RW	0x0

**1.6.5.17.4.13 Регистр параметров вычислителя порога (TRESH\_PARAM)**

Регистр предназначен для задания параметров вычислителя порога.

Функциональное назначение полей регистра приведено в таблице 1.262.

Адрес: 0x710.

**Таблица 1.262 – Разряды регистра параметров вычислителя порога (TRESH\_PARAM)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 4	reserved		R	0x0
3 – 0	W_SIZE	Размер окна усреднения. Используется только при вычислении пиков, как суммы модулей значений. W_SIZE зависит от порядка согласованного фильтра $N$ (см. поле MATCH_LEN) и может принимать значения $W\_SIZE = 2N, N, N/2, N/4$ . Размер задается с уменьшением на единицу. Значение задается как степень двойки и может принимать значения от 4 до 11.	RW	0x7

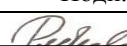
**1.6.5.17.4.14 Регистр коэффициента-множителя вычислителя порога (TRESH\_COEF\_K)**

Регистр предназначен для задания коэффициента-множителя  $K$  в формуле вычисления порога по варианту 1 (см. пункт 1.6.5.12).

$$threshold_i = K \times mean_i + C$$

Функциональное назначение полей регистра приведено в таблице 1.263.

Адрес: 0x712.

									Лист
									264
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020		38075-2						



**Таблица 1.263 – Разряды регистра коэффициента-множителя вычислителя порога (TRESH\_COEF\_K)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 10	reserved		R	0x0
9 – 0	TRESH_COEF_K	Коэффициент-множитель вычислителя порога	RW	0x1

**1.6.5.17.4.15 Регистр коэффициента-слагаемого вычислителя порога (TRESH\_COEF\_C)**

Регистр предназначен для задания коэффициента-слагаемого  $C$  в формуле вычисления порога по варианту 1 (см. пункт 1.6.5.12)

$$threshold_i = K \times mean_i + C$$

Функциональное назначение полей регистра приведено в таблице 1.264.

Адрес: 0x714.

**Таблица 1.264 – Разряды регистра коэффициента-слагаемого вычислителя порога (TRESH\_COEF\_C)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 0	TRESH_COEF_C	Коэффициент-слагаемое вычислителя порога	RW	0x0

**1.6.5.17.4.16 Регистр коэффициента настройки величины скачка порога (TRESH\_COEF\_M)**

Регистр предназначен для задания коэффициента настройки величины скачка порога  $\frac{K_3}{2^m}$  (см. п. 1.6.5.12).

Функциональное назначение полей регистра приведено в таблице Таблица 1.265.

Адрес: 0x716.

**Таблица 1.265 – Разряды регистра коэффициента настройки величины скачка порога (TRESH\_COEF\_M)**

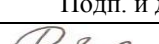
№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 24	reserved		R	0x0
23 – 16	TRESH_COEF_M_NUMER	Числитель дроби коэффициента ( $K_3$ )	RW	0x1
15 – 3	reserved		R	0x0
2 – 0	TRESH_COEF_M_ORDER	Степень двойки в знаменателе дроби коэффициента (m)	RW	0x3

**1.6.5.17.4.17 Регистр коэффициента затухания скачка порога (TRESH\_COEF\_D)**

Регистр предназначен для задания коэффициента затухания скачка порога  $\frac{K_2}{2^d}$  (см. п. 1.6.5.12).

Функциональное назначение полей регистра приведено в таблице 1.266.

Адрес: 0x718.

										Лист
										265
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата				
38075-3	 16.10.2020		38075-2							

**Таблица 1.266 – Разряды регистра коэффициента затухания скачка порога (TRESH\_COEF\_D)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 24	reserved		R	0x0
23 – 16	TRESH_COEF_D_NUMER	Числитель дроби коэффициента (K <sub>2</sub> )	RW	0x1
15 – 3	reserved		R	0x0
2 – 0	TRESH_COEF_D_ORDER	Степень двойки в знаменателе дроби коэффициента (d)	RW	0x3

**1.6.5.17.4.18 Регистр коэффициента-множителя вычислителя порога (TRESH\_COEF\_K1)**

Регистр предназначен для задания коэффициента-множителя  $K_1$  в формуле вычисления порога по варианту 2 (см. пункт 1.6.5.12)

$$threshold_{i-\frac{w}{2}} = K_1 \times mean_i + peak_{-c_i}$$

Функциональное назначение полей регистра приведено в таблице 1.267.

Адрес: 0x71a.

**Таблица 1.267 – Разряды регистра коэффициента-множителя вычислителя порога (TRESH\_COEF\_K1)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 4	reserved		R	0x0
3 – 0	TRESH_COEF_K1	Коэффициент-множитель вычислителя порога	RW	0x1

**1.6.5.17.4.19 Регистр маски сравнения порогов 0 (CMP\_TRESH\_0)**

Регистр предназначен для задания маски сравнения порогов.

Функциональное назначение полей регистра приведено в таблице 1.268.

Адрес: 0x720.

**Таблица 1.268 – Разряды регистра маски сравнения порогов (CMP\_TRESH\_0)**

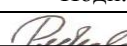
№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 10	reserved		R	0x0
9 – 0	CMP_TRESH_0	5 значений по два бита. Каждая пара бит описывает маску для сравнения одного из пяти отсчетов: Старший бит: '0' – не сравнивать порог для отсчета; '1' – сравнивать порог для отсчета. Младший бит: '0' – значение отсчета ниже либо равно значению порога; '1' – значение отсчета выше порога. Пара бит, расположенная в младших разрядах, соответствует более новому отсчету, в старших – более старому.	RW	0x30

**1.6.5.17.4.20 Регистр маски сравнения порогов 1 (CMP\_TRESH\_1)**

Регистр предназначен для задания маски сравнения порогов.

Функциональное назначение полей регистра приведено в таблице 1.269.

Адрес: 0x722.

									Лист
									266
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата		Взам.инв.№		Инва.№дубл.	Подп. и дата			
38075-3	 16.10.2020		38075-2						

**Таблица 1.269 – Разряды регистра маски сравнения порогов (CMP\_TRESH\_1)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 10	reserved		R	0x0
9 – 0	CMP_TRESH_1	5 значений по два бита. Каждая пара бит описывает маску для сравнения одного из пяти отсчетов: Старший бит: ‘0’ – не сравнивать порог для отсчета; ‘1’ – сравнивать порог для отсчета. Младший бит: ‘0’ – значение отсчета ниже либо равно значению порога; ‘1’ – значение отсчета выше порога. Пара бит, расположенная в младших разрядах, соответствует более новому отсчету, в старших – более старому.	RW	0x30

**1.6.5.17.4.21 Регистр маски сравнения порогов 2 (CMP\_TRESH\_2)**

Регистр предназначен для задания маски сравнения порогов.

Функциональное назначение полей регистра приведено в таблице 1.270.

Адрес: 0x724.

**Таблица 1.270 – Разряды регистра маски сравнения порогов (CMP\_TRESH\_2)**

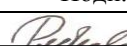
№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 10	reserved		R	0x0
9 – 0	CMP_TRESH_2	5 значений по два бита. Каждая пара бит описывает маску для сравнения одного из пяти отсчетов: Старший бит: ‘0’ – не сравнивать порог для отсчета; ‘1’ – сравнивать порог для отсчета. Младший бит: ‘0’ – значение отсчета ниже либо равно значению порога; ‘1’ – значение отсчета выше порога. Пара бит, расположенная в младших разрядах, соответствует более новому отсчету, в старших – более старому.	RW	0x30

**1.6.5.17.4.22 Регистр маски сравнения значений соседних точек (CMP\_ONE)**

Регистр предназначен для задания маски сравнения значений соседних отсчетов.

Функциональное назначение полей регистра приведено в таблице 1.271.

Адрес: 0x726.

										Лист
										267
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата				
38075-3	 16.10.2020		38075-2							

**Таблица 1.271 – Разряды регистра маски сравнения значений соседних точек (CMP\_ONE)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 10	reserved		R	0x0
9 – 0	CMP_ONE	5 точек по два бита. Каждая пара бит описывает маску для сравнения одного из пяти отсчетов: Старший бит из пары: '0' – не сравнивать с предыдущим отсчетом; '1' – сравнивать с предыдущим отсчетом. Младший бит из пары: '0' – значение точки ниже либо равно значению предыдущей точки; '1' – значение точки выше значения предыдущей точки. Пара бит, расположенная в младших разрядах, соответствует более новому отсчету, в старших – более старому.	RW	0xb8

**1.6.5.17.4.23 Регистр маски сравнения значений через одну точку (CMP\_DBL)**

Регистр предназначен для задания маски сравнения значений через одну точку. Функциональное назначение полей регистра приведено в таблице 1.272. Адрес: 0x728.

**Таблица 1.272 – Разряды регистра маски сравнения значений через одну точку (CMP\_DBL)**

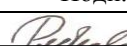
№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 10	reserved		R	0x0
9 – 0	CMP_DBL	5 точек по два бита. Каждая пара бит описывает маску для сравнения одного из пяти отсчетов: Старший бит из пары: '0' – не сравнивать с пред-предыдущим отсчетом; '1' – сравнивать с пред-предыдущим отсчетом. Младший бит из пары: '0' – значение отсчета ниже либо равно значению пред-предыдущего отсчета; '1' – значение отсчета выше значения пред-предыдущего отсчета. Пара бит, расположенная в младших разрядах, соответствует более новому отсчету, в старших – более старому.	RW	0x0

**1.6.5.17.4.24 Регистр маскирования сравнения данных (CMP\_MASK\_TIMER)**

Регистр предназначен для управления сравнением данных компаратором. В общем случае при реконфигурации канала DDC, связанной с изменением параметров из таблицы 1.206, необходимо пропустить сравнение первых  $2 \cdot N + W + 64/M$  отсчетов нового кадра ( $N$  – порядок согласованного фильтра,  $W$  – окно усреднения вычислителя порогов,  $M$  – коэффициент децимации). Сравнение данных для каждого из 16 возможных согласованных фильтров канала DDC управляется отдельно через соответствующий бит поля CMP\_MASK\_EN[N] регистра CMP\_MASK\_TIMER.

Настройка, заданная регистром CMP\_MASK\_TIMER, применяется блоком компаратора только с приходом метки времени от интервального таймера и при установленном в единицу бите CMP\_RECONFIG регистра CONFIG.

Функциональное назначение полей регистра приведено в таблице 1.273. Адрес: 0x72a.

									Лист
									268
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата		Взам.инв.№		Инва.№дубл.	Подп. и дата			
38075-3	 16.10.2020		38075-2						

**Таблица 1.273 – Разряды регистра маскирования сравнения данных (CMP\_MASK\_TIMER)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 16	CMP_MASK_EN	Применить CMP_MASK_TIMER к потоку данных соответствующего согласованного фильтра: '0' – производить сравнение всех данных; '1' – не сравнивать первые CMP_MASK_TIMER данных.	RW	0x0
15 – 13	reserved		R	0x0
12 – 0	CMP_MASK_TIMER	Поле задает количество отсчетов нового кадра, в течение которых не производится сравнение пиков и порогов. Таймер срабатывает в случае реконфигурации компаратора (CMP_RECONFIG).	RW	0x0

**1.6.5.17.4.25 Регистр отключения сравнения данных (CMP\_DISABLE)**

Регистр предназначен для управления сравнением данных компаратором в ручном режиме. Пользователь путем программирования отдельных битов данного регистра управляет сравнением данных индивидуально для каждого согласованного фильтра.

Функциональное назначение полей регистра приведено в таблице 1.274.

Адрес: 0x72c.

**Таблица 1.274 – Разряды регистра отключения сравнения данных (CMP\_DISABLE)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 16	reserved		R	0x0
15 – 0	CMP_DISABLE	Каждый бит поля осуществляет ручное управление сравнением данных для соответствующего согласованного фильтра: '0' – производить сравнение; '1' – не производить сравнение.	RW	0x0

**1.6.5.17.4.26 Регистр базового адреса памяти для записи управляющей информации в память (DMA\_WR\_CC\_BASE)**

Данный регистр содержит базовый адрес области памяти, в которой должны располагаться управляющие данные для дальнейшей программной обработки преобразованных DDC данных. Адрес указывает на 32-битные слова (адресное пространство NMU). Начало и размер каждой страницы должен быть выровнены по границе 64-разрядного слова данных.

Функциональное назначение полей регистра приведено в таблице 1.275.

Адрес: 0x730.

**Таблица 1.275 – Разряды регистра базового адреса для записи управляющей информации в память (DMA\_WR\_CC\_BASE)**

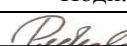
№ Разр.	Имя	Название (описание)	Реж	Исх. знач.
31 – 0	DMA_WR_CC_BASE	Базовый адрес доступной области памяти для чтения данных в 32 битных словах. Должен быть кратен 2.	RW	0x0

**1.6.5.17.4.27 Регистр размера страницы управляющей информации (DMA\_WR\_CC\_PSIZE)**

Данный регистр задает размер страницы в памяти, куда будут записаны обработанные устройством данные.

Функциональное назначение полей регистра приведено в таблице 1.276.

Адрес: 0x734.

					Лист
					269
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		 16.10.2020		38075-2	

**Таблица 1.276 – Разряды регистра размера страницы управляющей информации (DMA\_WR\_CC\_PSIZE)**

№ Разр.	Имя	Название (описание)	Реж	Исх. знач.
31 – 0	DMA_WR_CC_PSIZE	Размер страницы данных в памяти для записи (в байтах). Должен быть кратен 8 байтам.	RW	0x0

**1.6.5.17.4.28 Регистр количества обработанной управляющей информации (DMA\_WR\_CC\_NWORD)**

Посредством данного регистра пользователь сообщает каналу DDC какое количество управляющей информации им было обработано за время, прошедшее с последней записи в регистр DMA\_WR\_CC\_NWORD или от начала работы DDC (блока DMA\_WR\_CC). Записанное значение вычитается из текущего значения заполненности FIFO управляющей информации.

После обработки очередного пакета управляющей информации (по прерыванию DMA\_WR\_CC\_FIFO\_LIMIT) пользователь обязан уведомить DDC об её объеме.

Функциональное назначение полей регистра приведено в таблице 1.277.

Адрес: 0x736.

**Таблица 1.277 – Разряды регистра количества обработанной управляющей информации (DMA\_WR\_CC\_NWORD)**

№ Разр.	Имя	Название (описание)	Реж	Исх. знач.
31 – 0	DMA_WR_CC_NWORD	Количество обработанной пользователем управляющей информации в 64-разрядных словах.	RW	0x0

**1.6.5.17.4.29 Регистр размера FIFO необработанной пользователем управляющей информации (DMA\_WR\_CC\_FSIZE)**

Данный регистр задает размер FIFO управляющей информации, то есть максимально возможный объем необработанной пользователем управляющей информации, хранящейся в памяти. По достижении этой границы выдается прерывание DMA\_WR\_CC\_FIFO\_OVERFLOW.

Функциональное назначение полей регистра приведено в таблице 1.278.

Адрес: 0x738.

**Таблица 1.278 – Разряды регистра размера FIFO необработанной пользователем управляющей информации (DMA\_WR\_CC\_FSIZE)**

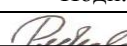
№ Разр.	Имя	Название (описание)	Реж	Исх. знач.
31 – 0	DMA_WR_CC_FSIZE	Размер FIFO необработанной пользователем управляющей информации в 64-разрядных словах.	RW	0x0

**1.6.5.17.4.30 Регистр границы FIFO необработанной пользователем управляющей информации (DMA\_WR\_CC\_FLIMIT)**

Данный регистр задает границу заполненности FIFO необработанной пользователем управляющей информации, по которой вырабатывается прерывание DMA\_WR\_CC\_FIFO\_LIMIT. Наличие такого параметра позволяет пользователю обрабатывать управляющую информацию пакетами определенного размера.

Функциональное назначение полей регистра приведено в таблице 1.279.

Адрес: 0x73A.

									Лист
									270
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата		Взам.инв.№		Инва.№дубл.	Подп. и дата			
38075-3	 16.10.2020		38075-2						

**Таблица 1.279 – Разряды регистра границы FIFO необработанной пользователем управляющей информации (DMA\_WR\_CC\_FLIMIT)**

№ Разр.	Имя	Название (описание)	Реж	Исх. знач.
31 – 0	DMA_WR_CC_FLIMIT	Граница FIFO необработанной пользователем управляющей информации в 64-х разрядных словах.	RW	0x0

**1.6.5.17.4.31 Регистры значения ячеек памяти гетеродина (HET\_MEM\_VALUE)**

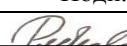
Регистры предназначены для задания значений таблицы синусов/косинусов, используемых гетеродином. Значения задают кривую первой четверти периода синусоиды и косинусоиды – по 256 значений (знаковые, восьмиразрядные).

Функциональное назначение полей регистров приведено в таблице 1.280.

Адреса: 0x800 – 0x9fe (только четные адреса)

**Таблица 1.280 – Разряды регистра параметров гетеродина (HET\_MEM\_VALUE)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 16	reserved		R	0x0
15 – 8	SIN_VAL	Значение $\sin(N*\pi/512)$	RW	0x0
7 – 0	COS_VAL	Значение $\cos(N*\pi/512)$	RW	0x0

										Лист
										271
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата				
38075-3	 16.10.2020		38075-2							



## 1.6.6 Блок интерфейса с АЦП

### 1.6.6.1 Общие сведения

Интерфейс с АЦП предназначен для приема оцифрованных данных от внешних микросхем АЦП и их последующей передачи в устройство предварительной обработки данных (DDC). Интерфейс рассчитан на применение быстродействующих конвейерных АЦП и имеет следующие характеристики:

- количество каналов АЦП – 4 шт.;
- разрядность - 14 бит;
- частота выборки - до 128 МГц;
- физический интерфейс с АЦП – параллельная шина DDR LVDS;
- поддержка одноканальных и двухканальных АЦП;
- поддержка двух вариантов DDR-мультиплексирования данных – even/odd и channel interleave (только для двухканальных АЦП);
- поддерживаемые варианты кодирования данных от АЦП:
  - двоичный код со смещением;
  - дополнительный код;
  - код Грея.
- формирование прерываний при переполнении АЦП.

Каналы АЦП объединены попарно, образуя сдвоенные приемники АЦП (DUAL ADC RECEIVER). Принятые отсчеты сигналов от каждой пары подаются в каналы DDC, как показано на рисунке 1.139. В случае внешней квадратурной демодуляции, на каждую пару каналов (AD0, AD1) и (AD2, AD3) подаются комплексные составляющие сигналов (I0, Q0) и (I1, Q1). В случае, если квадратурная демодуляция осуществляется с использованием внутреннего гетеродина, входящего в состав каждого канала DDC, то сигналы подаются на каналы AD0 и AD2, каналы AD1 и AD3 при этом остаются неподключенными.

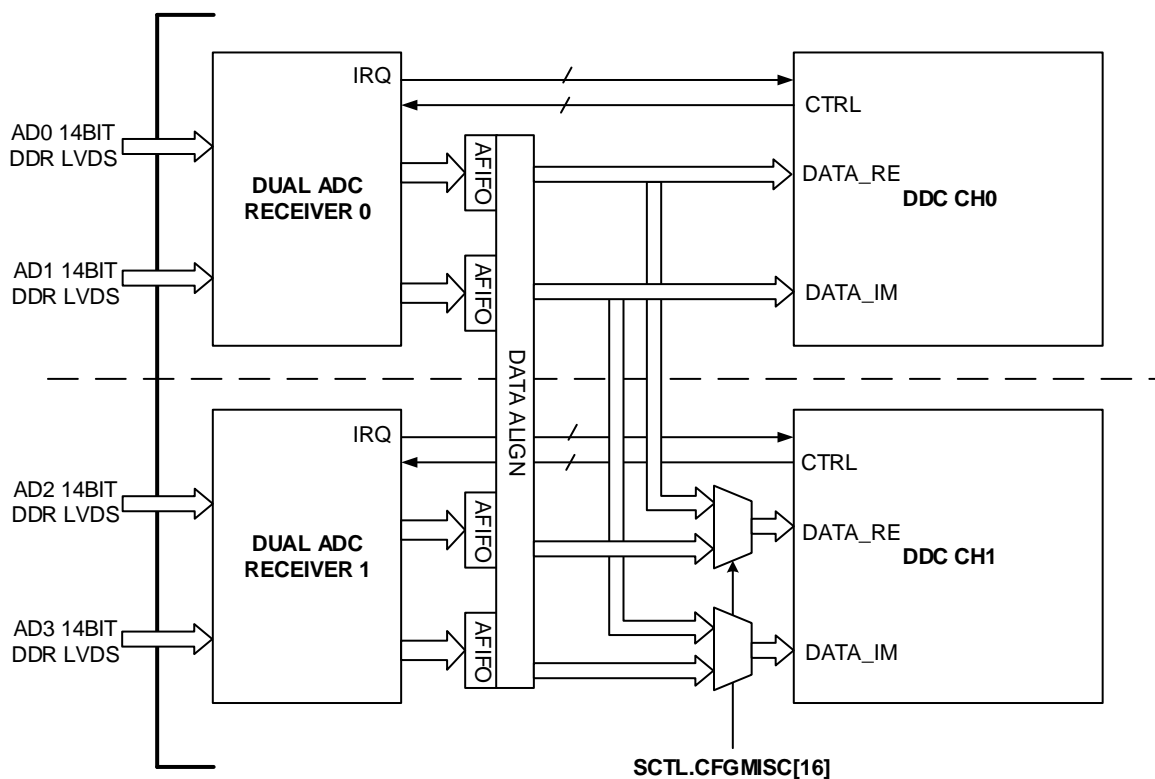


Рисунок 1.139 – Связь каналов АЦП с каналами DDC

					Лист
					272
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		<i>Редук</i> 16.10.2020		38075-2	
			Подп. и дата		

Передача данных от приемников АЦП к каналам DDC осуществляется через асинхронные буфера типа FIFO (AFIFO). На выходе блоков AFIFO стоит схема, устраняющая сдвиг данных между каналами АЦП из-за разности фаз тактовых сигналов. Для канала DDC1 можно выбрать, от какой пары каналов (AD0, AD1) или (AD2, AD3) будут приниматься отсчеты, выбор осуществляется битом SCTL.CFGMISC[16] (см. 1.6.2.13.6). Конфигурация приемников АЦП и обработка прерываний осуществляется через программно-доступные регистры DDC.

### 1.6.6.2 Конфигурации интерфейса АЦП

Для поддержки различных форматов передачи данных по шине DDR LVDS каждый двоянный приемник АЦП имеет ряд конфигурационных сигналов, управляемых регистром ADC\_CTRL в соответствующем канале DDC (см. 1.6.5.17.1.6):

- DUAL\_EN – тип используемых АЦП:
  - 0x0 – два одноканальных АЦП,
  - 0x1 – один двухканальный АЦП.
- DUAL\_DDR\_MODE – тип мультиплексирования данных в случае использования двухканального АЦП (при DUAL\_EN = 0 данный сигнал не влияет на работу):
  - 0x0 – чередование четных/нечетных бит (even/odd multiplexing),
  - 0x1 – чередование каналов (channel interleave).
- DUAL\_OVR\_MODE – тип сигналов переполнения в случае использования двухканального АЦП (при DUAL\_EN = 0 данный сигнал не влияет на работу):
  - 0x0 – каждый канал имеет свой сигнал OVR;
  - 0x1 – сигналы OVR от обоих каналов DDR-мультиплексированы на одну линию.
- SMPL\_ORDER – порядок захвата отсчетов:
  - 0x0 – первая половина отчета защелкивается по отрицательному фронту, вторая половина защелкивается по положительному фронту;
  - 0x1 – первая половина отсчета защелкивается по положительному фронту, вторая половина защелкивается по отрицательному фронту.
- DATA\_EDGE\_SEL – выбор разбиения данных по фронтам синхросигнала.
 

Для режима мультиплексирования even/odd:

  - 0x0 – четные биты защелкиваются по положительному фронту, нечетные – по отрицательному;
  - 0x1 – нечетные биты защелкиваются по положительному фронту, четные – по отрицательному.

Для режима мультиплексирования channel interleave:

  - 0x0 – данные канала 0 защелкиваются по положительному фронту, данные канала 1 защелкиваются по отрицательному фронту;
  - 0x1 – данные канала 1 защелкиваются по отрицательному фронту, данные канала 0 защелкиваются по отрицательному фронту.
- OVR\_EDGE\_SEL – выбор разбиения сигнала переполнения по фронтам синхросигнала. Данный сигнал имеет значение только для конфигурации двухканального АЦП с мультиплексированным сигналом переполнения, и мультиплексированием данных even/odd:
  - 0x0 – сигнал переполнения канала 0 защелкивается по положительному фронту, а канала 1 – по отрицательному;
  - 0x1 – сигнал переполнения канала 1 защелкивается по положительному фронту, а канала 0 – по отрицательному.
- OVR\_DIS – отключение использования сигнала OVR:
  - 0x0 – переполнение будет детектироваться с учетом сигнала OVR;
  - 0x1 – переполнение будет детектироваться только по коду.

									Лист
									273
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата			Взам.инв.№	Инва.№дубл.	Подп. и дата			
38075-3	<i>Редук</i> 16.10.2020			38075-2					

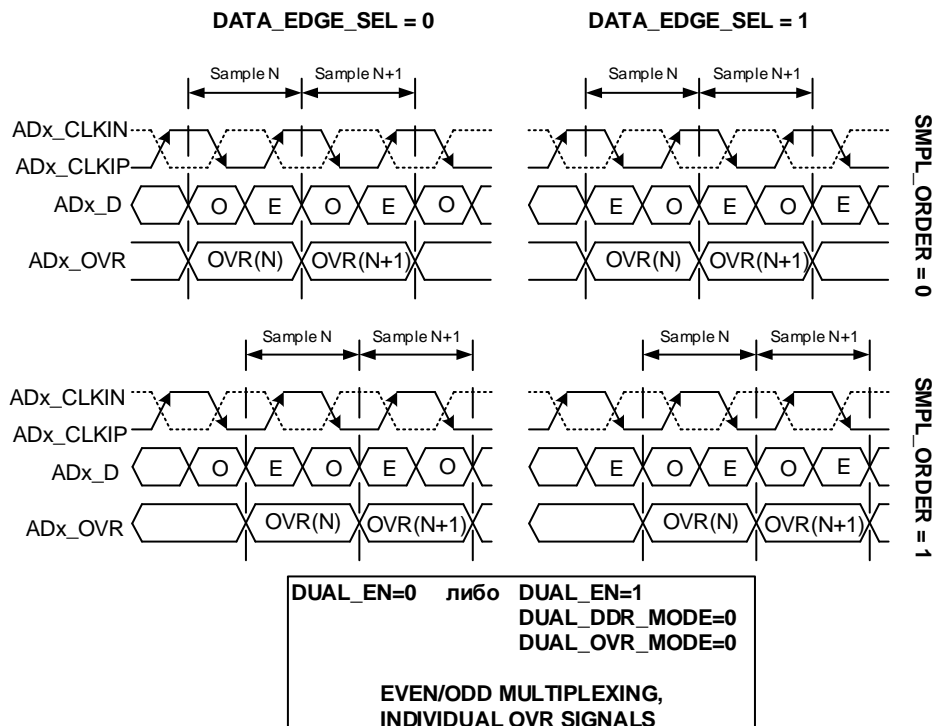
- DATA\_CODING – выбор кодирования выходных данных АЦП:
  - 0x0 – дополнительный код;
  - 0x1 – двоичный код со смещением;
  - 0x2 – код Грэя.

Соответствие кодов входным напряжениям АЦП приведено в таблице 1.281.

**Таблица 1.281 – Коды данных АЦП**

Входное напряжение	Дополнительный код	Двоичный код со смещением	Код Грэя
+Vmax	01_1111_1111_1111 <sub>2</sub>	11_1111_1111_1111 <sub>2</sub>	10_0000_0000_0000 <sub>2</sub>
+Vmax - LSB	01_1111_1111_1110 <sub>2</sub>	11_1111_1111_1110 <sub>2</sub>	10_0000_0000_0001 <sub>2</sub>
...			
0 + LSB	00_0000_0000_0001 <sub>2</sub>	10_0000_0000_0001 <sub>2</sub>	11_0000_0000_0001 <sub>2</sub>
0	00_0000_0000_0000 <sub>2</sub>	10_0000_0000_0000 <sub>2</sub>	11_0000_0000_0000 <sub>2</sub>
0 - LSB	11_1111_1111_1111 <sub>2</sub>	01_1111_1111_1111 <sub>2</sub>	01_0000_0000_0000 <sub>2</sub>
...			
-Vmax + LSB	10_0000_0000_0001 <sub>2</sub>	00_0000_0000_0001 <sub>2</sub>	00_0000_0000_0001 <sub>2</sub>
-Vmax	10_0000_0000_0000 <sub>2</sub>	00_0000_0000_0000 <sub>2</sub>	00_0000_0000_0000 <sub>2</sub>

На рисунках 1.140 - 1.142 показаны примеры временных диаграмм интерфейса АЦП при различных значениях управляющих сигналов.



**Рисунок 1.140 – Временные диаграммы интерфейса АЦП (пример 1)**

					Лист
					274
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		<i>Редук</i> 16.10.2020		38075-2	
			Подп. и дата		

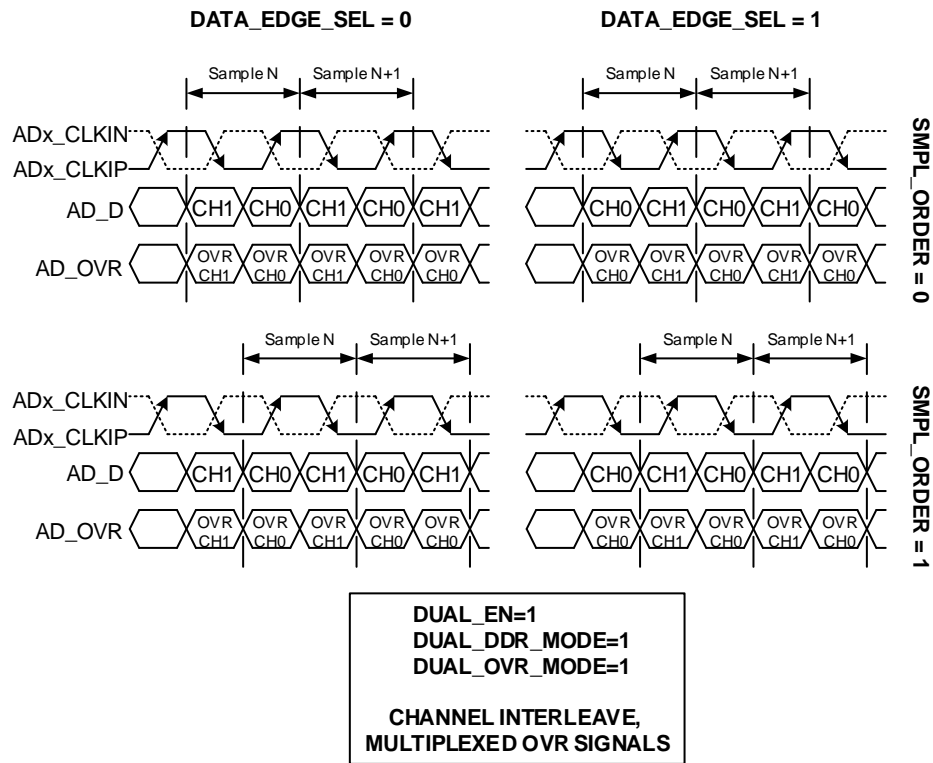


Рисунок 1.141 – Временные диаграммы интерфейса АЦП (пример 2)

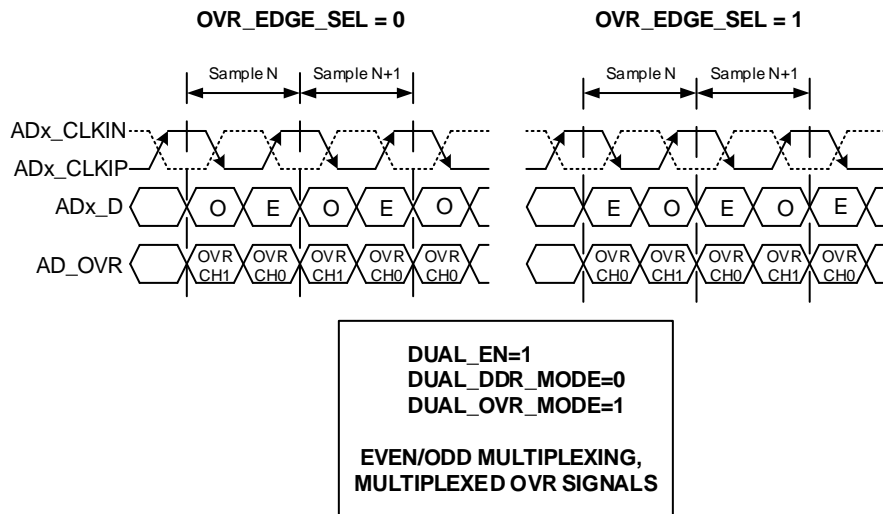


Рисунок 1.142 – Временные диаграммы интерфейса АЦП (пример 3)

### 1.6.6.3 Инициализация интерфейсов с АЦП

Для запуска интерфейсов АЦП необходимо выполнить следующие действия:

1. Инициализировать синхросигналы АЦП и DDC, согласно п. 1.6.2.4.8.
2. Включить LVDS-буфера нужных интерфейсов АЦП через регистры SCTL.LVDS\_CFG\_ADx (см. п. 1.6.2.13.14).
3. Инициализировать регистры каналов DDC. В том числе инициализировать регистры ADC\_CTRL (см. 1.6.5.17.1.6) в соответствии с используемыми микросхемами АЦП.

									Лист
									275
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2						

4. Инициализировать внешние микросхемы АЦП, если это требуется.
5. Подать синхросигналы на используемые АЦП (выходы ADx\_CLKO), через регистр SCTL.ADC\_START (см. 1.6.2.13.12). Это нужно делать в два шага:
  - сначала в поле CLKEN\_MASK[3:0] установить в единицу биты, соответствующие используемым каналам АЦП;
  - затем установить в 1 бит CLKEN. После этого АЦП начнут преобразование и оцифрованные отсчеты начнут поступать в каналы DDC.

										Лист
										276
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редюк</i> 16.10.2020			38075-2					

### 1.6.7 Блок декодеров сообщения (CORB)

Блок декодеров сообщения (CORB) (см рисунок 1.143) вычисляет корреляцию входных данных с функциями Уолша и осуществляет выбор двух функций, имеющих самые большие значения корреляций.

Блок CORB состоит из блока декодирования команд (DCB), теневого буфера команд (SHADOW\_FIFO0 и SHADOW\_FIFO1), контроллера ПДП (CORBDMA), двух независимых каналов аппаратных корреляторов (CH0 и CH1), блока памяти для хранения таблиц ПСП (PRS\_MEM), блоков выбора максимумов (TMSS0 и TMSS1) и буферов результатов (RES\_FIFOx).

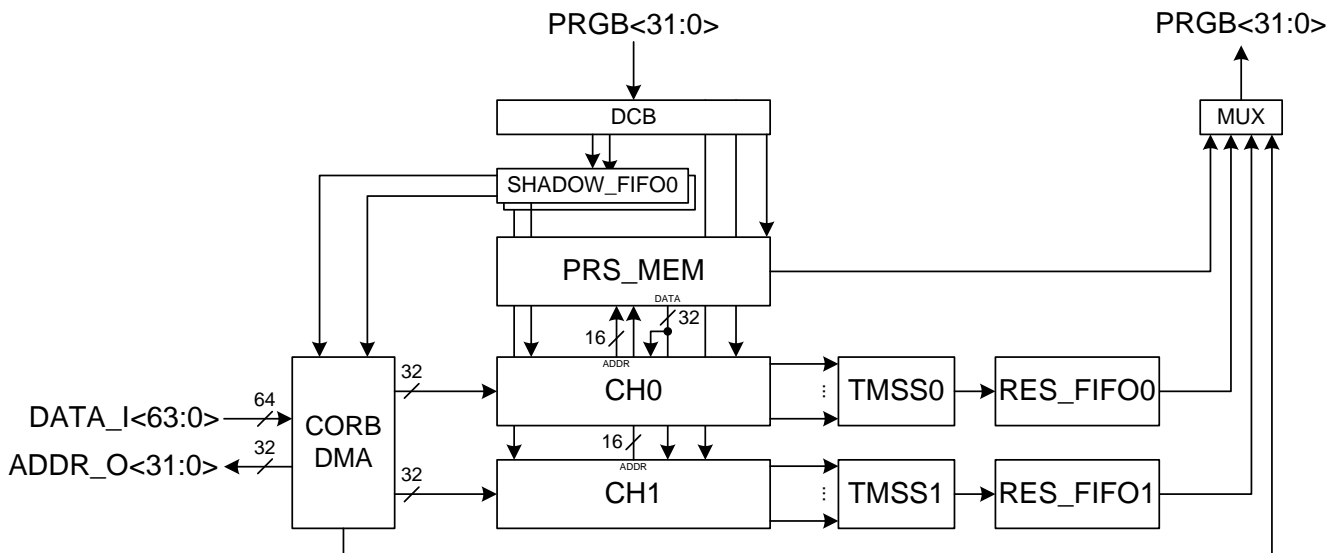


Рисунок 1.143 – Общая структура блока аппаратных корреляторов

DCB – блок, осуществляющий декодирование команд чтения из блока CORB и команд записи в блок CORB программно доступных регистров и ячеек памяти PRS\_MEM.

SHADOW\_FIFOx – теновый буфер команд. Позволяет блоку CORB принимать пакеты команд для очередной настройки и запуска соответствующего канала, не дожидаясь завершения его работы.

CORBDMA – контроллер, осуществляющий чтение данных из памяти без участия процессорных систем.

CHx – канал аппаратных корреляторов. Осуществляет восстановление исходной формы входного сигнала и вычисление значений квадратов корреляций или сумм модулей действительных и мнимых частей корреляций между восстановленным сигналом и функциями Уолша в порядке Адамара.

PRS\_MEM – блок памяти для хранения таблиц ПСП. Содержит память объемом 32 Кбита.

TMSSx – блок выбора максимумов. Осуществляет выбор двух максимальных значений квадратов корреляций или сумм модулей действительных и мнимых частей корреляций, рассчитанных соответствующим каналом аппаратных корреляторов.

RES\_FIFOx – буфер, хранящий результаты вычислений соответствующего канала аппаратных корреляторов.

					Лист	
					277	
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		

### 1.6.7.1 Контроллер чтения данных (CORBDMA)

Контроллер чтения данных состоит из двух каналов прямого доступа в память (ПДП) – DMA0 и DMA1, подключённых к одной шине. Каждый канал осуществляет чтение данных из памяти без участия процессорных систем. Чтение производится 64-разрядными словами. Один адрес в памяти соответствует одному 32-разрядному слову. Для чтения данных каналу необходимо программно задать следующее: начальный адрес чтения (FA), количество (SIZE) требуемых для чтения 32-разрядных слов, величину инкремента (INC) адреса, параметр (LONG), задающий количество выбираемых по текущему адресу 32-разрядных слов (1 слово, если LONG=0; 2 – если LONG=1), последний адрес (L0) кадра и первый адрес (F1) следующего кадра. В процессе работы, как показано на рисунке 1.144, контроллер инкрементирует адрес текущего чтения (CA), начиная с адреса FA, на значение INC. Если CA достигает значения L0, то оно не инкрементируется, а становится равным значению F1.

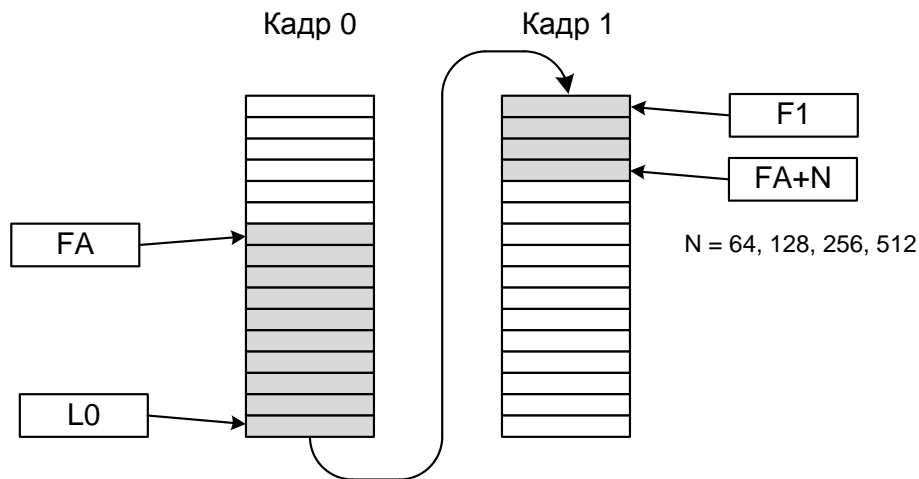


Рисунок 1.144 – Порядок чтения данных контроллером ПДП

На рисунке 1.145 приведены примеры чтения данных каналом контроллера ПДП в зависимости от заданных параметров. Серым цветом выделены данные, считанные контроллером ПДП и переданные соответствующему каналу аппаратных корреляторов.

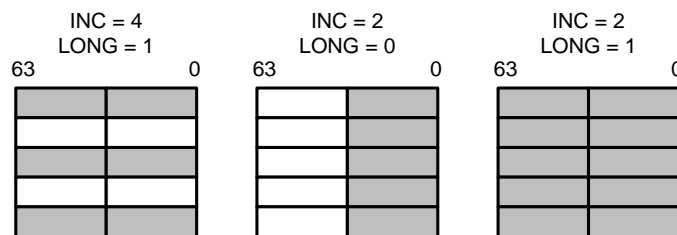


Рисунок 1.145 – Примеры чтения данных каналом контроллера ПДП в зависимости от заданных параметров

									Лист
									278
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	<i>Редук</i> 16.10.2020			38075-2					



### 1.6.7.2 Канал аппаратных корреляторов (СНх)

Функциональная схема канала аппаратных корреляторов приведена на рисунке 1.146.

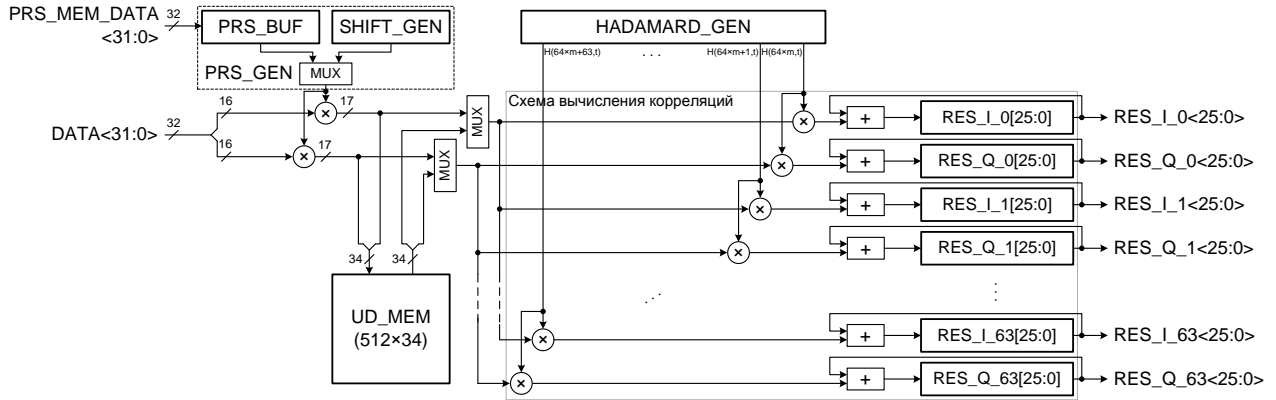


Рисунок 1.146 – Функциональная схема канала аппаратных корреляторов

Канал аппаратных корреляторов состоит из генератора ПСП (PRS\_REG), блока памяти (UD\_MEM) для хранения данных, соответствующих отсчётам сигнала восстановленной формы, генератора Адамара (HADAMARD\_GEN), 128 регистров (RES\_I\_0 - RES\_I\_63 и RES\_Q - RES\_Q\_63) для накопления значений действительных и мнимых частей корреляций соответственно.

Получаемые каналом аппаратных корреляторов данные DATA[31:0] представляют собой 32-разрядные слова, в которых упакованы значения действительных (I) и мнимых (Q) частей комплексных отсчётов, как показано на рисунке 1.147.

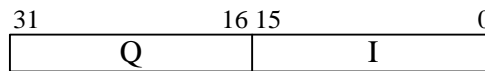


Рисунок 1.147 – Формат упакованных данных

Для восстановления исходной формы сигнала I и Q умножаются на соответствующее временному отсчёту значение ПСП. Данные, соответствующие отсчёту сигнала восстановленной формы, поступают на схему вычисления значений корреляций с функциями Уолша  $H(i,t)$ , где  $i$  – номер функции Уолша в порядке Адамара,  $t$  – номер временного отсчёта.

Значения корреляционных функций рассчитываются согласно формуле:

$$r_i = \sum_{t=0}^T (H(i,t) \cdot D_t), \quad 0 \leq i < T,$$

где  $r_i$  – значения корреляционной функции,  $D_t$  – данные, соответствующие отсчёту  $t$  сигнала восстановленной формы,  $T$  – длина во временных отсчётах заданной функции Уолша.

В регистрах RES\_I\_x и RES\_Q\_x накапливаются значения корреляционных функций. Они подаются на соответствующие выходы канала аппаратных корреляторов.

### 1.6.7.3 Генератор ПСП (PRS\_GEN)

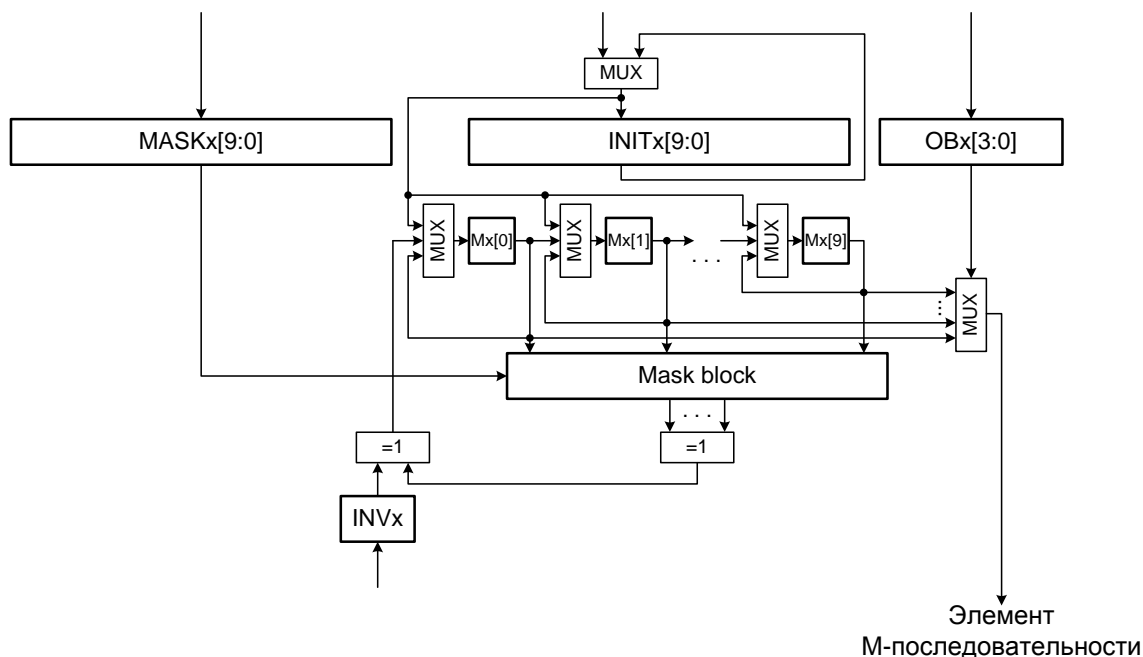
Генератор ПСП состоит из буфера (PRS\_BUF) для хранения данных, считанных из блока памяти PRS\_MEM, и генератора ПСП на сдвиговых регистрах (SHIFT\_GEN).

В случае, если для работы канала аппаратных корреляторов требуется использовать ПСП из блока памяти PRS\_MEM, данные на выход генератора PRS\_GEN поступают с буфера PRS\_BUF, который наполняется 32-разрядными данными из блока памяти PRS\_MEM. В противном случае на выход генератора PRS\_GEN поступают данные с генератора ПСП на сдвиге-

					Лист
					279
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		<i>Редюк</i> 16.10.2020		38075-2	

вых регистрах. Ноль на выходе генератора ПСП соответствует значению +1, единица – значению минус 1.

Генератор ПСП на сдвиговых регистрах состоит из трёх генераторов М-последовательности. Элемент ПСП формируется путем суммирования "по модулю 2" выходных значений генераторов М-последовательности. Функциональная схема генератора М-последовательности приведена на рисунке 1.148.

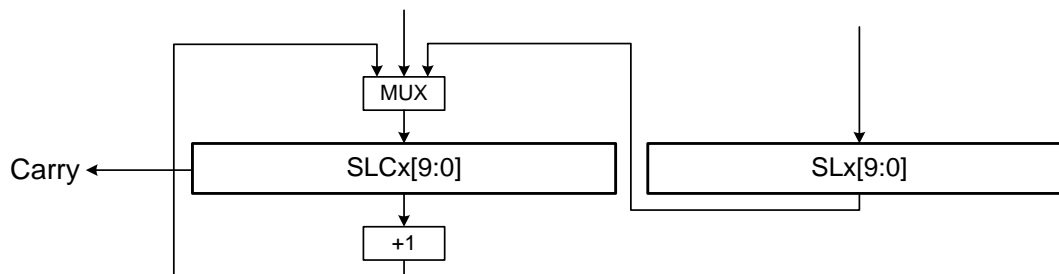


**Рисунок 1.148 – Функциональная схема генератора М-последовательности**

М-последовательность формируется с одного из разрядов сдвигового регистра  $M_x$ . Разряд выбирается по значению, записанному в программно доступном регистре  $OB_x$ . Начальное состояние (значение) сдвигового регистра  $M_x$  загружается программно. При каждом следующем отсчёте происходит сдвиг регистра  $M_x$  в сторону старших разрядов. Младший разряд сдвигового регистра  $M_x$  формируется путём сложения "по модулю 2" всех разрядов сдвигового регистра, умноженных в блоке *Mask block* на разряды регистра  $MASK_x$  соответственно. Полученное в результате сложения "по модулю 2" значение может быть инвертировано в зависимости от значения, записанного программно в регистр  $INV_x$ .

Регистр  $INIT$  служит для хранения состояния (значения) регистра  $M_x$ , соответствующего первому элементу М-последовательности (значение, записанное программно в  $M_x$ , может соответствовать не первому элементу М-последовательности). Запись в регистр  $INIT_x$  необходима в случае использования счетчика длины М-последовательности. При его использовании происходит инкрементирование счётчика  $SLC_x$  длины М-последовательности каждый новый отсчёт, как показано на рисунке 1.149. При возникновении сигнала переноса  $Carry$  из старшего разряда происходит перезапись регистра  $INIT_x$  в  $M_x$  (вместо сдвига  $M_x$ ) и регистра  $SL_x$  в  $SLC_x$ . После этого работа продолжается. Значение регистров  $SL_x$  и  $SLC_x$  записывается программно перед началом работы генератора.

					Лист	
					280	
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		



**Рисунок 1.149 – Функциональная схема счетчика длины  $M$ -последовательности**

### 1.6.7.4 Генератор Адамара (HADAMARD\_GEN)

Генератор Адамара предназначен для формирования значений функций Уолша  $H(i,t)$  в порядке Адамара, соответствующих одному временному отсчёту  $t$ . Одновременно формируются значения 64 функций Уолша в порядке Адамара:  $H(0,t) - H(63,t)$  или  $H(64,t) - H(127,t)$  и т.д. или  $H(448,t) - H(511,t)$ . Тот или иной набор значений формируется в зависимости от номера  $m$  текущего прохода. Один проход – это действия, необходимые для вычисления значений 64 корреляций. Число проходов зависит от требуемого количества функций Уолша (см. таблицу 1.282), численно равного длине функций Уолша в отсчётах. Номер текущего прохода определяется генератором автоматически. Длина функций Уолша соответствует количеству требуемых для чтения контроллером ПДП 32-разрядных слов.

**Таблица 1.282 – Номера выводимых генератором функций Уолша в порядке Адамара в зависимости от длины функций Уолша в отсчётах и номера текущего прохода**

Длина функций Уолша в отсчётах	Номер $m$ текущего прохода	Номера $i$ выводимых генератором функций Уолша $H(i,t)$ в порядке Адамара
512	0	0-63
	1	64-127
	2	128-191
	3	192-255
	4	256-319
	5	320-383
	6	384-447
	7	448-511
256	0	0-63
	1	64-127
	2	128-191
	3	192-255
128	0	0-63
	1	64-127
64	0	0-63

					ЮФКВ.431268.022РЭ			Лист
								281
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		<i>Редюк</i> 16.10.2020		38075-2				



### 1.6.7.6 Блок выбора максимумов (TMSSx)

Блок выбора максимумов (TMSSx) осуществляет выбор двух максимальных значений из 66 в общем случае: 64 значений, полученных от соответствующего канала аппаратных корреляторов, и двух максимальных значений, полученных в результате предыдущих проходов.

Блок TMSSx, показанный на рисунке 1.152, состоит из входного буфера (INPUT\_BUF) с параллельным вводом и последовательным выводом данных, двух схем (ABS) вычисления значения абсолютного значения, двух схем (SQR) вычисления квадрата, регистра TM\_IN и схемы (TWO\_MAX) выбора двух максимальных значений из трёх.

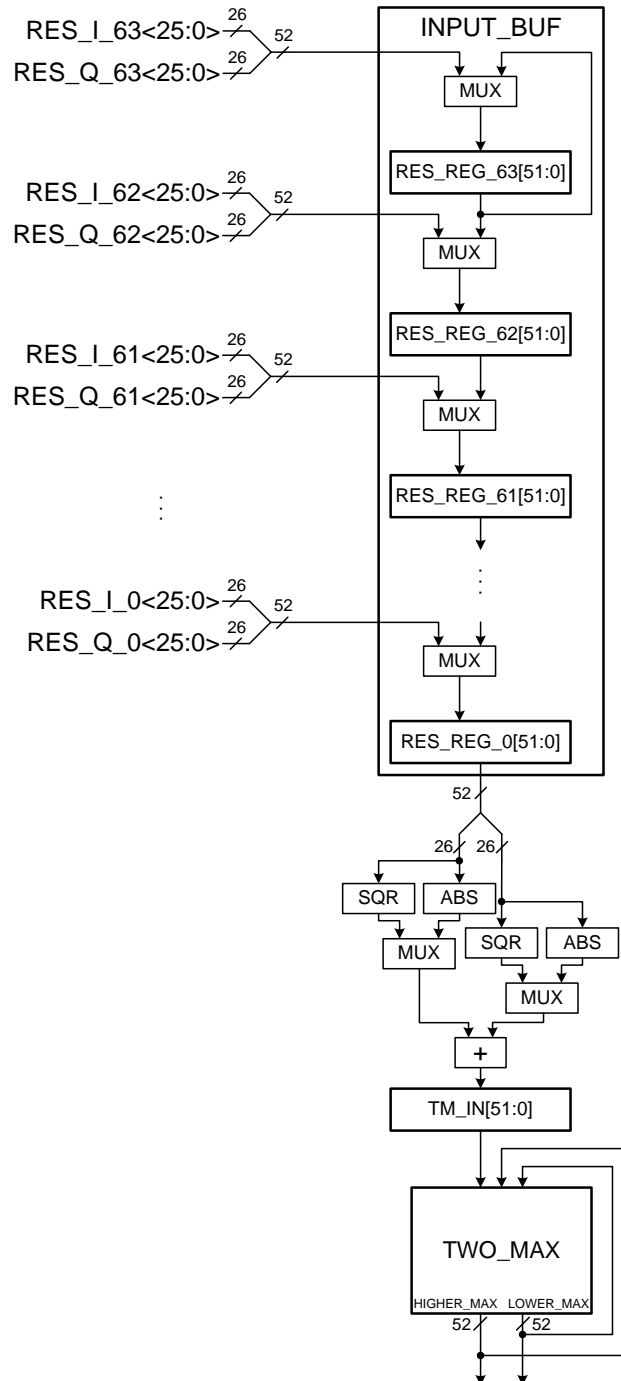
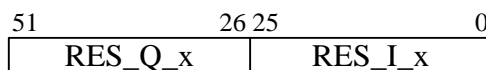


Рисунок 1.152 – Функциональная схема блока выбора максимумов

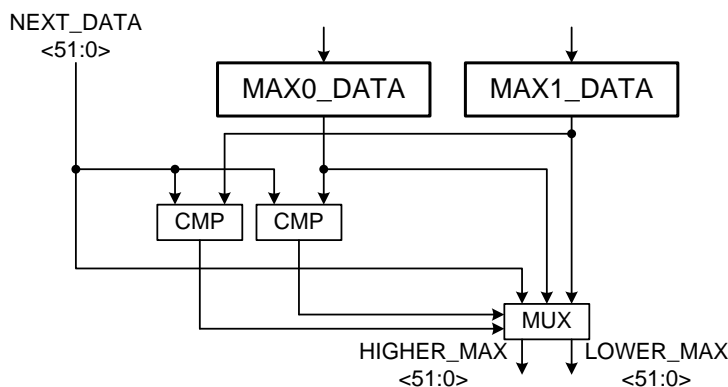
					Лист
					283
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		<i>Редюк</i> 16.10.2020		38075-2	
					Подп. и дата

Данные с входов RES\_0 - RES\_63 записываются в регистры RES\_REG\_0 - RES\_REG\_63 входного буфера соответственно. Все 64 записи происходят одновременно по завершении очередного прохода. К этому моменту в регистрах MAXx\_DATA схемы TWO\_MAX, показанной на рисунке 1.154, уже записаны максимумы от предшествующих проходов. При отсутствии предшествующих проходов там будут записаны нулевые значения. На вход NEXT\_DATA поступают данные с выхода регистра TM\_IN. В этот регистр, в зависимости от программно заданного параметра, записывается значение, соответствующее или сумме модулей чисел, упакованных (см. рисунок 1.153) в регистре RES\_REG\_0 в соответствии с рисунком 1.153, или квадрату модуля комплексного числа, чьи действительные и мнимые части упакованы в регистре RES\_REG\_0.



**Рисунок 1.153 – Формат упаковки данных в регистрах RES\_REG\_x**

К концу работы блока выбора максимумов в регистрах MAXx\_DATA будут записаны два максимальных значения от всех завершившихся к тому времени проходов.



**Рисунок 1.154 – Функциональная схема выбора двух максимальных значений из трёх**

### 1.6.7.7 Теневой буфер команд (SHADOW\_FIFOx)

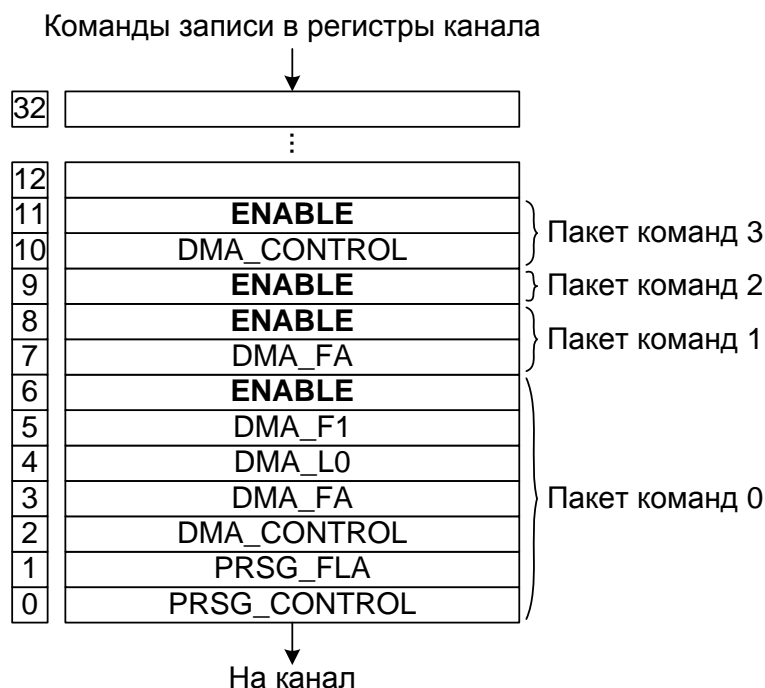
Теневой буфер команд позволяет блоку CORB принимать пакеты команд для очередной настройки и запуска соответствующего канала, не дожидаясь завершения его работы. Один пакет команд настраивает и запускает работу соответствующего канала ПДП и канала аппаратных корреляторов. Пакет команд состоит только из команд записи в регистры канала (см. таблицу 1.283). Исключение составляет запись в регистры STATUS. Команды записи в общие регистры, в память для хранения таблиц ПСП и регистры STATUS, а также команды чтения не могут быть частью пакета команд, так как выполняются сразу при поступлении в блок CORB и не записываются в теневой буфер.

**Таблица 1.283 – Принадлежность регистра в зависимости от старших разрядов адреса**

Старшие разряды адреса, ADR_PRG[15:14]	Принадлежность регистра
00	Регистр канала
01	Ячейка в памяти таблиц ПСП
1x	Общий регистр

					Лист	
					284	
					ЮФКВ.431268.022РЭ	
Изм	Лист	№ докум.	Подп.	Дата		
Инва.№подл.	Подп. и дата		Взам.инв.№	Инва.№дубл.	Подп. и дата	
38075-3	<i>Редюк</i> 16.10.2020		38075-2			

Пакет команд должен состоять, по крайней мере, из команды записи в регистр ENABLE, которая запускает соответствующий канал. Она является командой, разграничивающей два пакета команд. Её уход из теневого буфера останавливает выдачу из него очередных команд, являющихся частью следующих пакетов команд, до завершения работы канала. Теневой буфер может вмещать до 33 команд. Пример состояния теневого буфера приведён на рисунке 1.155. Каждому пакету команд будет соответствовать свой результат вычислений.



**Рисунок 1.155 – Пример состояния теневого буфера**

### 1.6.7.8 Буфер результатов (RES\_FIFOx)

Буфер результатов может вмещать до 16 пакетов результатов расчетов соответствующего канала аппаратных корреляторов. Каждый пакет результатов содержит следующую информацию:

- значение первого (наибольшего) максимума HIGHER\_MAX, 52 разряда;
- значение второго максимума LOWER\_MAX, 52 разряда;
- номер функции Уолша в порядке Адамара, соответствующий первому максимуму, 9 разрядов;
- номер функции Уолша в порядке Адамара, соответствующий второму максимуму, 9 разрядов;
- идентификатор пакета команд, 6 разрядов.

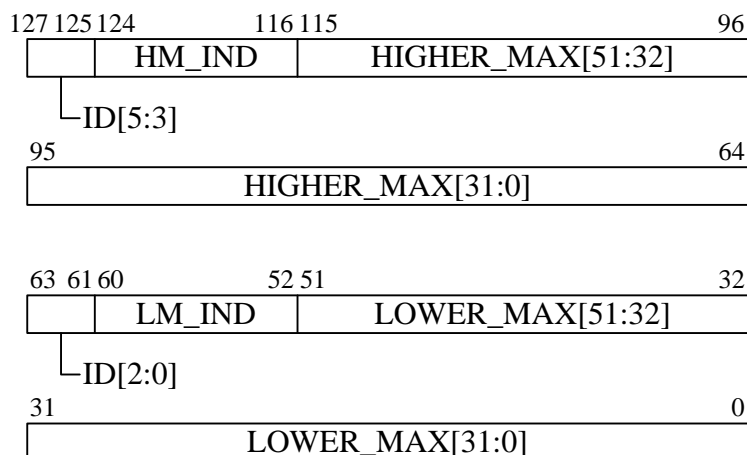
Один пакет результатов при записи в буфер упаковывается согласно рисунку 1.156.

В случае, если очередной пакет данных готов к записи в заполненный буфер результатов, блок выбора максимумов блокируется до тех пор, пока из буфера результатов не будет считан, по крайней мере, один пакет результатов. Если меры по освобождению буфера результатов не будут приняты, то блокировка распространится и на канал аппаратных корреляторов. Это может привести к тому, что теневой буфер команд при заполнении заблокирует приём всяких команд блоком CORB (произойдет зависание), так как у буфера не будет возможности начать выдавать команды при заблокированном канале аппаратных корреляторов. Чтобы избежать зависания заполненный буфер результатов примет очередной пакет результатов, когда теневой бу-

					ЮФКВ.431268.022РЭ	Лист 285
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3	<i>Редук</i> 16.10.2020		38075-2			



фер команд будет заполнен. При этом перезапишется пакет результатов, полученный буфером результатов раньше остальных. Количество потерянных пакетов отражено в регистре STATUS.



**Рисунок 1.156 – Формат упаковки результата при записи в буфер результатов**

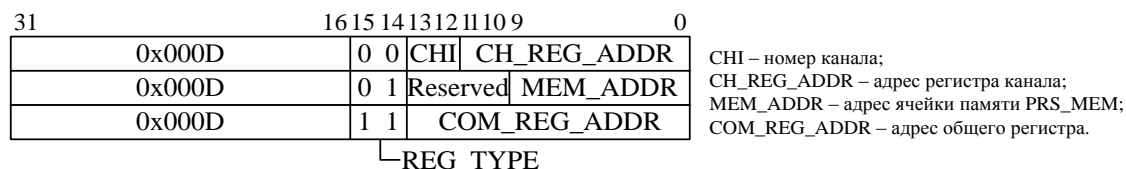
Чтение из буфера результатов осуществляется 32-разрядными словами. Один пакет результатов считывается четырьмя командами чтения регистра RESULTS.

### 1.6.7.9 Программно доступные регистры блока CORB

Адресное пространство блока CORB доступно со стороны процессорных систем NMU и процессорной системы ARM и состоит из трех частей:

- регистры канала – REG\_TYPE = 00;
- ячейки памяти PRS\_MEM – REG\_TYPE = 01;
- общие регистры (для всех каналов) – REG\_TYPE = 11.

Форматы адреса для доступа со стороны NMU приведены на рисунке 1.157.



**Рисунок 1.157 – Форматы адреса для блока CORB со стороны NMU**

В таблице 1.284 приведены адреса общих регистров со стороны ПС NMU и ARM.

**Таблица 1.284 – Адреса общих регистров**

№	Название	Доступность на чтение (ЧТ) и запись (ЗП)	Адрес		Значение по сбросу
			со стороны NMU	со стороны ARM	
1	INT_FLAGS	ЧТ	0_000D_C000h	0x0037_0000	0x0000_0000
2	INT_MASK	ЧТ и ЗП	0_000D_C002h	0x0037_0008	0x0000_00FF
3	INT_RESET	ЗП	0_000D_C004h	0x0037_0010	-
4	INT_FRD	ЧТ и ЗП	0_000D_C006h	0x0037_0018	0x0000_00FF
5	STOP_WORK	ЗП	0_000D_C008h	0x0037_0020	-
6	DMA_PRI	ЧТ и ЗП	0_000D_C200h	0x0037_0800	0x0000_0000

В таблице 1.285 приведены адреса регистров каналов.

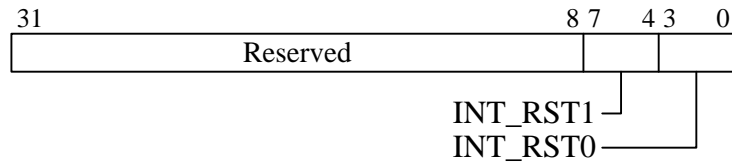
									Лист
									286
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата			
38075-3	<i>Редук</i> 16.10.2020			38075-2					

**Таблица 1.285 – Адреса регистров каналов**

	Название	Доступность на чтение (ЧТ) и запись (ЗП)	Адрес		Значение по сбросу
			со стороны NMU	со стороны ARM	
CHANNEL 0					
1	ENABLE	ЗП	0_000D_00FEh	0x0034_03F8	-
2	RESULTS	ЧТ	0_000D_0000h	0x0034_0000	0xXXXX_XXXX
3	STATUS	ЧТ и ЗП	0_000D_0022h	0x0034_0088	0x0000_0000
4	PRSG_CNTRL	ЧТ и ЗП	0_000D_0100h	0x0034_0400	0x0000_0000
5	PRSG_INIT	ЧТ и ЗП	0_000D_0102h	0x0034_0408	0xXXXX_XXXX
6	PRSG_MASK	ЧТ и ЗП	0_000D_0104h	0x0034_0410	0xXXXX_XXXX
7	PRSG_M	ЧТ и ЗП	0_000D_0106h	0x0034_0418	0xXXXX_XXXX
8	PRSG_FQ	ЧТ и ЗП	0_000D_0108h	0x0034_0420	0xFFFF_FFFF
9	PRSG_FT	ЧТ и ЗП	0_000D_010Ah	0x0034_0428	0x0000_0000
10	PRSG_SL	ЧТ и ЗП	0_000D_010Ch	0x0034_0430	0xXXXX_XXXX
11	PRSG_SLC	ЧТ и ЗП	0_000D_010Eh	0x0034_0438	0xXXXX_XXXX
12	PRSG_FLA	ЧТ и ЗП	0_000D_0110h	0x0034_0440	0xXXXX_XXXX
13	PRSG_CA	ЧТ и ЗП	0_000D_0112h	0x0034_0448	0xXXXX_XXXX
14	DMA_CNTRL	ЧТ и ЗП	0_000D_0200h	0x0034_0800	0x0001_C000
15	DMA_FA	ЗП	0_000D_0202h	0x0034_0808	-
16	DMA_CA	ЧТ	0_000D_0204h	0x0034_0810	0xXXXX_XXXX
17	DMA_L0	ЧТ и ЗП	0_000D_0206h	0x0034_0818	0xFFFF_FFFF
18	DMA_F1	ЧТ и ЗП	0_000D_0208h	0x0034_0820	0xXXXX_XXXX
CHANNEL 1					
19	ENABLE	ЗП	0_000D_10FEh	0x4034_03F8	-
20	RESULTS	ЧТ	0_000D_1000h	0x4034_0000	0xXXXX_XXXX
21	STATUS	ЧТ и ЗП	0_000D_1022h	0x4034_0088	0x0000_0000
22	PRSG_CNTRL	ЧТ и ЗП	0_000D_1100h	0x4034_0400	0x0000_0000
23	PRSG_INIT	ЧТ и ЗП	0_000D_1102h	0x4034_0408	0xXXXX_XXXX
24	PRSG_MASK	ЧТ и ЗП	0_000D_1104h	0x4034_0410	0xXXXX_XXXX
25	PRSG_M	ЧТ и ЗП	0_000D_1106h	0x4034_0418	0xXXXX_XXXX
26	PRSG_FQ	ЧТ и ЗП	0_000D_1108h	0x4034_0420	0xFFFF_FFFF
27	PRSG_FT	ЧТ и ЗП	0_000D_110Ah	0x4034_0428	0x0000_0000
28	PRSG_SL	ЧТ и ЗП	0_000D_110Ch	0x4034_0430	0xXXXX_XXXX
29	PRSG_SLC	ЧТ и ЗП	0_000D_110Eh	0x4034_0438	0xXXXX_XXXX
30	PRSG_FLA	ЧТ и ЗП	0_000D_1110h	0x4034_0440	0xXXXX_XXXX
31	PRSG_CA	ЧТ и ЗП	0_000D_1112h	0x4034_0448	0xXXXX_XXXX
32	DMA_CNTRL	ЧТ и ЗП	0_000D_1200h	0x4034_0800	0x0001_C000
33	DMA_FA	ЗП	0_000D_1202h	0x4034_0808	-
34	DMA_CA	ЧТ	0_000D_1204h	0x4034_0810	0xXXXX_XXXX
35	DMA_L0	ЧТ и ЗП	0_000D_1206h	0x4034_0818	0xFFFF_FFFF
36	DMA_F1	ЧТ и ЗП	0_000D_1208h	0x4034_0820	0xXXXX_XXXX

					ЮФКВ.431268.022РЭ	Лист 287
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		

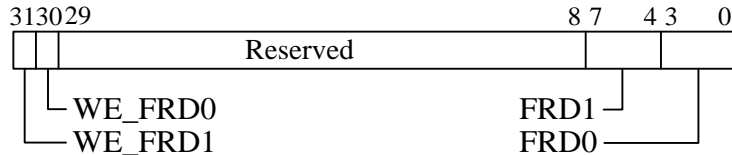




**Рисунок 1.160 – Формат регистра INT\_RESET**

1.6.7.9.4 Регистр INT\_FRD

Регистр INT\_FRD (ЧТ и ЗП). Его формат приведен на рисунке 1.161.

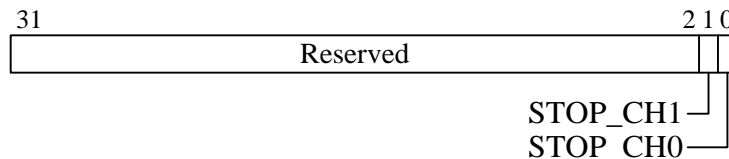


**Рисунок 1.161 – Формат регистра INT\_FRD**

Поля FRDx задают количество пакетов результатов, заполнение которых в соответствующем буфере результатов канала СНх может повлечь за собой прерывание. Если при записи в регистр INT\_FRD поле WE\_FRDx имеет нулевое значение, то поле FRDx не будет изменено. При чтении регистра INT\_FRD поля WE\_FRD0 и WE\_FRD1 принимают нулевые значения.

1.6.7.9.5 Регистр STOP\_WORK

Регистр STOP\_WORK (ЗП). Его формат приведен на рисунке 1.162.



**Рисунок 1.162 – Формат регистра STOP\_WORK**

Запись «1» в поле STOP\_CHx приводит к остановке работы канала СНх. При этом очищается теневой буфер команд канала, но буфер результатов не очищается.

1.6.7.9.6 Регистр DMA\_PRI

Регистр DMA\_PRI (ЧТ и ЗП). Его формат приведен на рисунке 1.163.



**Рисунок 1.163 – Формат регистра DMA\_PRI**

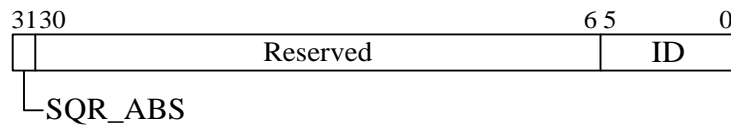
PRI задаёт приоритет между каналами ПДП при формировании запросов в память:

- 0x – приоритет чередуется (очередной запрос в память меняет приоритет);
- 10 – всегда приоритетнее запросы от канала DMA0;
- 11 – всегда приоритетнее запросы от канала DMA1.

									Лист
									289
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2						

### 1.6.7.9.7 Регистр ENABLE

Регистр ENABLE (ЗП) служит для запуска канала. Формат регистра представлен на рисунке 1.164.



**Рисунок 1.164 – Формат регистра ENABLE**

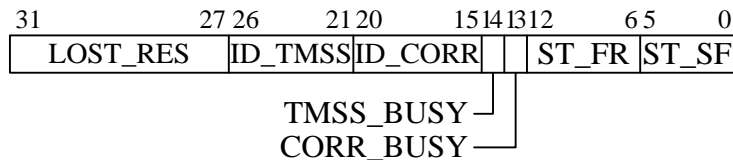
ID задаёт идентификатор пакета команд.

SQR\_ABS определяет следующее:

- 0 – требуется рассчитать значения квадратов корреляций;
- 1 – требуется рассчитать значения сумм модулей действительных и мнимых частей корреляций.

### 1.6.7.9.8 Регистр STATUS

Регистр STATUS (ЧТ и ЗП). Его формат при чтении приведен на рисунке 1.165. Запись любого значения в этот регистр приводит к обнулению поля LOST\_RES.



**Рисунок 1.165 – Формат регистра STATUS при чтении**

ST\_SF – статус теневого буфера команд. Содержит количество команд, находящихся в теневом буфере команд.

ST\_FR – статус буфера результатов. Содержит количество 32-разрядных слов, находящихся в буфере результатов.

CORR\_BUSY – статус занятости схемы вычисления корреляций.

TMSS\_BUSY – статус занятости блока выбора максимумов.

ID\_CORR – идентификатор пакета команд, выполняющихся схемой вычисления корреляций.

ID\_TMSS – идентификатор пакета команд, выполняющихся блоком выбора максимумов.

LOST\_RES – поле, содержащее количество пакетов результатов, которые были перезаписаны (потеряны) в результате заполнения буфера результатов и теневого буфера команд (см. 1.6.7.8).

### 1.6.7.9.9 Регистр RESULT

Регистр RESULT (ЧТ) считывается из FIFO результатов. Он содержит ¼ часть пакета результатов вычислений аппаратного канала корреляции, при чтении принимает значение следующей части пакета. Проверку номера части пакета, находящейся в регистре RESULTS, можно осуществить по двум младшим разрядам поля ST\_FR регистра STATUS. В таблице 1.287 приведены форматы регистра RESULTS в зависимости от части пакета, записанной в нём.

									Лист
									290
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата			Взам.инв.№	Инва.№дубл.	Подп. и дата			
38075-3	<i>Редук</i> 16.10.2020			38075-2					

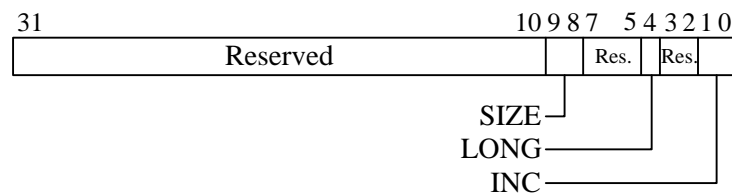
**Таблица 1.287 – Форматы регистра RESULTS в зависимости от части пакета результатов, записанной в нём**

Номер части пакета результатов	Формат регистра RESULTS
0	<div style="text-align: center;"> <span style="float: left;">31</span> <span style="float: right;">0</span> <div style="border: 1px solid black; width: 100%; height: 15px; margin: 5px 0;"></div> <p style="text-align: center; margin: 0;">LOWER_MAX[31:0]</p> </div>
1	<div style="text-align: center;"> <span style="float: left;">31</span> <span style="float: right;">29</span> <span style="float: right;">28</span> <span style="float: right;">20</span> <span style="float: right;">19</span> <span style="float: right;">0</span> <div style="border: 1px solid black; width: 100%; height: 15px; margin: 5px 0;"></div> <div style="display: flex; justify-content: space-between; width: 100%; margin: 5px 0;"> <span>LM_IND</span> <span>LOWER_MAX[51:32]</span> </div> <div style="margin-left: 20px;"> <span style="font-size: 2em;">└</span> ID[2:0]                 </div> </div>
2	<div style="text-align: center;"> <span style="float: left;">31</span> <span style="float: right;">0</span> <div style="border: 1px solid black; width: 100%; height: 15px; margin: 5px 0;"></div> <p style="text-align: center; margin: 0;">HIGHER_MAX[31:0]</p> </div>
3	<div style="text-align: center;"> <span style="float: left;">31</span> <span style="float: right;">29</span> <span style="float: right;">28</span> <span style="float: right;">20</span> <span style="float: right;">19</span> <span style="float: right;">0</span> <div style="border: 1px solid black; width: 100%; height: 15px; margin: 5px 0;"></div> <div style="display: flex; justify-content: space-between; width: 100%; margin: 5px 0;"> <span>HM_IND</span> <span>HIGHER_MAX[51:32]</span> </div> <div style="margin-left: 20px;"> <span style="font-size: 2em;">└</span> ID[5:3]                 </div> </div>

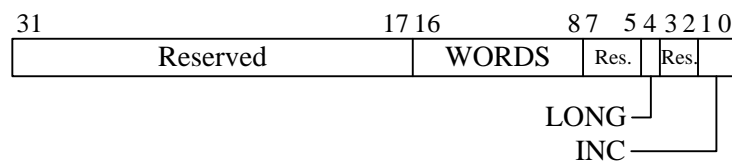
LOWER\_MAX[51:0] – значение второго максимума;  
 HIGHER\_MAX[51:0] – значение первого (наибольшего) максимума;  
 LM\_IND – номер функции Уолша в порядке Адамара для второго максимума;  
 HM\_IND – номер функции Уолша в порядке Адамара для первого максимума.  
 ID[5:0] – идентификатор пакета команд.

#### 1.6.7.9.10 Регистр DMA\_CNTRL

Регистр DMA\_CNTRL (ЧТ и ЗП) задаёт режим работы канала ПДП. Форматы регистра DMA\_CNTRL приведены на рисунке 1.166.



**а)**



**б)**

**Рисунок 1.166 – Форматы регистра DMA\_CNTRL – а) при записи в регистр; б) при чтении из регистра**

INC определяет величину инкремента адреса:

- 00 – адрес инкрементируется на 2;
- 01 – адрес инкрементируется на 4;
- 10 – адрес инкрементируется на 8;
- 11 – адрес инкрементируется на 16.

										Лист
										291
Изм	Лист	№ докум.	Подп.	Дата						
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2							

LONG определяет количество выбираемых 32-разрядных слов:

- 0 – по текущему адресу выбирается 1 32-разрядное слово;
- 1 – по текущему адресу выбираются два 32-разрядных слова.

SIZE задаёт количество требуемых для чтения 32-хразрядных слов:

- 00 – требуется считать 64 32-разрядных слова;
- 01 – требуется считать 128 32-разрядных слов;
- 10 – требуется считать 256 32-разрядных слов;
- 11 – требуется считать 512 32-разрядных слов.

WORDS соответствует отрицательному значению в дополнительном коде количества оставшихся 32-хразрядных слов, которые ещё не запрашивались каналом ПДП.

#### 1.6.7.9.11 Регистр DMA\_FA

Регистр DMA\_FA (ЗП) задаёт начальный адрес чтения, соответствующий одному 32-разрядному слову. Формат регистра DMA\_FA приведен на рисунке 1.167. Контроллер ПДП начнёт отправлять запросы в память по запуску канала.



**Рисунок 1.167 – Формат регистра DMA\_FA**

#### 1.6.7.9.12 Регистр DMA\_L0

Регистр DMA\_L0 (ЧТ и ЗП) задаёт последний адрес кадра, с соответствующий одному 32-разрядному слову. Формат регистра DMA\_L0 приведен на рисунке 1.168.



**Рисунок 1.168 – Формат регистра DMA\_L0**

#### 1.6.7.9.13 Регистр DMA\_F1

Регистр DMA\_F1 (ЧТ и ЗП) задаёт первый адрес следующего кадра, соответствующий одному 64-разрядному слову. Формат регистра DMA\_F1 приведен на рисунке 1.169.



**Рисунок 1.169 – Формат регистра DMA\_F1**

#### 1.6.7.9.14 Регистр DMA\_CA

Регистр DMA\_CA (ЧТ), показанный на рисунке 1.170, содержит текущий адрес для обращения к памяти за данными, выровненный по 64-разрядному слову. По окончании работы канала регистр DMA\_CA содержит адрес, следующий после последнего обращения, согласно величине инкремента.



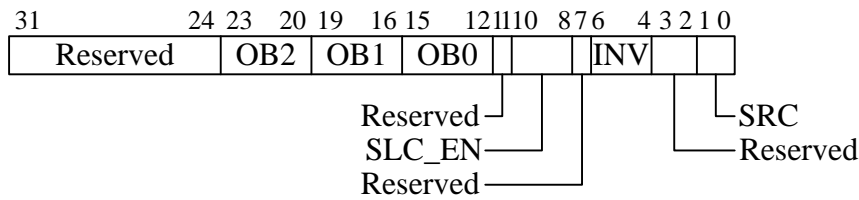
**Рисунок 1.170 – Формат регистра DMA\_CA**

									Лист
									292
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2						



### 1.6.7.9.15 Регистр PRSG\_CNTRL

Регистр PRSG\_CNTRL (ЧТ и ЗП) задаёт параметры работы генератора ПСП. Формат регистра PRSG\_CNTRL приведен на рисунке 1.171.



**Рисунок 1.171 – Формат регистра PRSG\_CNTRL**

SRC определяет источник формирования ПСП:

- 00 – режим нулевой частоты, выходная последовательность состоит из нулей;
- 01 – режим нулевой частоты, выходная последовательность состоит из единиц;
- 10 – для формирования ПСП используется генератор на сдвиговых регистрах;
- 11 – для формирования ПСП используется табличный генератор.

INV[x] определяет обратную связь при формировании M-последовательности

- 0 – не инвертировать обратную связь;
- 1 – инвертировать обратную связь.

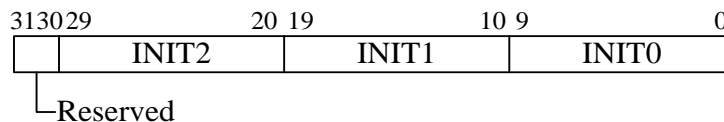
SLC\_EN[x] определяет, использовать ли соответствующему генератору M-последовательности счетчик длины M-последовательности:

- 0 – не использовать счетчик длины M-последовательности;
- 1 – использовать счетчик длины M-последовательности.

OBx – номер разряда сдвигового регистра Mx, с которого следует формировать выход.

### 1.6.7.9.16 Регистр PRSG\_INIT

Регистр PRSG\_INIT (ЧТ и ЗП). Его формат приведен на рисунке 1.172.

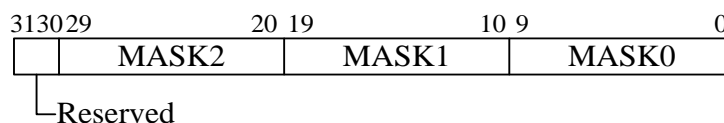


**Рисунок 1.172 – Формат регистра PRSG\_INIT**

Каждое из полей INITx задаёт состояние (значение) сдвигового регистра Mx, соответствующее первому элементу M-последовательности. Поле INITx следует использовать в случае, когда в регистре SLx задана длина соответствующей M-последовательности.

### 1.6.7.9.17 Регистр PRSG\_MASK

Регистр PRSG\_MASK (ЧТ и ЗП) – регистр масок обратной связи. Его формат приведен на рисунке 1.173.



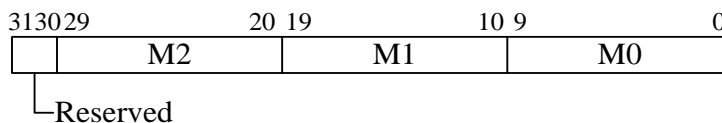
**Рисунок 1.173 – Формат регистра PRSG\_MASK**

									Лист
									293
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата			Взам.инв.№	Инов.№дубл.	Подп. и дата			
38075-3	<i>Редук</i> 16.10.2020			38075-2					

Каждое из полей MASKx задаёт маскирующий регистр для соответствующего генератора M-последовательности. Если i-й разряд поля MASKx – 1, то соответствующий разряд сдвигового регистра Mx будет учитываться в обратной связи; если 0 – разряд будет заблокирован.

#### 1.6.7.9.18 Регистр PRSG\_M

Регистр PRSG\_M (ЧТ и ЗП). Его формат приведен на рисунке 1.174.



**Рисунок 1.174 – Формат регистра PRSG\_M**

Каждое из полей Mx задаёт состояние (значение) сдвигового регистра Mx, соответствующее тому элементу M-последовательности, с которого следует начать работу генератора. При чтении считываются текущие состояния (значения) сдвиговых регистров Mx.

#### 1.6.7.9.19 Регистр PRSG\_FQ

Регистр PRSG\_FQ (ЧТ и ЗП) задаёт частоту смены символов ПСП. Формат регистра приведен на рисунке 1.175.



**Рисунок 1.175 – Формат регистра PRSG\_FQ**

Значение для записи в данный регистр рассчитывается по формуле:

$$PRSG\_FQ[31:0] = \frac{f}{f_d} \cdot 2^{32} - 1, \quad 0 < f \leq f_d$$

где  $f$  – требуемая частота смены символов ПСП,  $f_d$  – частота поступления данных на канал. Если требуется частота, равная нулю, то следует использовать режим нулевой частоты, который задаётся полем SRC регистра PRSG\_CNTRL.

#### 1.6.7.9.20 Регистр PRSG\_FT

Регистр PRSG\_FT (ЧТ и ЗП) содержит текущее значение фазы. После остановки канала в регистре содержится следующее (еще не обработанное) значение фазы. Формат регистра приведен на рисунке 1.176.



**Рисунок 1.176 – Формат регистра PRSG\_FT**

#### 1.6.7.9.21 Регистр PRSG\_SL

Регистр PRSG\_SL (ЧТ и ЗП). Его формат приведен на рисунке 1.177.

					ЮФКВ.431268.022РЭ			Лист
								294
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	<i>Редук</i> 16.10.2020		38075-2					



## 1.6.8 Блок формирования данных для передачи в ЦАП (TRNSMT)

Структурная схема блока передатчика (TRNSMT) приведена на рисунке 1.181.

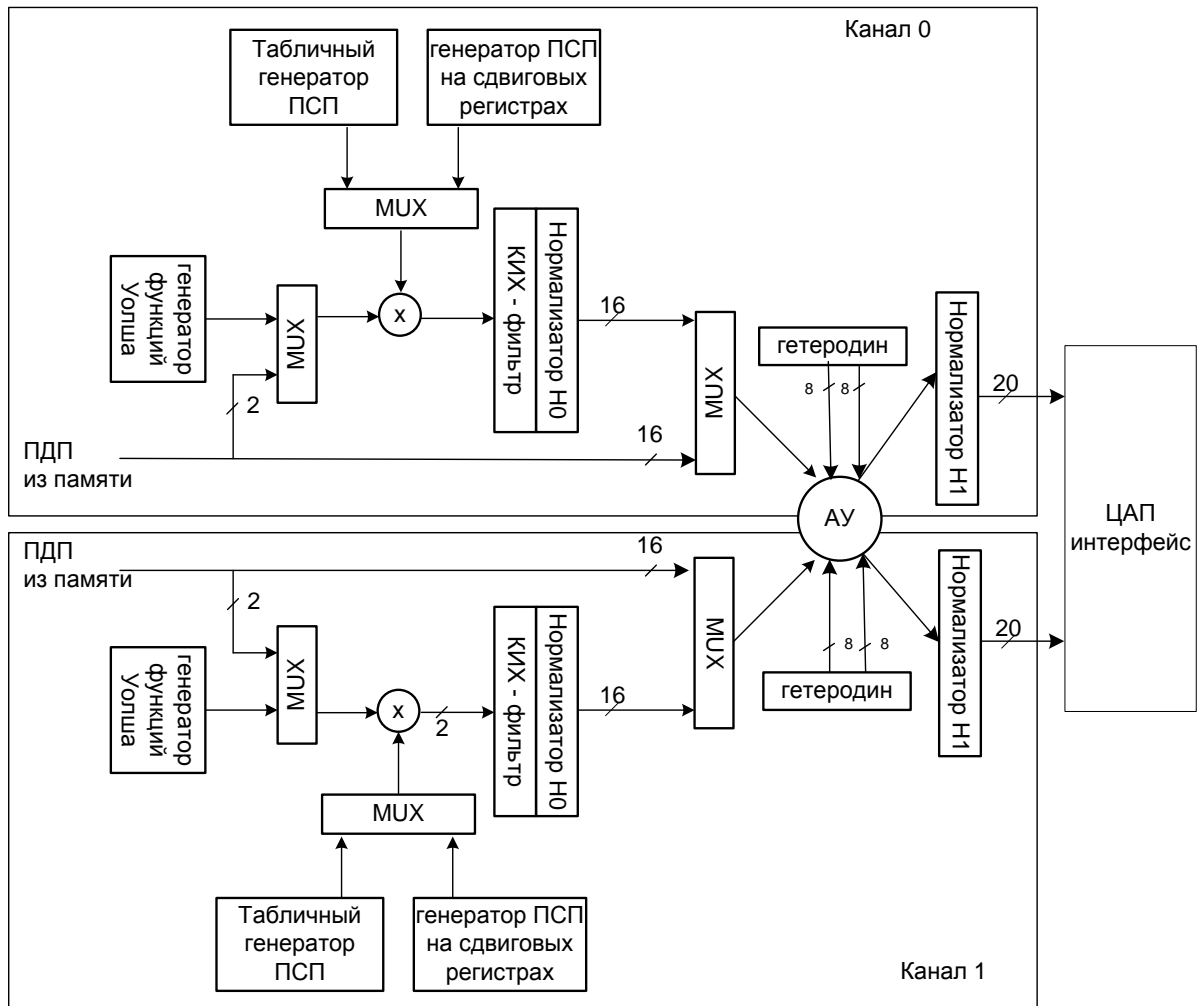


Рисунок 1.181 - Структурная схема блока передатчика TRNSMT

Блок TRNSMT состоит из двух каналов передачи и интерфейса с внешним цифро-аналоговым преобразователем (ЦАП). Оба канала могут работать как один канал передатчика комплексного сигнала или как два независимых канала для действительного сигнала (режим работы настраивается регистром TRNSMT\_CNTRL).

Канал блока TRNSMT состоит из:

- генератора функций Уолша;
- генератора псевдослучайной последовательности табличного и на сдвиговых регистрах;
- КИХ-фильтра 32 порядка с действительными 16-разрядными весами;
- гетеродина;
- нормализаторов, формирующих необходимую разрядность после арифметических блоков;
- контроллера ПДП для подкачки входных данных из памяти.
- буфера команд (на рисунке не показан).

					Лист
					296
Изм	Лист	№ докум.	Подп.	Дата	
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата
38075-3	<i>Редук</i> 16.10.2020		38075-2		

### 1.6.8.1 Буфер команд

Для каждого канала существует свой буфер команд глубиной 32, в который попадают команды записи конфигурационных регистров:

- CH\_UGEN, CH\_UGEN\_ST0, CH\_UGEN\_ST1 - регистры блока генератора Уолша;
- DMA\_CA, DMA\_CNT, DMA\_STATUS, DMA\_CTRL, DMA\_CTRL\_ST0, DMA\_CTRL\_ST1 - регистры контроллера ПДП;
- PRSG\_CONTROL, PRSG\_INIT, PRSG\_MASK, PRSG\_M, PRSG\_FQ, PRSG\_FT, PRSG\_SL, PRSG\_SLC, PRSG\_FL A, PRSG\_CA - регистры генератора ПСП;

Команды запуска генератора функций Уолша (запуска контроллера ПДП) могут уйти из этого буфера, когда генератор Уолша остановлен (контроллер ПДП не работает). Команды записи остальных регистров осуществляют запись в теньевые регистры на фоне работы. Это необходимо для того, что бы настройка на следующую передачу осуществлялась на фоне текущей. При этом в буфере команд могут быть настройки для нескольких передач сразу. Таким образом, осуществляется непрерывность передачи данных в цифро-аналоговые преобразователи (ЦАП).

### 1.6.8.2 Генератор функций Уолша

Структурная схема генератора функций Уолша приведена на рисунке 1.182.

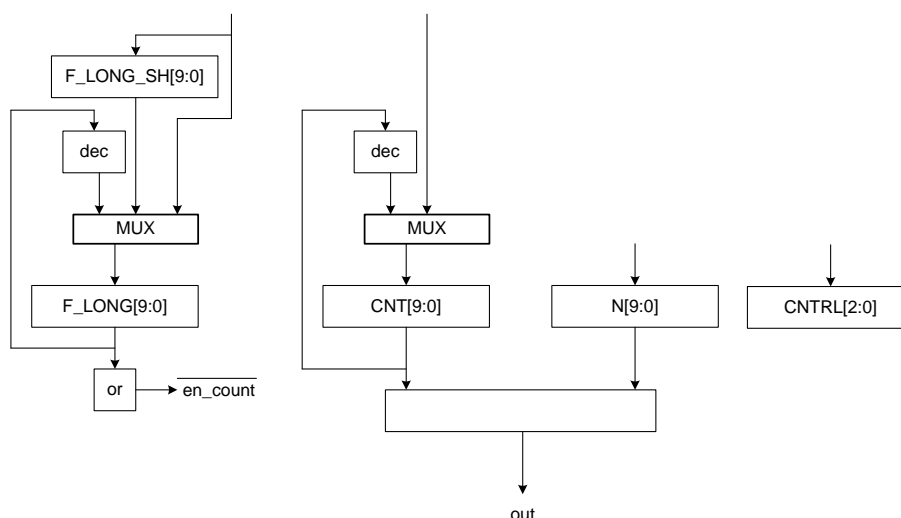


Рисунок 1.182 - Структурная схема генератора функций Уолша

Генератор состоит из:

- регистра номера функции Уолша, которую необходимо выдать (N[9:0]);
- счетчика длины выдаваемой функции (CNT[9:0]);
- регистра управления CNTRL[2:0];
- теневого и рабочего регистра длительности символа последовательности (F\_LONG\_SH[9:0] и F\_LONG[9:0]).

Данные регистры образуют 32-разрядный регистр CH\_UGEN (CH\_UGEN\_STx) доступный по записи и чтению.

Блок работает на тактовой частоте F<sub>dac</sub>. Каждый такт работы происходит декрементирование рабочего регистра F\_LONG. При достижении регистром нуля происходит запись значения из теневого регистра F\_LONG\_SH в рабочий регистр F\_LONG и формируется сигнал разрешения смены символа (en\_count). По данному сигналу происходит декремент регистра CNT[9:0]. Выход генератора формируется по формуле:

$$out = !CNT[0] \& N[0] \oplus !CNT[1] \& N[1] \oplus \dots \oplus !CNT[9] \& N[9].$$

									Лист
									297
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2						

Значение  $out = 1$  трактуется как "-1", значение  $out = 0$  трактуется как "+1" в дальнейших арифметических блоках.

При достижении регистром F\_LONG и CNT нулевого значения возможна запись нового значения из очереди команд. Если в очереди команд нет команд записи в регистр блока генератора Уолша, то на выходе формируется сигнал "0" и в канал передается признак останова stop. При переходе из не рабочего состояния в рабочее состояние или при начале формирования новой функции, в канал передается признак запуска start. Для запуска генератора по метке, формируемой блоком ITU, необходимо использовать регистр конфигурации CH\_UGEN\_STx. Отличие записи в данный регистр состоит в том, что данная команда для ухода из буфера команд ожидает сигнала запуска от блока ITU. После этого генератор начинает работать.

Возможна работа генератора, когда вместо формируемой последовательности выдается 0, +1 или -1. Окончание работы определяется регистрами F\_LONG и CNT, как было описано выше. Данные режимы необходимы для формирования ПСП без модуляции функцией Уолша.

### 1.6.8.3 Генератор псевдослучайной последовательности

Генератор псевдослучайных последовательности аналогичен генератору в блоке CORB. Отличие состоит в наличии теневого регистра. Настройка теневого регистра осуществляется на фоне работы генератора с предыдущими настройками. Запись из теневого регистра в рабочее происходит по сигналу start, сформированного генератором функций Уолша. Запись происходит в теньевые регистры, а чтение происходит из основных регистров.

### 1.6.8.4 КИХ-фильтр

Блок КИХ-фильтра, приведенный на рисунке 1.183, состоит из сдвигового регистра данных  $D_0 - D_{31}$ , регистров весов  $W_0 - W_{31}$ , умножителей и сумматоров.

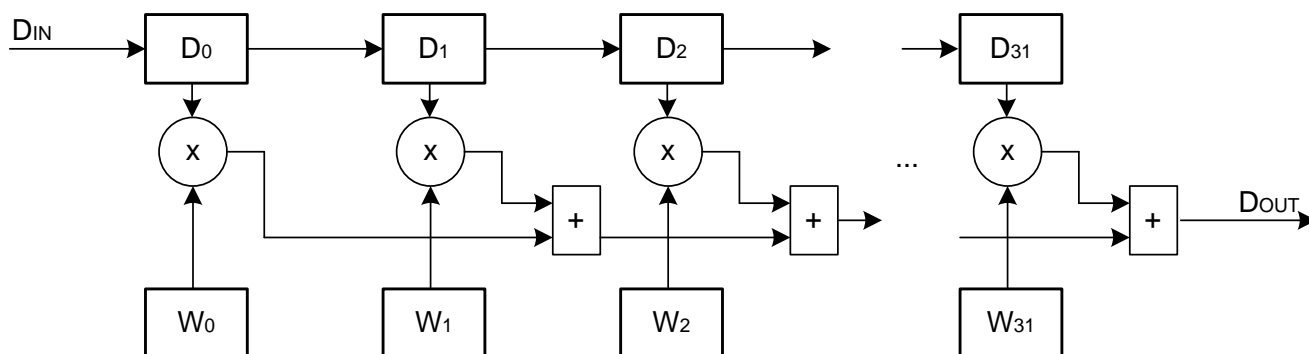


Рисунок 1.183 - Структурная схема блока КИХ-фильтра канала передатчика

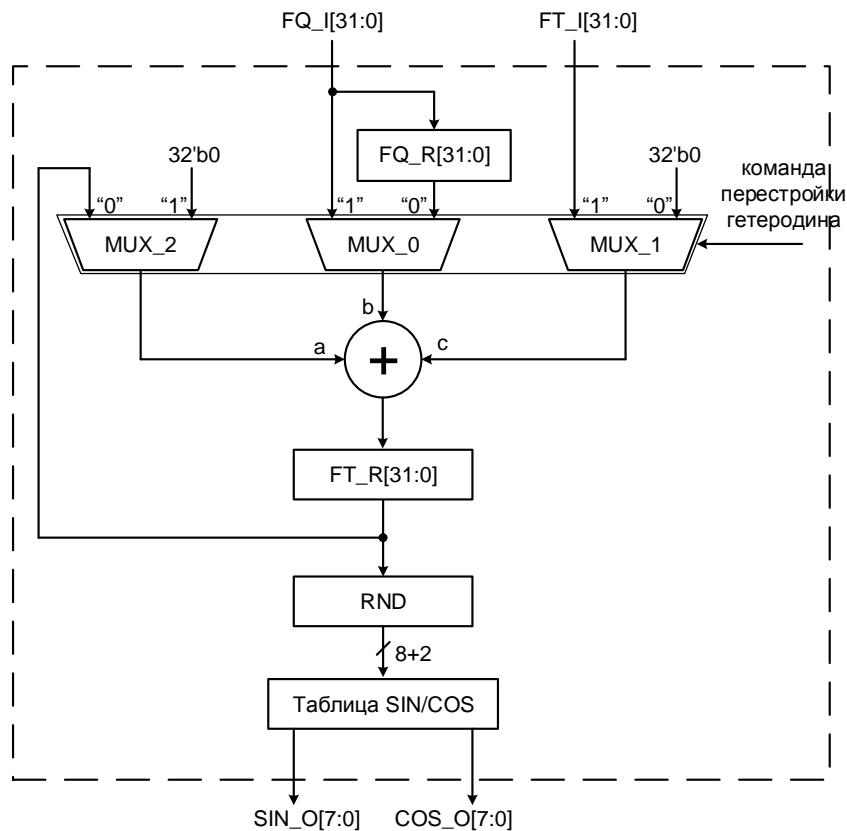
Входные данные имеют разрядность 2 бита и могут принимать значения 0,+1,-1. Веса действительные целые числа со знаком разрядностью 16 бит. Запись весов должна проводиться до запуска канала. Теневых регистров для весов нет и поэтому в процессе перестройки КИХ фильтра канал не должен работать и формировать данные для передачи в ЦАП.

### 1.6.8.5 Гетеродин

Гетеродин представляет упрощенную версию гетеродина из каналов DDC. Структурная схема гетеродина представлена на рисунке 1.184.

Перестройка гетеродина осуществляется по первой метке start, формируемой генератором функций Уолша или блоком ПДП, или непосредственно после записи команды.

					ЮФКВ.431268.022РЭ		Лист
							298
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2			

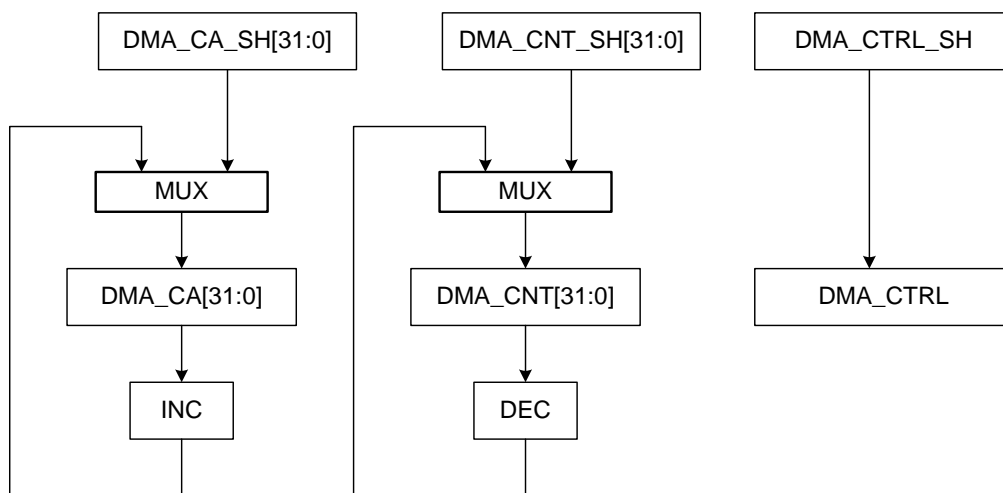


**Рисунок 1.184 - Структурная схема гетеродина**

Входные команды записи в конфигурационные регистры не попадают во входной буфер команд.

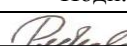
### 1.6.8.6 Контроллер ПДП

Контроллер ПДП обеспечивает подкачку данных для передачи в ЦАП. Структурная схема приведена на рисунке 1.185.



**Рисунок 1.185 - Структурная схема контроллера ПДП**

Контроллер состоит из рабочего регистра текущего адреса DMA\_CA, рабочего счетчика слов DMA\_CNT, регистра управления DMA\_CNTRL. Счетчик текущего адреса инкрементиру-

					Лист	
					299	
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.022РЭ	
Инав.№подл.	Подп. и дата		Взам.инв.№	Инав.№дубл.	Подп. и дата	
38075-3	 16.10.2020		38075-2			



ется каждый раз, когда происходит отправка адреса для подкачки данных, при этом счетчик слов декрементируется. Когда счетчик слов достигает нуля, отправка запросов останавливается. После выдачи всех данных в канал контроллер останавливается. В процессе работы возможна настройка контроллера на новую передачу. Новые настройки хранятся в теневых регистрах (DMA\_CA\_SH, DMA\_CNT\_SH). После завершения выдачи запросов на подкачку данных пакета значения из теневых регистров переписываются в рабочие, после чего происходит выдача запроса для подкачки данных для нового запуска. Команда нового запуска (записи в регистр DMA\_CNTRL) возможна только при окончании работы DMA. Запись возможна в теневые регистры, чтение осуществляется из рабочих регистров.

Запуск контроллера возможен как по событию, так и сразу после прихода команды запуска. Возможны два варианта работы контроллера:

- подкачка двухбитовых данных, заменяя при этом генератор функций Уолша;
- подкачка 16-битных данных, поступающих на вход гетеродина.

Выбор режима определяется регистром DMA\_CNTRL. Запись нового значения в данный регистр является командой запуска. Для запуска контроллера ПДП по метке, формируемой блоком ITU необходимо использовать регистр конфигурации DMAx\_CNTRL\_STx.

В процессе подкачки необходимо обеспечить непрерывный поток данных. Для этого данные должны располагаться в отдельном банке памяти SMU и к этому банку не должно быть запросов со стороны других устройств. Если в процессе передачи происходит разрыв в передаче (не пришли новые данные), то в регистре DMA\_STATUS взводится бит ERR, сигнализирующий об этом. После окончания работы контроллера в канал выдаются последние данные, которые были переданы.

При программировании контроллера ПДП необходимо соблюдать следующие правила:

- последовательность программирования регистров должна быть следующей: DMA\_CA, DMA\_CNT, DMA\_CNTRL;

- для того, чтобы несколько пакетов ПДП или без ошибок и пропусков данных, необходимо задавать значение счетчика DMA\_CNT не менее 12 слов.

### 1.6.8.7 Блоки нормализации Н0, Н1

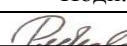
Блоки нормализации расположены после арифметических блоков (КИХ-фильтра и гетеродина) и служат для уменьшения разрядности данных после арифметических операций. Задача блока нормализации Н0 – формирование выходного 16-разрядного значения путем выбора 15 смежных разрядов входного данного и копирования его знакового разряда. Задача блока нормализации Н1 – формирование выходного 20-разрядного значения путем выбора 19 смежных разрядов входного данного и копирования его знакового разряда.

Нормализация производится относительно задаваемого пользователем номера разряда входного данного, которое будет считаться старшим незнаковым разрядом в формируемом результате. В зависимости от выбранного значения могут отбрасываться старшие и/или младшие разряды исходного данного.

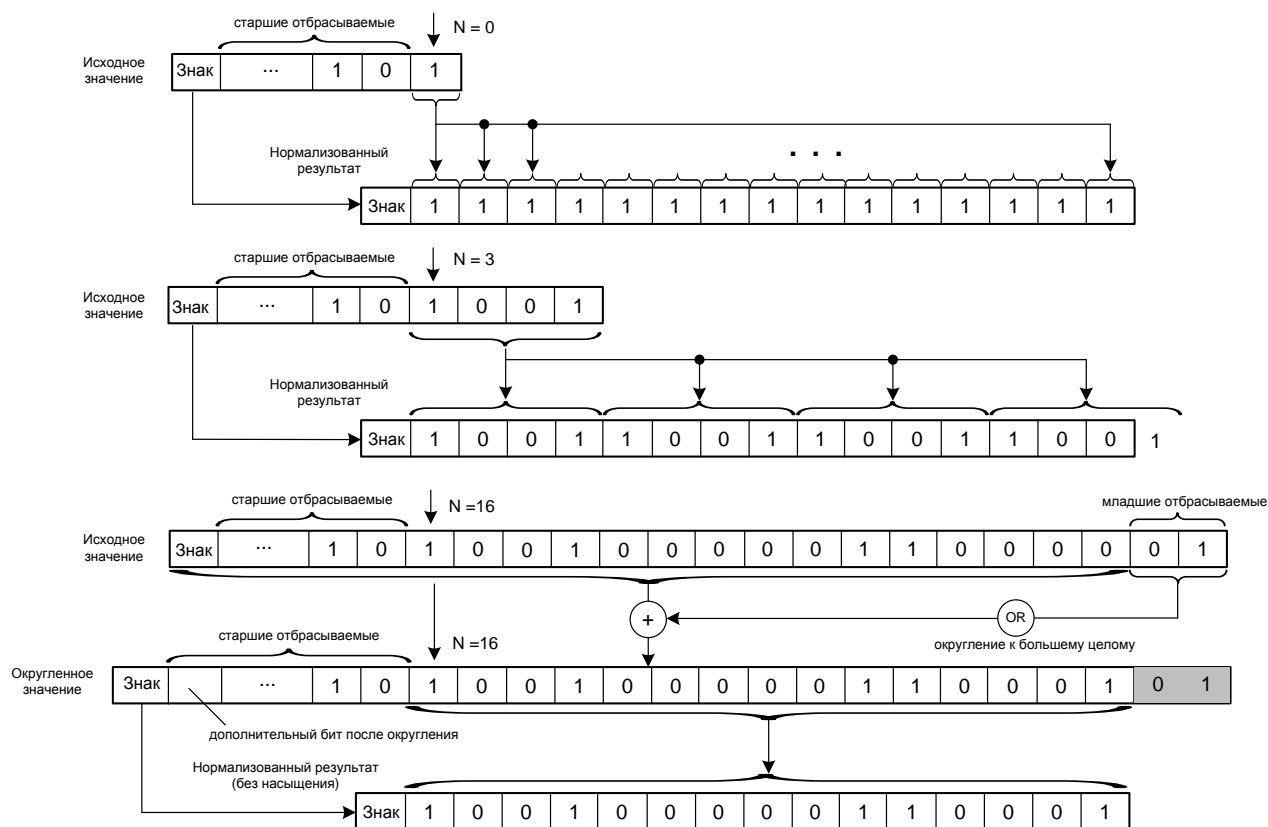
В случае, когда не существует младших отбрасываемых разрядов, младшие разряды результирующего значения циклически заполняются выбираемыми разрядами исходного значения от старшего к младшему. Знаковый разряд исходного значения копируется в знаковый разряд результирующего значения.

В случае, когда существуют младшие отбрасываемые разряды, производится округление исходного значения одним из указанных ниже способов, а затем из округленного значения выбирается необходимое число бит для формирования результирующего значения. Округленное значение имеет увеличенную на единицу разрядность, для предотвращения влияния переполнения на знак. Знаковый разряд округленного значения копируется в знаковый разряд результирующего значения.

Блоки нормализации поддерживают работу в режиме насыщения (который является основным режимом работы блоков). В этом случае при наличии в старших отбрасываемых разрядах хотя бы одного бита, не равного значению знака, результирующее значение приводится

					ЮФКВ.431268.022РЭ		Лист
							300
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		 16.10.2020		38075-2			

к максимальному или минимальному возможному (в зависимости от знака). В случае округления исходного значения (при наличии младших отбрасываемых разрядов), анализируются старшие отбрасываемые разряды округленного значения. Таким образом, если в старших отбрасываемых разрядах исходного значения не было бит, не равных знаку (старшему разряду), но они появляются там после округления, результирующее значение приводится к максимальному или минимальному возможному в зависимости от знака. Примеры работы нормализатора приведены на рисунке **Ошибка! Источник ссылки не найден.**



**Рисунок 1.186 - Примеры работы нормализатора**

Пользователь имеет возможность настраивать следующие параметры нормализаторов:

- выбор разряда входных данных, который будет считаться старшим незнаковым разрядом в нормализованном результате;
- режим округления результата (при наличии младших отбрасываемых бит во входном данном):
  - округление к меньшему целому – простое отбрасывание не используемых бит;
  - округление к большему целому – к результату прибавляется 1 в случае, если в младших отбрасываемых битах имеется хотя бы одна единица;
  - округление к ближайшему целому – старший из младших отбрасываемых бит прибавляется к результату.
- включение/выключение насыщения. Настройка насыщения играет роль в случаях переполнения – ситуации, когда хотя бы один из старших отбрасываемых разрядов (после округления) не равен знаковому. Если включен режим насыщения, то при переполнении на выходе блока нормализации будет максимальное положительное или максимальное отрицательное число.

Настройка нормализатора осуществляется перед запуском каналов. Перестройка нормализаторов должна осуществляться при неработающих каналах. Блоки нормализации также ведут подсчет числа переполнений. При поступлении сигнала последнего символа (stop) подсчитанное число переполнений сохраняется в программно доступном регистре. Пользователь мо-

									Лист
									301
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2						

жет считывать значение этого регистра и по полученным результатам произвести коррекцию настройки нормализатора.

### 1.6.8.8 Блок интерфейса с ЦАП

Блок осуществляет выдачу сформированного сигнала на внешние выводы микросхемы в соответствии с необходимым форматом и позволяет подключить ряд цифро-аналоговых преобразователей с различными интерфейсными протоколами без дополнительной аппаратуры.

Блок состоит из двух интерфейсных модулей (канал А и канал В), условно подключенных к своему каналу передачи блока TRNSMT. Каждый из этих модулей позволяет независимо подключать одноканальный ЦАП с разрядностью до 10 разрядов. Кроме этого, за счет объединения выводов данных этих модулей, имеется возможность подключить либо один одноканальный полноразрядный ЦАП с разрядностью до 20 бит, либо один двухканальный ЦАП с той же разрядностью. При объединении выводов данных на выводы канала А выводятся старшие разряды данных, а на выводы канала В – младшие. Максимальная частота тактового сигнала внешних шин – 512 МГц. Выбор конфигурации определяется регистром DAC\_CFG.

В таблице 1.288 приведены различные варианты подключения ЦАП и выдаваемые данные при данных вариантах подключения.

**Таблица 1.288 – Различные варианты подключения ЦАП**

количество и тип подключаемых ЦАП	Шина данных	
	канал А (DACA_D[9:0])	канал В (DACB_D[9:0])
Два одноканальных ЦАП	RES0[19:10]	RES1[19:10]
Один одноканальный ЦАП	RES0[19:0]	
Один двухканальный ЦАП	RES0[19:10], RES1[19:10]	RES0[9:0], RES1[9:0]

RES0, RES1 - данные с каналов передачи 0 и 1 блока TRNSMT соответственно.

#### 1.6.8.8.1 Внешние выводы блока

Внешние выводы блока интерфейса с ЦАП представлены в таблице 1.289.

**Таблица 1.289 – Внешние выводы блока интерфейса с ЦАП**

Наименование вывода	Кол-во	Тип	Назначение вывода
Входной тактовый сигнал блока			
DAC_CLKIN, DAC_CLKIP	2	I	Входной опорный тактовый сигнал ЦАП
канал А			
DACA_CLKN, DACA_CLKP	2	O	Выходной тактовый сигнал ЦАП0
DACA_SYNCN, DACA_SYNCP	2	O	Выход сигнала синхронизации ЦАП0
DACA_DN9, DACA_DP9, ..., DACA_DN0, DACA_DP0	20	O	Шина данных ЦАП0/Старшие разряды шины данных при объединении выводов шин данных модулей
канал В			
DACB_CLKN, DACB_CLKP	2	O	Выходной тактовый сигнал ЦАП1
DACB_SYNCN, DACB_SYNCP	2	O	Выход сигнала синхронизации ЦАП1/Выход тактового сигнала при работе двухканального ЦАП с синхронизацией по уровню
DACB_DN9, DACB_DP9, ..., DACB_DN0, DACB_DP0	20	O	Шина данных ЦАП1/Младшие разряды шины данных при объединении выводов шин данных модулей

					Лист
					302
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		<i>Редюк</i> 16.10.2020		38075-2	

Тип внешних выводов интерфейса – LVDS-1,8 В.

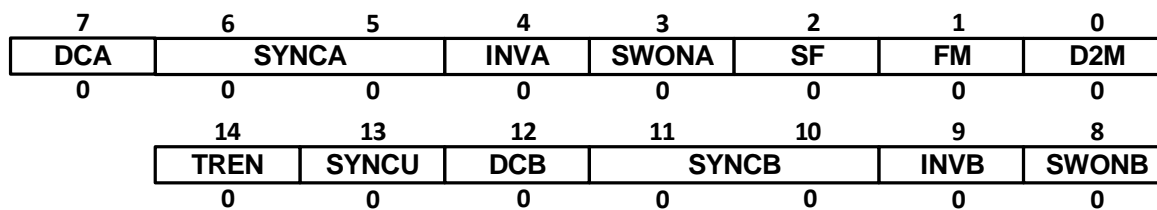
#### 1.6.8.8.2 Синхронизация работы блока

Опорный тактовый сигнал, синхронизирующий работу всего блока передачи информации в ЦАП, подается с самого ЦАП или с внешнего тактового генератора на внешние выходы DAC\_CLKIN, DAC\_CLKIP. Тактовый сигнал является единым для обоих интерфейсных модулей блока. Максимальная частота входного тактового сигнала – 512 МГц.

Данный сигнал используется для тактирования интерфейсных модулей ЦАП и для тактирования работы всего блока передачи информации в ЦАП.

#### 1.6.8.8.3 Управляющие регистры модулей интерфейсов с ЦАП

Способ обмена по интерфейсу с ЦАП задается программистом в конфигурационном регистре DAC\_CFG. Формат регистра представлен на рисунке 1.187, а описание его полей в таблице 1.290.



*Рисунок 1.187 – Формат регистра DAC\_CFG*

					ЮФКВ.431268.022РЭ	Лист 303
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редко</i> 16.10.2020		38075-2		

**Таблица 1.290 – Функциональное назначение полей конфигурационного регистра DAC\_CFG**

№ Разр	Обозначение	Функциональное назначение	Описание
0	D2M	Вид подключаемого ЦАП	0 - Одноканальный ЦАП 1 - Двухканальный ЦАП
1	FM	Тип синхронизации данных	0 - Синхронизация данных по уровню 1 - Синхронизация данных по фронту
2	SF	Вид подключаемого одноканального ЦАП	0 - Два ЦАП разрядностью до 10 бит 1 - Один ЦАП разрядностью до 20 бит
Канал А			
3	SWONA	Включение интерфейса канала А	0 - Интерфейс выключен 1 - Интерфейс работает
4	INVA	Инвертирование выходного тактового сигнала канала А	0 - Тактовый сигнал не инвертирован 1 - Тактовый сигнал инвертирован
6:5	SYNCA[1:0]	Формирование сигнала на выводе DACA_SYNC	00- Всегда 0 01- Всегда 1 10- Выход соответствует сигналу, формируемому блоком TRNSMT 11- Выход инвертирован относительно сигнала, формируемого блоком TRNSMT
7	DCA	Кодировка данных канала А	0 - Дополнительный код выходных данных 1 - Простой двоичный код выходных данных
Канал В			
8	SWONB	Включение интерфейса канала В	0 - Интерфейс выключен 1 - Интерфейс работает
9	INVB	Инвертирование выходного тактового сигнала канала В	0 - Тактовый сигнал не инвертирован 1 - Тактовый сигнал инвертирован
11:10	SYNCB[1:0]	Формирование сигнала на выводе DACB_SYNC	00- Всегда 0 01- Всегда 1 10- Выход соответствует сигналу, формируемому блоком TRNSMT 11- Выход инвертирован относительно сигнала, формируемого блоком TRNSMT
12	DCB	Кодировка данных канала В	0 - Дополнительный код выходных данных 1 - Простой двоичный код выходных данных
13	SYNCU	Объединение по "или" сигналов синхронизации каналов А и В.	0- Сигнал на выводах SYNCi раздельный 1- Сигнал на выводах SYNCi объединен
14	TREN	Управление синхронизацией выдачи данных на внешние выводы интерфейса	0- счетчики синхронизации в исходном состоянии 1- счетчики синхронизации в активном состоянии

Поля D2M, FM и SF задают вид подключаемого ЦАП.

Поле D2M определяет подключение двухканального ЦАП.

Поле FM определяет положение фронта синхросигнала относительно момента переключения шины данных. При нулевом значении данного бита фронт синхросигнала совпадает с моментом переключения данных. При единичном значении данного бита фронт синхросигнала сдвинут на середину устойчивого состояния данных на внешней шине. При данной конфигурации выходной синхросигнал может быть использован как тактовый сигнал для данных во входных регистрах ЦАП.

Поле SF задает количество и разрядность одноканальных ЦАП, подключаемых к внешним выводам микросхемы.

Поля SWONA и SWONB позволяют независимо включать и выключать аппаратуру каналов А и В соответственно. При отключении канала данные и синхросигнал не формируются.

					ЮФКВ.431268.022РЭ	Лист 304
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редюк</i> 16.10.2020		38075-2		

Поля INVA и INVB позволяют инвертировать выходной синхросигнал, сопровождающий выдаваемые данные в каналах А и В соответственно.

Поля SYNCA и SYNCB определяют формирование сигнала на выводах DACA\_SYNCi и DACB\_SYNCi соответственно. Кодировка этих полей позволяет вывести на данные выводы лог.0, лог.1 или сигнал в прямом или инверсном виде, сформированный блоком TRNSMT на основе признака запуска канала.

Поля DCA и DCB определяют кодировку выходных данных каналов 0 и 1 блока TRNSMT соответственно.

Поле SYNCU определяет, будут ли сигналы SYNC, сформированные разными каналами блока TRNSMT, выдаваться на внешние выводы как единый сигнал. При единичном значении данного поля сигнал SYNC, сформированный в любом из каналов блока TRNSMT, будет выдан на выводы DACA\_SYNCi и DACB\_SYNCi одновременно.

Поле TREN управляет схемой синхронизации при переходе на частоту работы интерфейса с ЦАП. При нулевом значении схема находится в исходном состоянии и данные на внешние выводы блока не передаются. Установка данного поля в единичное состояние запускает схему синхронизации. На внешние выводы выдаются данные, формируемые блоком TRNSMT.

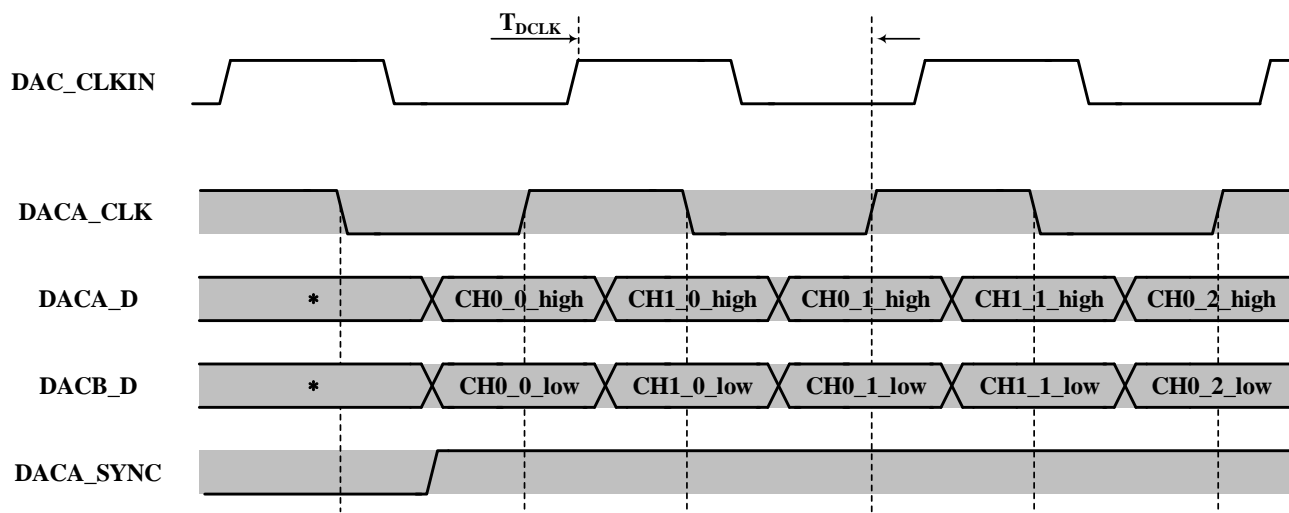
Если разрядность подключаемых ЦАП меньше максимальной, то неиспользуемые выводы можно перевести в неактивное состояние. Управление LVDS буферами блока интерфейса с ЦАП осуществляется путем программирования конфигурационных регистров LVDS\_CFG\_DA0 и LVDS\_CFG\_DA1 в блоке системного контроллера.

#### 1.6.8.8.4 Временные диаграммы работы интерфейса с ЦАП

Временные диаграммы обмена с ЦАП зависят от состояния полей D2M, FM и SF конфигурационного регистра DAC\_CFG. На рисунках 1.188 - 1.190 представлена работа интерфейса при различном состоянии данных полей регистра DAC\_CFG.

##### 1. Подключение двухканального ЦАП и синхронизация по фронту:

На рисунке 1.188 представлены временные диаграммы работы интерфейса с двухканальным ЦАП с синхронизацией по фронту.



Примечание: D2M = 1  
FM = 1  
INVA = 0

**Рисунок 1.188 – Временные диаграммы работы блока интерфейса с ЦАП при подключении двухканального ЦАП и синхронизацией по фронту**

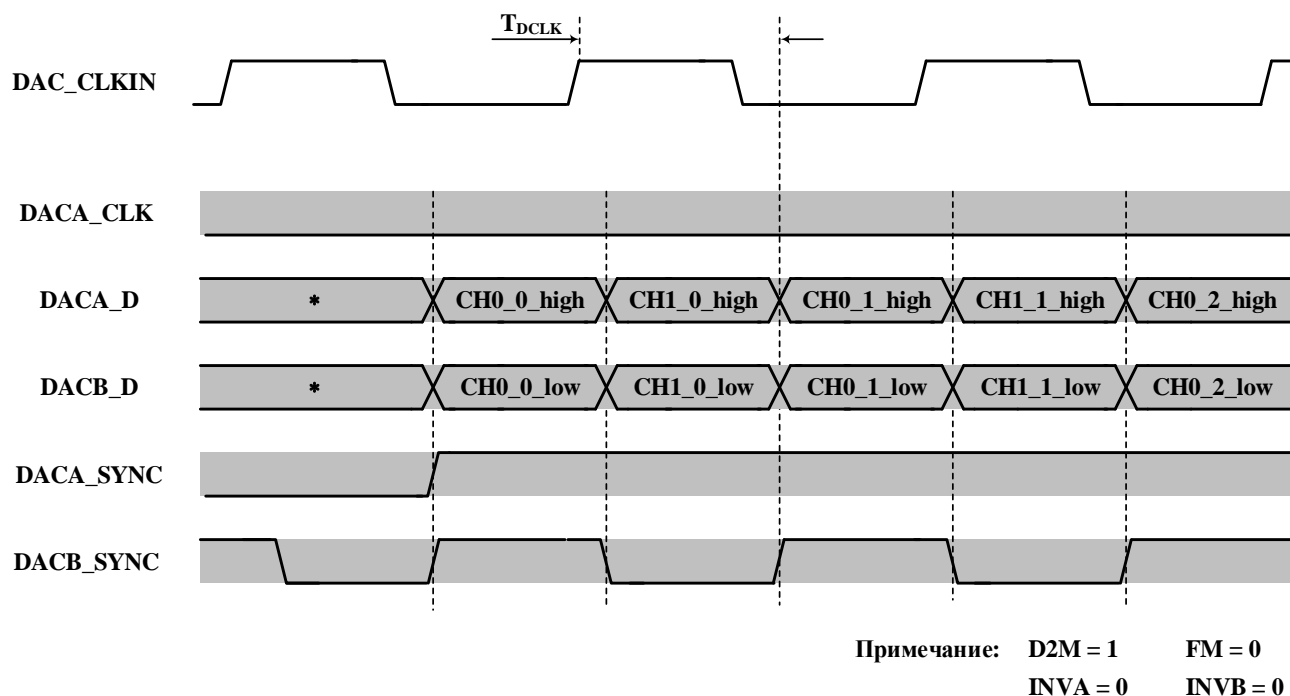
					Лист	
					305	
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.022РЭ	
Инав.№подл.	Подп. и дата		Взам.инв.№	Инав.№дубл.	Подп. и дата	
38075-3	<i>Редук</i> 16.10.2020		38075-2			



При работе блока интерфейса ЦАП в данном режиме данные с каналов 0 и 1 блока TRNSMT поочередно выдаются на выходы  $DACA_{Di}$  и  $DACB_{Di}$ , причем на выходы  $DACA_{Di}$  выдаются старшие разряды данных, а на выходы  $DACB_{Di}$  – младшие разряды. Данные канала 0 стробируются положительным фронтом тактового сигнала  $DACA_{CLK}$ , а данные канала 1 – отрицательным. Полярность тактового сигнала можно изменить, установив в лог. 1 поле  $INVA$  регистра конфигурации  $DAC\_CFG$ . На вывод  $DACA\_SYNC$  и  $DACB\_SYNC$  признак активности канала выводится в соответствии с состоянием конфигурационных полей  $SYNCA$ ,  $SYNCB$  и  $SYNCU$  регистра конфигурации  $DAC\_CFG$ .

## 2. Подключение двухканального ЦАП и синхронизация по уровню:

На рисунке 1.189 представлены временные диаграммы работы интерфейса с двухканальным ЦАП с синхронизацией по уровню.



**Рисунок 1.189 – Временные диаграммы работы блока интерфейса с ЦАП при подключении двухканального ЦАП и синхронизацией по уровню**

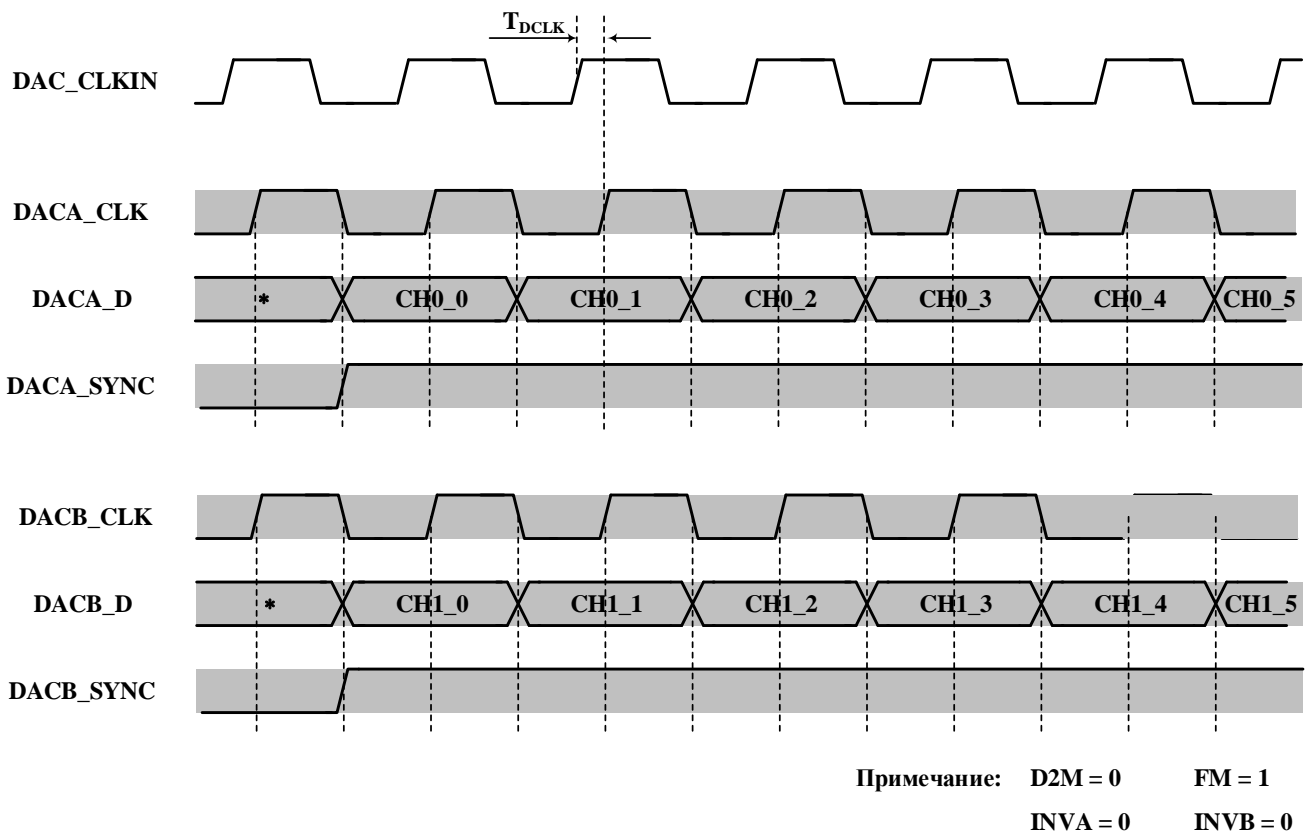
При работе блока интерфейса ЦАП в данном режиме данные с каналов 0 и 1 блока TRNSMT поочередно выдаются на выходы  $DACA_{Di}$  и  $DACB_{Di}$ , причем на выходы  $DACA_{Di}$  выдаются старшие разряды данных, а на выходы  $DACB_{Di}$  – младшие разряды. Выдача данных канала 0 сопровождается выдачей высокого уровня на выходе  $DACB\_SYNC$ , а выдача данных 1 - выдачей низкого уровня на выходе  $DACB\_SYNC$ . Полярность сигнала на выходе  $DACB\_SYNC$  можно изменить, установив в лог. 1 поле  $INVB$  регистра конфигурации  $DAC\_CFG$ . На вывод  $DACA\_SYNC$  признак активности канала выводится в соответствии с состоянием конфигурационных полей  $SYNCA$  и  $SYNCU$  регистра конфигурации  $DAC\_CFG$ . Выход  $DACA\_CLK$  в данном режиме не используется.

## 3. Подключение одноканальных ЦАП и синхронизация по фронту:

На рисунке 1.190 представлены временные диаграммы работы интерфейса с одноканальными ЦАП с синхронизацией по фронту.

					ЮФКВ.431268.022РЭ	Лист 306
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		





**Рисунок 1.190 – Временные диаграммы работы блока интерфейса с ЦАП при подключении одноканальных ЦАП и синхронизацией по фронту**

При работе блока интерфейса ЦАП в данном режиме старшие разряды данные каналов 0 и 1 блока TRNSMT выдаются на выходы DACA\_Di (канал 0) и DACB\_Di (канал 1). При этом в каждый момент времени на внешние выходы выдаются данные, сформированные в блоке TRNSMT одновременно. На выводах DACA\_CLK и DACB\_CLK формируются сигналы, стробирующие данные положительным фронтом. Полярность сигнала на выходах DACA\_CLK и DACB\_CLK можно изменить, установив в лог. 1 поля INVA и INVB регистра конфигурации DAC\_CFG соответственно. На вывод DACA\_SYNC и DACB\_SYNC признак активности канала выводится в соответствии с состоянием конфигурационных полей SYNCA, SYNCB и SYNCU регистра конфигурации DAC\_CFG.

При установке поля SF конфигурационного регистра DAC\_CFG в лог. 1 на внешние выходы блока интерфейса с ЦАП младшие разряды данных канала 0 блока TRNSMT, позволяя тем самым подключать к микросхеме один одноканальный ЦАП с разрешением до 20 разрядов.

Время T<sub>DCLK</sub>, т.е. задержка между входным тактовым сигналом блока и выходными тактовыми сигналами модулей интерфейса с ЦАП не определена.

					ЮФКВ.431268.022РЭ		Лист
							307
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2			

### 1.6.8.9 Регистры блока

Список регистров блока TRNSMT приведены в таблицах 1.291- 1.296.

**Таблица 1.291 – Регистры управления блоком TRNSMT**

	источник	Адрес вектор в пространстве NMU, hex	Адрес вектор в пространстве ARMU, hex	Состояние после системного сброса	Регистр доступен на	
					Чтение	Запись
регистры управления блоком						
1	CH_CTRL	F_0000	3C_0000		+	+
2	PRG_EVNT	F_0002	3C_0008			+
3	INT_MASK	F_0004	3C_0010		+	+
4	INT_REQ	F_0006	3C_0018		+	+
5	DAC_CFG	F_0008	3C_0020		+	+

**Таблица 1.292 – Регистры таблицы ПСП блока TRNSMT**


	источник	Адрес вектор в пространстве NMU, hex	Адрес вектор в пространстве ARMU, hex	Состояние после системного сброса	Регистр доступен на	
					Чтение	Запись
1	ADR0	F_0800	3C_2000		+	+
2	ADR1	F_0801	3C_2004		+	+
		....				
1023	ADR1023	F_0BFF	3C_2FFC		+	+

**Таблица 1.293 – Регистры таблицы гетеродина канала 0**

	источник	Адрес вектор в пространстве NMU, hex	Адрес вектор в пространстве ARMU, hex	Состояние после системного сброса	Регистр доступен на	
					Чтение	Запись
1	COS_SIN0	F_0500	3C_1400		+	+
2	COS_SIN1	F_0501	3C_1004		+	+
		....				
256	COS_SIN255	F_05FF	3C_17FC		+	+

**Таблица 1.294 – Регистры таблицы гетеродина канала 1**

	источник	Адрес вектор в пространстве NMU, hex	Адрес вектор в пространстве ARMU, hex	Состояние после системного сброса	Регистр доступен на	
					Чтение	Запись
1	COS_SIN0	F_0600	3C_1800		+	+
2	COS_SIN1	F_0601	3C_1804		+	+
		....				
256	COS_SIN255	F_06FF	3C_18FC		+	+

									Лист
									308
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					

**Таблица 1.295 – Регистры управления каналом 0**

	источник	Адрес вектор в пространстве NMU, hex	Адрес вектор в пространстве ARMU, hex	Регистр доступен на	
				Чтение	Запись
регистры управления генератором функций Уолша					
1	UGEN	F_0180	3C_0600	+	+
2	UGEN_ST0	F_0182	3C_0608	+	+
3	UGEN_ST1	F_0184	3C_0610	+	+
регистры управления контроллером ПДП					
4	DMA_CA	F_0186	3C_0618	+	+
5	DMA_CNT	F_0188	3C_0620	+	+
6	DMA_STATUS	F_018A	3C_0628	+	
7	DMA_CTRL	F_018C	3C_0630	+	+
8	DMA_CTRL_ST0	F_018E	3C_0638	+	+
9	DMA_CTRL_ST1	F_0190	3C_0640	+	+
регистры управления генератором ПСП					
10	PRSG_CONTROL	F_0192	3C_0648	+	+
11	PRSG_INIT	F_0194	3C_0650	+	+
12	PRSG_MASK	F_0196	3C_0658	+	+
13	PRSG_M	F_0198	3C_0660	+	+
14	PRSG_FQ	F_019A	3C_0668	+	+
15	PRSG_FT	F_019C	3C_0670	+	+
16	PRSG_SL	F_019E	3C_0678	+	+
17	PRSG_SLC	F_01A0	3C_0680	+	+
18	PRSG_FLA	F_01A2	3C_0688	+	+
19	PRSG_CA	F_01A4	3C_0690	+	+
регистры управления гетеродином					
20	HET_PARAM	F_0140	3C_0500		+
21	HET_PHASE	F_0142	3C_0508		+
22	HET_FREQ	F_0144	3C_0510		+
регистры управления КИХ-фильтром					
23	FIR_W1_0	F_0120	3C_0480	+	+
24	FIR_W3_2	F_0122	3C_0488	+	+
25	FIR_W5_4	F_0124	3C_0490	+	+
26	FIR_W7_6	F_0126	3C_0498	+	+
27	FIR_W9_8	F_0128	3C_04A0	+	+
28	FIR_W11_10	F_012A	3C_04A8	+	+
29	FIR_W13_12	F_012C	3C_04B0	+	+
30	FIR_W15_14	F_012E	3C_04B8	+	+
31	FIR_W17_16	F_0130	3C_04C0	+	+
32	FIR_W19_18	F_0132	3C_04C8	+	+
33	FIR_W21_20	F_0134	3C_04D0	+	+
34	FIR_W23_22	F_0136	3C_04D8	+	+
35	FIR_W25_24	F_0138	3C_04E0	+	+
36	FIR_W27_26	F_013A	3C_04E8	+	+
37	FIR_W29_28	F_013C	3C_04F0	+	+
38	FIR_W31_30	F_013E	3C_04F8	+	+
регистры управления нормализатором					
39	NORM_CTRL0	F_014C	3C_0530		+
40	NORM_CTRL1	F_014E	3C_0538		+
42	NORM_OVRFL	F_014C	3C_0530	+	
управление буфером команд					
41	Q_BUF_STATUS	F_0150	3C_0540	+	

					Лист
					309
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		<i>Редюк</i> 16.10.2020		38075-2	
Копировал Формат А4					

**Таблица 1.296 – Регистры управления каналом 1**

	Источник	Адрес вектор в пространстве NMU, hex	Адрес вектор в пространстве ARMU, hex	Регистр доступен на	
				Чтение	Запись
регистры управления генератором функций Уолша					
1	UGEN	F_0280	3C_0A00	+	+
2	UGEN_ST0	F_0282	3C_0A08	+	+
3	UGEN_ST1	F_0284	3C_0A10	+	+
регистры управления контроллером ПДП					
4	DMA_CA	F_0286	3C_0A18	+	+
5	DMA_CNT	F_0288	3C_0A20	+	+
6	DMA_STATUS	F_028A	3C_0A28	+	
7	DMA_CTRL	F_028C	3C_0A30	+	+
8	DMA_CTRL_ST0	F_028E	3C_0A38	+	+
9	DMA_CTRL_ST1	F_0290	3C_0A40	+	+
регистры управления генератором ПСП					
10	PRSG_CONTROL	F_0292	3C_0A48	+	+
11	PRSG_INIT	F_0294	3C_0A50	+	+
12	PRSG_MASK	F_0296	3C_0A58	+	+
13	PRSG_M	F_0298	3C_0A60	+	+
14	PRSG_FQ	F_029A	3C_0A68	+	+
15	PRSG_FT	F_029C	3C_0A70	+	+
16	PRSG_SL	F_029E	3C_0A78	+	+
17	PRSG_SLC	F_02A0	3C_0A80	+	+
18	PRSG_FL A	F_02A2	3C_0A88	+	+
19	PRSG_CA	F_02A4	3C_0A90	+	+
регистры управления гетеродином					
20	HET_PARAM	F_0240	3C_0900		+
21	HET_PHASE	F_0242	3C_0908		+
22	HET_FREQ	F_0244	3C_0910		+
регистры управления КИХ-фильтром					
23	FIR_W1_0	F_0220	3C_0880	+	+
24	FIR_W3_2	F_0222	3C_0888	+	+
25	FIR_W5_4	F_0224	3C_0890	+	+
26	FIR_W7_6	F_0226	3C_0898	+	+
27	FIR_W9_8	F_0228	3C_08A0	+	+
28	FIR_W11_10	F_022A	3C_08A8	+	+
29	FIR_W13_12	F_022C	3C_08B0	+	+
30	FIR_W15_14	F_022E	3C_08B8	+	+
31	FIR_W17_16	F_0230	3C_08C0	+	+
32	FIR_W19_18	F_0232	3C_08C8	+	+
33	FIR_W21_20	F_0234	3C_08D0	+	+
34	FIR_W23_22	F_0236	3C_08D8	+	+
35	FIR_W25_24	F_0238	3C_08E0	+	+
36	FIR_W27_26	F_023A	3C_08E8	+	+
37	FIR_W29_28	F_023C	3C_08F0	+	+
38	FIR_W31_30	F_023E	3C_08F8	+	+
регистры управления нормализатором					
39	NORM_CTRL0	F_024C	3C_0930		+
40	NORM_CTRL1	F_024E	3C_0938		+
42	NORM_OVRFL	F_024C	3C_0930	+	
управление буфером команд					
41	Q_BUF_STATUS	F_0250	3C_0940	+	

					Лист
					310
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		<i>Редюк</i> 16.10.2020		38075-2	
Копировал Формат А4					

**Регистр конфигурации канала (CH\_CTRL)** настраивает работу каналов передатчика (два разных канала, один комплексный и т.д.). Поля регистра CH\_CTRL приведены в таблице 1.297.

**Таблица 1.297 – Разряды регистра параметров канала (CH\_CTRL)**

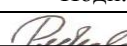
№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 : 10	reserved		R	0x0
9	TrD_CH1	передача данных каналом 1 в данный момент 0 - данные не передаются; 1 - данные передаются;	R	
8	TrD_CH0	передача данных каналом 0 в данный момент 0 - данные не передаются; 1 - данные передаются;	R	
7	RST_CH1	сброс канала 1	RW	
6	RST_CH0	сброс канала 0	RW	
5:4	CH_TYPE	режим работы канала: 00 - Режим одного канала RES0 = CH0*cos0 RES1 = CH0*sin0 01 - Режим одного комплексного канала RES0 = CH0*cos0 - CH1*sin0 RES1 = CH0*sin0 + CH1*cos0 10- Режим двух каналов RES0 = CH0*cos0 RES1 = CH1*cos1 CH0, CH1 - данные поступающие на гетеро- дины с каналов 0 и 1 соответственно; sin0, cos0 - данные формируемые гетеродином ка- нала 0; sin1, cos1 - данные формируемые гете- родином канала 1; RES1, RES0 - выходные данные каналов 1 и 0	RW	0x0
3:2	DMA1	00 - канал 1 не использует DMA 01 - канал 1 использует 2х битное DMA 10 - канал 1 использует 16-ти битное DMA 11 - запрещено	RW	0x0
1:0	DMA0	00 - канал 0 не использует DMA 01 - канал 0 использует 2х битное DMA 10 - канал 0 использует 16-ти битное DMA 11 - запрещено	RW	

**Регистр программирования событий (PRG\_EVNT).** Регистр предназначен для программного формирования событий запуска. События идентичны меткам, формируемым блоком ITU. Запись в данный регистр идет в обход буфера команд. Установка соответствующего бита вызывает событие. Сброс происходит автоматически. Поля регистра PRG\_EVNT приведены в таблице 1.298.

**Таблица 1.298 – Разряды регистра программирования событий (PRG\_EVNT)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 2	reserved		R	0x0
1	EVNT1	1- вызывает событие 1 0 - нет события	W	0x0
0	EVNT0	1- вызывает событие 0 0 - нет события	W	0x0

**Регистр запросов на прерывания (INT\_REQ).** Регистр доступен по чтению и записи содержит запросы на прерывания от каналов передачи. Формат регистра приведен в таблице 1.299.

					Лист
					311
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		 16.10.2020		38075-2	
			Подп. и дата		

**Таблица 1.299 – Разряды регистра запросов на прерывания (INT\_REQ)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 2	reserved		R	0x0
1	END_CH1	1- запрос на прерывание по окончанию передачи каналом 1	RW	0x0
0	END_CH0	1- запрос на прерывание по окончанию передачи каналом 0	RW	0x0

При записи в данный регистр происходит побитовый сброс (запись 1 сбрасывает нулевой бит, запись 2 сбрасывает первый бит, запись 3 сбрасывает нулевой и первый биты).

**Регистр маски прерываний (INT\_MASK).** Регистр доступен по чтению и записи и содержит запросы на прерывания. Формат регистра приведен в таблице 1.300.

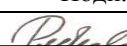
**Таблица 1.300 – Разряды регистра маски прерываний (INT\_MASK)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 2	reserved		R	0x0
1	MASK_END_CH1	1- прерывание 1 маскируется 0 - прерывание 1 не маскируется	RW	0x0
0	MASK_END_CH0	1- прерывание 0 маскируется 0 - прерывание 0 не маскируется	RW	0x0

**Регистр конфигурации генератора функций Уолша (UGEN, UGEN\_ST0, UGEN\_ST1).** Регистр настраивает генератор функций Уолша. При новом запуске формируется признак запуска канала start. Формат регистра приведен в таблице 1.301.

**Таблица 1.301 – Разряды регистра генератора функций Уолша (UGEN, UGEN\_ST0, UGEN\_ST1)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 : 26	[5:0]	ID процесса	RW	0x0
25 : 16	[9:0]	частота смены символа функции Уолша 0 - каждый такт 1 - каждый второй такт 2 - каждый третий такт .....	RW	0x0
15 : 6	N[9:0]	номер функции Уолша	RW	0x0
5:3	CNTd[2:0]	длина функции Уолша 3'h0 - 8 элементов; 3'h1 - 16 элементов; 3'h2 - 32 элемента; 3'h3 - 64 элемента; 3'h4 - 128 элементов; 3'h5 - 256 элементов; 3'h6 - 512 элементов; 3'h7 - 1024 элемента	RW	0x0
2:0	CNTRL[2:0]	режим работы генератора Уолша: 000 - генератор не работает, выдает 0; 001 - генератор не работает, выдает -1; 010 - генератор не работает, выдает +1 ; 011 - резерв; 100 - генератор работает, выдает 0; 101 - генератор работает, выдает -1; 110 - генератор работает, выдает +1; 111 - генератор работает, формирует функцию Уолша;	RW	0x0

					ЮФКВ.431268.022РЭ					Лист
										312
Изм	Лист	№ докум.	Подп.	Дата	Инв.№подл.		Подп. и дата	Взам.инв.№	Инв.№дубл.	Подп. и дата
					38075-3	 16.10.2020		38075-2		

Регистр доступен по чтению и записи, запись производится через буфер команд, чтение осуществляется из рабочего регистра генератора Уолша на момент прихода команды чтения. При чтении формат регистра приведен в таблице 1.302.

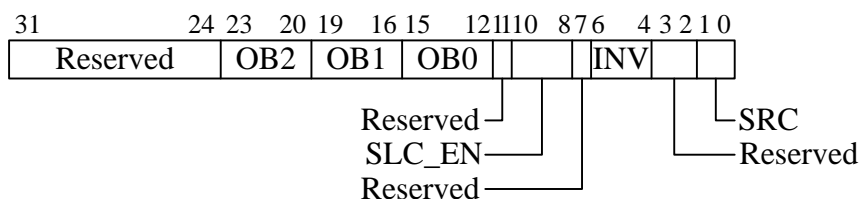
**Таблица 1.302 – Разряды регистра параметров канала (UGEN, UGEN\_ST0, UGEN\_ST1)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 : 26	[5:0]	ID процесса	RW	0x0
25 : 16	[9:0]	Текущее значение счетчика символа 0 - смена символа 1 - смена символа будет в следующем такте; 2 - смена символа будет через такт; .....	RW	0x0
15 : 13	reserved			
12:3	CNT[9:0]	Количество оставшихся элементов до конца работы генератора Уолша	RW	0x0
2:0	CNTRL[2:0]	Текущий режим работы генератора Уолша:	RW	0x0

Поле ID процесса не влияет на работу устройства, используется при чтении для упрощения идентификации исполняемой команды.

Команды UGEN\_ST0, UGEN\_ST1 отличаются от команды UGEN тем, что им необходимо для ухода из буфера команд наличие события 0 (для UGEN\_ST0) или события 1 для UGEN\_ST1.

**Регистр PRSG\_CONTROL конфигурации генератора ПСП.** Формат регистра PRSG\_CNTRL приведен на рисунке 1.191. Значение полей приведено в таблице 1.303. Регистр доступен по записи и чтению. Запись производится в теневой регистр через буфер команд, чтение осуществляется из рабочего регистра.



**Рисунок 1.191 – Формат регистра PRSG\_CNTRL**

					ЮФКВ.431268.022РЭ					Лист
										313
Изм	Лист	№ докум.	Подп.	Дата	Взам.инв.№		Инв.№дубл.	Подп. и дата		
					38075-2			16.10.2020		
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		16.10.2020			38075-2					









**Таблица 1.304 – Разряды регистров весов КИХ-фильтра (СНх\_Wy\_u-1)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31:16	Wy	вес в дополнительном коде	RW	-
15:0	Wy-1	вес в дополнительном коде	RW	-

**Регистр параметров гетеродина (HET\_PARAM).** Регистр предназначен для настройки параметров гетеродина, доступен по записи. Перестройка гетеродина возможна как сразу после прихода команды, так и по признаку запуска канала start. Перестройка гетеродина по признаку запуска канала start предназначена для формирования одинаковых данных при отладке при разных запусках с одинаковыми настройками. Формат регистра приведен в таблице 1.305.

**Таблица 1.305 – Разряды регистра параметров гетеродина (HET\_PARAM)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 29	reserved			
28	TYPE_WORK	0 - смена режима сразу после прихода команды 1 - смена режима по приходу start		
27 – 17	reserved			
16	HET_RST	Сброс текущего значения фазы гетеродина.	W	0x0
15 – 9	reserved			
8	HET_EN	Разрешение работы гетеродина: '1' – запустить гетеродин; '0' – остановить гетеродин (sin = 0, cos = 1).	W	0x0
7 – 2	reserved			
1 – 0	HET_ROUND	Режим округления высчитываемых значений фазы: '0' – с округлением to_-inf (просто все отбрасывается); '1' – с округлением to_+inf (к результату прибавляется 1, если (R + S) > 0); '2' – с округлением to_nearest (к результату прибавляется 1, если R = 1); '3' – с округлением to_nearest_even (к результату прибавляется 1, если R & (L + S) > 0).	W	0x0

**Регистр начальной фазы гетеродина (HET\_PHASE).** Регистр предназначен для задания начального значения фазы гетеродина. Регистр доступен по записи. Формат регистра приведен в таблице 1.306.

**Таблица 1.306 – Разряды регистра начальной фазы гетеродина (HET\_PHASE)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 0	HET_PHASE	Значение начальной фазы гетеродина.	W	0x0

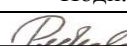
**Регистр частоты гетеродина (HET\_FREQ).** Регистр предназначен для настройки частоты гетеродина. Регистр доступен по записи. Значение, записанное в регистр, и получаемая частота связана формулами:

$$f = fdac * code * / 2^{32},$$

$$code = [f * 2^{32} / fdac],$$

где f – частота гетеродина, выраженная в Герцах; code – значение регистра HET\_FREQ[31:0], fdac - частота ЦАП, выраженная в Герцах.

Формат регистра приведен в таблице 1.307.

									Лист
									317
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата			
38075-3	 16.10.2020		38075-2						

**Таблица 1.307 – Разряды регистра частоты гетеродина (HET\_FREQ)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 0	HET_FREQ	Значение частоты гетеродина	W	0x0

**Регистр таблицы гетеродина (COS\_SINx).** Регистры предназначены для формирования таблицы синуса и косинуса. Таблица состоит из 255 ячеек и содержит первую четверть синуса и косинуса. Формат регистра приведен в таблице 1.308.

**Таблица 1.308 – Разряды регистра таблицы гетеродина (COS\_SINx)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
15:8	sin	значение синуса	RW	
7:0	cos	значение косинуса	RW	

**Регистр управления контроллером ПДП (DMA\_CTRL, DMA\_CTRL\_ST0, DMA\_CTRL\_ST1).** Регистр содержит поля, определяющие запуск контроллера ПДП и тип упаковки слов. Регистр доступен по чтению и записи. Формат регистра приведен в таблице 1.309.

**Таблица 1.309 – Разряды регистра управления контроллером ПДП (DMA\_CTRL, DMA\_CTRL\_ST0, DMA\_CTRL\_ST1)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 : 26	ID[5:0]	ID процесса	RW	0x0
25:13	reserved			
12-8	LPOS[4:0]	номер элемента в последнем 64-разрядном слове, который будет обработан последним (0-первый элемент, 1-второй элемент и т.д.);	RW	0x0
7-5	reserved		R	0x0
4-0	FPOS[4:0]	номер элемента в первом 64-разрядном слове, с которого будет начата обработка (0-первый элемент, 1-второй элемент и т.д.).	RW	0x0

Поле ID процесса не влияет на работу устройства, используется при чтении для упрощения идентификации исполняемой команды.

Команды DMA\_CTRL\_ST0, DMA\_CTRL\_ST1 отличаются от команды DMA\_CTRL тем, что им необходимо, для ухода из буфера команд, наличие события 0 (для DMA\_CTRL\_ST0) или события 1 для DMA\_CTRL\_ST1.

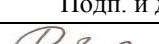
**Регистр текущего адреса контроллера ПДП (DMA\_CA).** Регистр содержит адрес ячейки памяти для подкачки данных. Подкачка осуществляется 64-разрядными словами, поэтому при каждом обращении значение регистра инкрементируется на 2. Формат регистра приведен в таблице 1.310.

**Таблица 1.310 – Разряды регистра текущего адреса контроллера ПДП (DMA\_CA)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 0	address	адрес ячейки памяти в адресном пространстве NMU	RW	

Регистр доступен по чтению и записи.

**Регистр счетчика подкачиваемых слов контроллера ПДП (DMA\_CNT).** Регистр содержит количество 64 слов для подкачки. Регистр доступен по чтению и записи. Формат регистра приведен в таблице 1.311.

					ЮФКВ.431268.022РЭ					Лист
										318
Изм	Лист	№ докум.	Подп.	Дата	Инв.№подл.		Подп. и дата	Взам.инв.№	Инв.№дубл.	Подп. и дата
					38075-3		 16.10.2020	38075-2		

**Таблица 1.311 – Разряды регистра счетчика подкачиваемых слов контроллера ПДП (DMA\_CNT)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 0	CNT	счетчик 64-разрядных слов	RW	0x0

После записи в данный регистр будут выданы запросы на подкачку данных, чтобы при формировании события данные были уже готовы для обработки.

Запись в данный регистр должна быть после записи регистра DMA\_CA.

Для того чтобы несколько пакетов ПДП шли без ошибок и пропусков данных, необходимо задавать значение счетчика DMA\_CNT не менее 12 слов для 16-битного ПДП и не менее двух слов для двухбитного.

**Регистр статуса контроллера ПДП (DMA\_STATUS).** Регистр содержит информацию о текущем состоянии контроллера ПДП, регистр доступен по чтению. Формат регистра приведен в таблице 1.312.

**Таблица 1.312 – Разряды регистра текущего адреса контроллера ПДП (DMA\_STATUS)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
9:4	ID	ID процесса	R	
3 – 2	reserved			
1	Work	текущее состояние контроллера ПДП 0 - контроллер ПДП не работает 1- контроллер ПДП работает	R	0
0	ERR	1 - в процессе передачи были пропуски данных 0 - передача прошла успешно	R	0

Установка в единицу поля ERR происходит автоматически. Сброс осуществляется при чтении регистра программно.

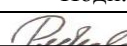
**Регистр управления нормализатором ПДП (NORM\_CTRL0, NORM\_CTRL1).**

Регистр содержит настройку для нормализаторов. Настройка производится до запуска каналов. Регистр доступен по записи. Перестройку нормализаторов следует делать при выключенных каналах. Формат регистра приведен в таблице 1.313.

**Таблица 1.313 – Разряды регистра параметров нормализатора (NORMx\_CTRL)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 18	reserved			
17 – 16	ROUND_MODE	Режим округления: '00' или '10' – использовать округление к ближайшему целому; '01' – округлить до меньшего целого; '11' – округлить до большего целого.	W	0x0
15 – 9	reserved			
8	SATURATION_EN	Включение насыщения.	W	0x0
7 – 5	reserved			
4 – 0	ROUND_SIZE	номер бита во входном числе, являющегося старшим не-знаковым битом выходного числа.	W	0x0

**Регистр переполнений нормализаторов (NORM\_OVRFL).** Регистр содержит число переполнений нормализаторов Н1 и Н0. Число переполнений фиксируется по признаку окончания передачи символа (stop) и доступно для чтения до следующего признака stop. Формат регистра приведен в таблице 1.314.

					ЮФКВ.431268.022РЭ					Лист				
										319				
Изм	Лист	№ докум.	Подп.	Дата	Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
					38075-3		 16.10.2020		38075-2					

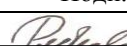
**Таблица 1.314 – Разряды регистра переполнений нормализатора(NORM\_OVRFL)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 16	NORM1_OVRFL	Число переполнение нормализатора Н1 (после гетеродина)	R	0x0
15 – 0	NORM0_OVRFL	Число переполнение нормализатора Н0 (после КИХ-фильтра)	R	0x0

**Регистр состояния буфера команд (QBUF\_STATUS).** Регистр содержит количество команд в буфере. Регистр доступен по чтению. Формат регистра приведен в таблице 1.315.

**Таблица 1.315 – Разряды регистра состояния буфера команд (QBUF\_STATUS)**

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
9	EMPTY	признак пустоты буфера	R	1
8	FULL	признак заполненности буфера	R	0
7:6	reserved			
5:0	CNT	счетчик команд в буфере	R	0

										Лист
										320
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата					
38075-3	 16.10.2020		38075-2							



### 1.6.9 Байтовый коммуникационный порт (СОМi)

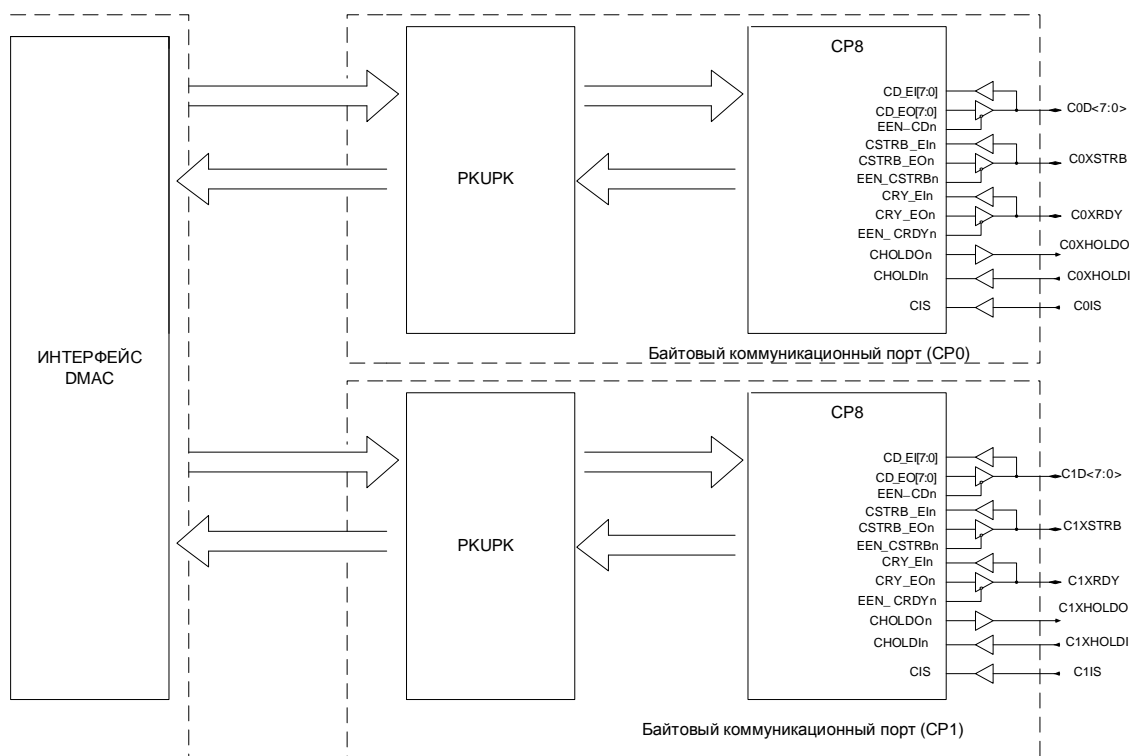
Синхронные байтовые коммуникационные порты ввода/вывода предназначены для высокоскоростного обмена данными между процессорами или между процессором и внешним устройством по типу “точка - точка”. СБИС 1888BC058 в своем составе содержит два коммуникационных порта. По устройству и функциональным возможностям оба порта идентичны.

Основные характеристики каждого из коммуникационных портов:

- порт обеспечивает полудуплексную побайтную передачу 64-разрядных слов;
- непосредственная коммутация процессоров с помощью 8 линий данных и 4 линий управления;
- передача в обе стороны с производительностью до 100 Мбайт/сек (при тактовой частоте работы процессора равной 500 МГц);
- возможность работы с рядом более низких скоростей;
- синхронный обмен с выставлением stroba и данных от передатчика к приёмнику для увеличения скорости обмена, причём данные меняются по каждому фронту переключения stroba (по типу Double Data Rate);
- формирование сигнала готовности от приёмника передатчику для синхронизации их работы;
- автоматический асинхронный арбитраж шины данных между двумя процессорами.

#### 1.6.9.1 Структурная схема интерфейсной части контроллера ПДП и коммуникационных портов

Общая схема интерфейсной части контроллера ПДП процессорных систем NMU1 и NMU2 и байтовых коммуникационных портов представлена на рисунке 1.201.



**Рисунок 1.201 - Общая схема интерфейсной части контроллера ПДП и байтовых коммуникационных портов**

Коммуникационный порт обеспечивает полудуплексную побайтную передачу 64-разрядных слов между КП и памятью в режиме ПДП под управлением контроллера ПДП процессорных систем NMU1 и NMU2.

					ЮФКВ.431268.022РЭ		Лист
							321
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2			

DMAC\_CommPort – интерфейсная часть блока ПДП 1.6.10. ПДП обрабатывает 4 канала, предназначенные для обслуживания коммуникационных портов СБИС:

- CP0-память (CP0WR) – канал приема коммуникационного порта CP0,
- CP1-память (CP1WR) – канал приема коммуникационного порта CP1,
- память-CP0 (CP0RD) – канал передачи коммуникационного порта CP0,
- память-CP1 (CP1RD) – канал передачи коммуникационного порта CP1.

PKUPK – блок упаковки/распаковки данных.

CP8 – интерфейсный блок коммуникационного порта.

### 1.6.9.2 Внешние выводы коммуникационного порта

В каждый момент времени коммуникационный порт может находиться в одном из двух состояний: в режиме приема или в режиме передачи. В режиме передачи порт является активным устройством, выдающим на шину данные и стробирующие сигналы. В режиме приема порт является пассивным устройством, ожидающим прихода данных. Функциональное назначение выводов коммуникационного порта в зависимости от его состояния приведено в таблице 1.316.

**Таблица 1.316 - Функциональное описание выводов коммуникационного порта**

Обозначение <sup>1) 2)</sup>	Кол-во	Тип <sup>3)</sup>	Функциональное назначение	
			Ком. порт в режиме приема	Ком. порт в режиме передачи
CxD	8	I/O	Входы данных	Выходы данных
CxXSTRB	1	I/O	Входной строб данных	Выходной строб данных
CxXRDY	1	I/O	Выход готовности к приему следующего байта	Вход готовности к приему следующего байта
CxXHOLDI	1	I	Вход разрешения на передачу шины от внешнего устройства	Вход запроса внешнего устройства на захват шины
CxXHOLDO	1	O	Выход запроса порта на передачу шины	Выход разрешения порта на передачу шины
CxIS	1	I	Состояние коммуникационного порта после системного сброса	Состояние коммуникационного порта после системного сброса

#### Примечания

1) При обозначении выводов символ “x” для коммуникационного порта CP0 принимает значение 0, а для коммуникационного порта CP1 принимает значение 1.

2) При обозначении выводов символ “X” понимается инверсное значение сигнала

3) Для выводов со знаком инверсии активным является низкий уровень сигнала.

4) Используемые обозначения типов выводов:

I – вход,

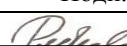
O – выход,

I/O – двунаправленный вывод

Состояние коммуникационного порта в зависимости от состояния конфигурационных входов описаны в таблице 1.317.

**Таблица 1.317 - Состояние коммуникационного порта после системного сброса**

Обозначение	Функциональное назначение	Описание	
CxIS	Состояние коммуникационного порта после системного сброса	0 -	Порт в режиме приема
		1 -	Порт в режиме передачи

									Лист
									322
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020		38075-2						

### 1.6.9.3 Организация обмена данными по коммуникационному порту

Перед запуском канала коммуникационного порта необходимо задать начальный адрес и размер пакета передаваемых или принимаемых данных. Значения соответствующих регистров задаются в блоке контроллера ПДП процессорных систем NMU1 и NMU2.

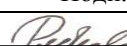
Скорость передачи данных на внешнем интерфейсе коммуникационного порта также задаётся в блоке контроллера ПДП (DMAC). Для этого используется поле RATE регистра управления передающего канала (см. п. 1.6.10.3.1).

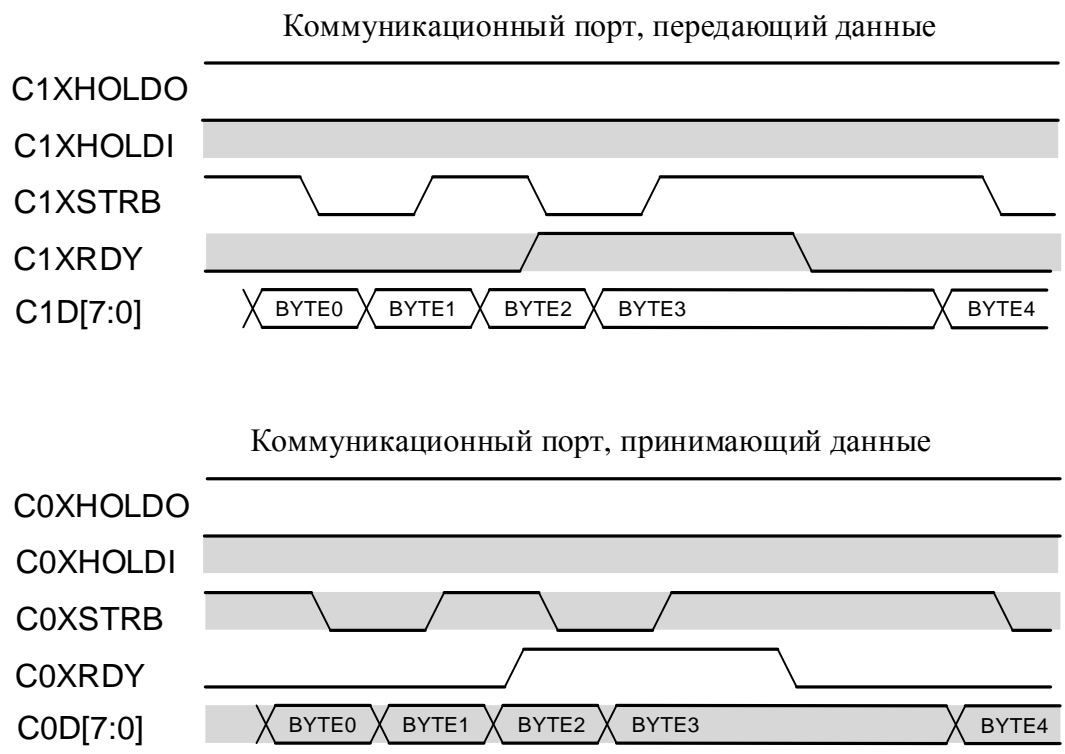
После старта канала передачи устройство управления стремится перевести коммуникационный порт в режим передачи. Если КП находится в режиме приема, то запускается процедура арбитража шины коммуникационного порта. Детально процедура арбитража шины описана в подразделе 1.6.9.4. После окончания процесса арбитража устройство управления выдает запрос к памяти процессора, переупаковывает считанное из памяти 64-разрядное слово в пакет из восьми байтов и, в случае готовности приемника, выдает пакет на шину коммуникационного порта (CxD[7:0]). Выдача и приём байтов 64-разрядного слова может производиться как младшим, так и старшим байтом вперёд в зависимости от настройки поля ENDIAN управления CPxRD\_CSR (см. п. 1.6.10.3.1).

Каждый выдаваемый на шину коммуникационного порта байт сопровождается изменением состояния на выходе CxXSTRB. В зависимости от частоты работы коммуникационного порта изменение состояния вывода CxXSTRB сдвинуто относительно выдачи байта данных на время, равное одному, двум или трем периодам тактового сигнала процессора. Это позволяет использовать фронты сигнала CxXSTRB для фиксации данных на приемном конце.

Если канал приема не готов принять очередной байт данных, то сигнал готовности приемника (CxXRDY) снимается. Передатчик, зафиксировав отсутствие готовности приемника, должен сразу же прекращает выдачу данных и изменение сигнала CxXSTRB. Однако прекращение передачи данных при отсутствии готовности приемника не происходит мгновенно после снятия сигнала CxXRDY из-за схем синхронизации и задержек распространения сигналов от передатчика к приемнику и обратно. Поэтому в канале приема реализован буфер, позволяющий принять данные, отправленные передатчиком до фиксации неготовности приемника. Размер этого буфера накладывает ограничения на время распространения сигналов. Корректная работа канала приема гарантируется, если передатчик выдаёт не более трёх байтов данных после снятия сигнала CxXRDY.

Временные диаграммы обмена по коммуникационному порту представлены на рисунке 1.202.

									Лист
									323
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					



Примечание:

■ - вывод работает как вход  
(если не окрашен – работает как выход)

**Рисунок 1.202 – Временные диаграммы обмена по коммуникационному порту**

### 1.6.9.4 Арбитраж шины коммуникационного порта

Процедура арбитража шины позволяет изменить состояние коммуникационного порта с приема на передачу и обратно. Управление процедурой осуществляется с помощью внешних выводов CxXHOLDI и CxXHOLDO. Функциональное назначение этих выводов в различных состояниях коммуникационного порта представлено в таблице 1.316.

Существует два режима работы порта при передаче шины:

- унаследованный режим (от микросхем с процессором NeuroMatrix Core). Если две микросхемы, подключенные по коммуникационному порту, работают в унаследованном режиме, то короткое время буферы сигналов CxXSTRB в обеих микросхемах работают на выход;
- режим с высокоимпедансным состоянием. Если две микросхемы, подключенные по коммуникационному порту, работают в режиме с высокоимпедансным состоянием, то короткое время буферы сигналов CxXSTRB в обеих микросхемах работают на вход;

Выбор режима осуществляется полем CDC регистра CPxRD\_CSR (1.6.10.3.1).

Временные диаграммы арбитража шины в унаследованном режиме представлены на рисунке 1.203.

Коммуникационный порт, находящийся в режиме приема, запрашивает шину при запуске канала передачи порта (установке битов EN в регистре CPxRD\_CSR), независимо от того, идет в данный момент прием данных или нет. С этой целью на выходе C0XHOLDO устанавливается низкий уровень сигнала.

					ЮФКВ.431268.022РЭ			Лист
								324
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2				

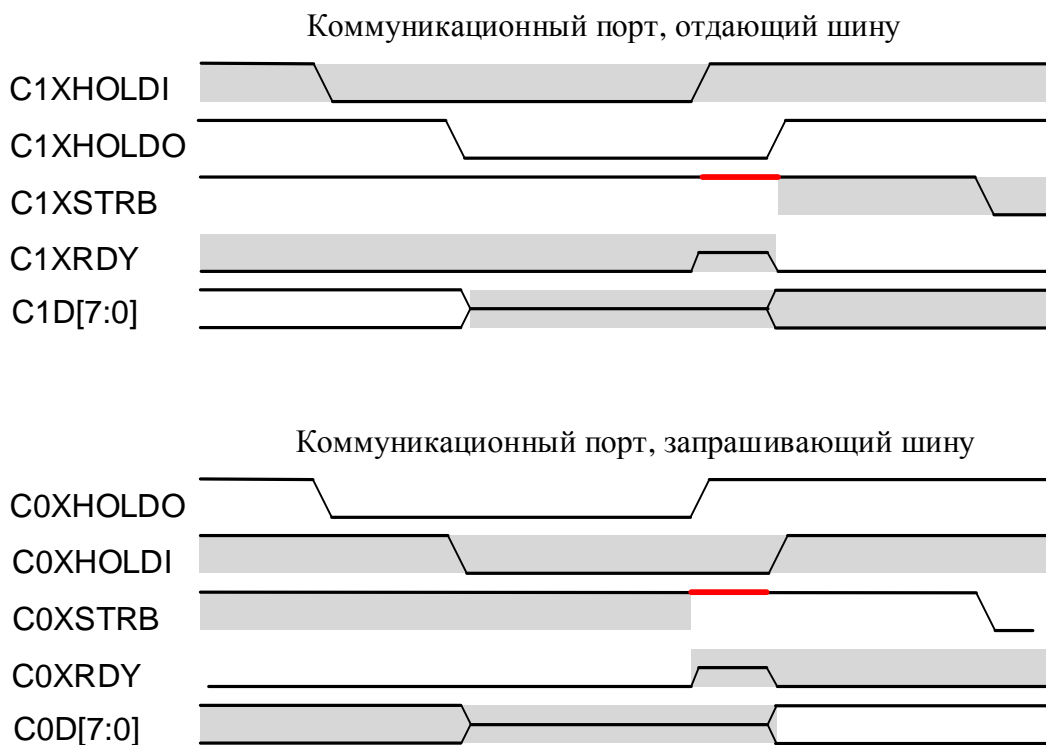
Если коммуникационный порт, передающий данные, закончил выдачу (бит CPL в регистре CPxRD\_CSR установлен) и у него инициализирован канал приема данных (бит EN в регистре CPxWR\_CSR установлен), то, получив запрос на захват шины (низкий уровень C1XHOLDI на рисунке), он выставляет сигнал разрешения на передачу шины (низкий уровень C1XHOLDO на рисунке).

Для корректного выполнения арбитража шины необходимо, чтобы все переданные данные были записаны портом-приемником в память процессора. Если этого не произойдет, то процедура арбитража останется незаконченной, даже если разрешение на захват шины получено.

После получения сигнала разрешения на захват шины (низкий уровень на входе XC0HOLDI на рисунке) порт-приемник переводит вывод C0XRDY в состояние “на прием”, вывод C0XSTRB в положение “на вывод” и снимает запрос на захват шины (высокий уровень C0XHOLDO на рисунке).

Зафиксировав снятие запроса на захват шины, порт-передатчик переводит шину данных C1D и вывод C1XSTRB в положение “на прием”, вывод C1XRDY в состояние “на вывод” и снимает сигнал разрешения на передачу шины.

В свою очередь порт-приемник, зафиксировав снятие разрешения на передачу шины (высокий уровень на входе C0XHOLDI), переводит выходы данных в состояние “на выдачу”. С этого момента он становится передатчиком и начинает осуществлять выдачу данных.



Примечание:

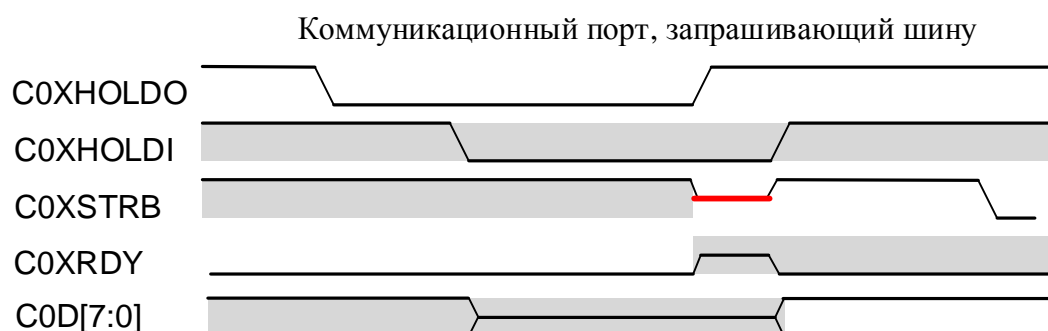
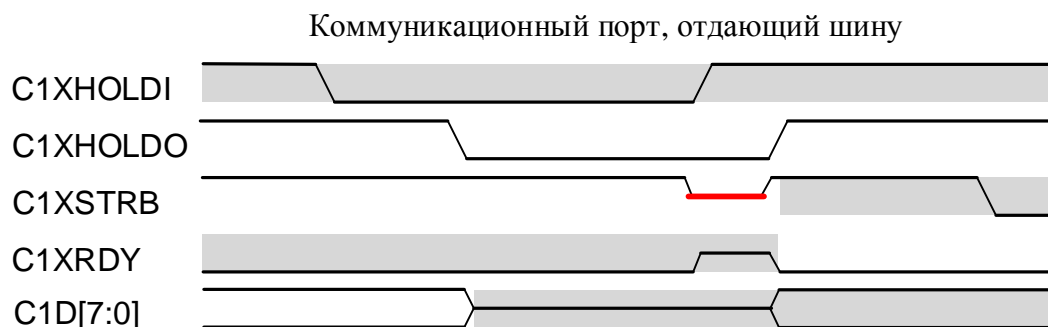
■ - вывод работает как вход  
(если не окрашен – работает как выход)

**Рисунок 1.203 – Временные диаграммы арбитража шины коммуникационного порта в унаследованном режиме**

Красным на рисунке 1.203 выделен момент времени, когда сигналы C0XSTRB и C1XSTRB работают друг другу навстречу.

					ЮФКВ.431268.022РЭ	Лист 325
Изм	Лист	№ докум.	Подп.	Дата		
38075-3			<i>Редук</i>	16.10.2020	38075-2	

На рисунке 1.204 показана передача шины, используя высокоимпедансное состояние. Красным выделен момент времени, когда сигналы C1XSTRB и C0XSTRB находятся в высокоимпедансном состоянии. При использовании данного режима на плату необходимо подключать подтягивающий резистор к питанию 3,3 В.



Примечание:

■ - вывод работает как вход  
(если не окрашен – работает как выход)

**Рисунок 1.204 – Временные диаграммы арбитража шины коммуникационного порта в режиме перехода с высокоимпедансным состоянием**

										Лист
										326
Изм	Лист	№ докум.	Подп.	Дата						
Инва.№подл.	Подп. и дата			Взам.инв.№	Инва.№дубл.	Подп. и дата				
38075-3	<i>Результ</i> 16.10.2020			38075-2						

### 1.6.10 Контроллер прямого доступа к памяти (DMAC)

Контроллер ПДП обеспечивает прямой доступ в память блокам коммуникационных портов, а также может осуществлять передачи данных между блоками памяти СБИС. Блок включает в себя следующие каналы ПДП:

- канал буфер-память (MM0WR) – запись данных из внутреннего буфера 0 в память;
- канал память-буфер (MM0RD) – чтение данных из памяти во внутренний буфер 0;
- канал буфер-память (MM1WR) – запись данных из внутреннего буфера 1 в память;
- канал память-буфер (MM1RD) – чтение данных из памяти во внутренний буфер 1;
- канал CP0-память (CP0WR) – запись данных от коммуникационного порта 0;
- канал память-CP0 (CP0RD) – чтение данных для коммуникационного порта 0;
- канал CP1-память (CP1WR) – запись данных от коммуникационного порта 1;
- канал память-CP1 (CP1RD) – чтение данных для коммуникационного порта 1.

#### 1.6.10.1 Каналы коммуникационных портов

Канал память-CPx читает данные из памяти и отправляет их внешнему устройству через соответствующий коммуникационный порт. Канал CPx-память принимает данные, передаваемые внешним устройством через коммуникационный порт, и записывает эти данные в память системы.

Пара каналов соответствующего коммуникационного порта работает с одним физическим интерфейсом, поэтому, если запустить оба канала, отработает сначала один канал, потом другой. Порядок определяется процедурой арбитража и поведением внешнего устройства.

#### 1.6.10.2 Каналы память-буфер и буфер-память

Канал память-буфер читает данные из памяти системы во внутренний буфер контроллера ПДП, канал буфер-память - по мере прихода данных – записывает их в память. Таким образом, каналы память-буфер и буфер-память образуют пару. Каналы одной пары имеет смысл запускать совместно, реализуя тем самым передачу данных из одной области памяти в другую.

Независимо от программирования при работе пары каналов аппаратно обеспечивается отсутствие таких исключительных ситуаций, как переполнение внутреннего буфера или подвигание шины доступа в память. Допускается делать неодновременный запуск каналов или запуск на разное количество передаваемых данных. В этом случае неотработавший канал подвигает до прихода данных или до освобождения места в буфере.

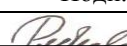
#### 1.6.10.3 Программная модель контроллера ПДП

Каналы ПДП настраиваются с помощью программно доступных регистров (см. Таблица 1.318). Регистры контроллера расположены в адресном пространстве процессорных систем NMU1 и NMU2, начиная с базового адреса 0x000E0000, в адресном пространстве ARMU – с адреса 0x00380000.

Каждый канал управляется своим набором регистров, который отображается в адресном пространстве как выровненный блок из 4 32-разрядных слов, структура этого набора – общая для всех каналов. Набор регистров канала состоит из:

- регистра управления (CSR),
- регистра маски прерывания (MASK),
- регистра-счётчика данных (CNT),
- регистра начального адреса (ADDR).

Не указанные в таблице адреса зарезервированы – запись по зарезервированным адресам никак не влияет на устройство, при чтении выдаётся неспецифицированное значение. Неиспользованные старшие разряды имеющихся регистров при чтении возвращают 0.

									Лист
									327
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата			Взам.инв.№	Инва.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					





После аппаратного сброса канал находится в нерабочем состоянии EN=0, CPL=0. Запись в другие регистры канала разрешена только в нерабочем состоянии. Запуск канала переводит его в состояние EN=1, CPL=0. Когда завершается передача данных, канал переходит в состояние EN=0, CPL=1 и остаётся в нём. Возврат канала в нерабочее состояние следует производить программно.

Бит EN (нулевой разряд) – бит запуска канала. Запись значения 1 запускает канал (только если он находился в состоянии EN=0, CPL=0), при чтении возвращается статус канала: 0 – канал не работает, 1 – канал работает.

Бит CPL (первый разряд) – бит завершения работы канала. Запись значения 1 сбрасывает бит CPL и снимает запрос на прерывание по завершению работы данного канала; при чтении выдаётся статус: 1 – канал завершил работу, 0 – канал ещё не завершил работу или не был запущен.

Запись одновременно EN=1 и CPL=1 не допускается.

Поле RATE (5-2 разряды) – управляет скоростью работы в передающем канале коммуникационного порта: доступно для записи только в передающих каналах коммуникационных портов (память-CP0, память-CP1). Данное поле осуществляет деление тактового сигнала CLK\_SMU блока CRGS при формировании сигнала CxSTRBn и выходных данных. В таблице 1.319 приведены допустимые скорости обмена.

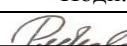
**Таблица 1.319 – Скорость передачи коммуникационного порта**

значение поля RATE	Частота передачи, Мбайт/с (значение при CLK_SMU=512 МГц)	максимальная частота сигнала CxSTRBn (значение при CLK_SMU=512 МГц)
0000	запрещенное значение	
0001	CLK_SMU/2 (256,00)	CLK_SMU/4 (128,00)
0010	CLK_SMU/3 (170,67)	CLK_SMU/6 (85,33)
0011	CLK_SMU/4 (128,00)	CLK_SMU/8 (64,00)
0100	CLK_SMU/5 (102,40)	CLK_SMU/10 (51,20)
0101	CLK_SMU/6 (85,33)	CLK_SMU/12 (42,67)
0110	CLK_SMU/7 (73,14)	CLK_SMU/14 (36,57)
0111	CLK_SMU/8 (64,00)	CLK_SMU/16 (32,00)
1000	CLK_SMU/9 (56,89)	CLK_SMU/18 (28,44)
1001	CLK_SMU/10 (51,20)	CLK_SMU/20 (25,60)
1010	CLK_SMU/11 (46,55)	CLK_SMU/22 (23,27)
1011	CLK_SMU/12 (42,67)	CLK_SMU/24 (21,33)
1100	CLK_SMU/13 (39,38)	CLK_SMU/26 (19,69)
1101	CLK_SMU/14 (36,57)	CLK_SMU/28 (18,29)
1110	CLK_SMU/15 (34,13)	CLK_SMU/30 (17,07)
1111	CLK_SMU/16 (32,00)	CLK_SMU/32 (16,00)

Принимающие каналы коммуникационных портов не имеют настройки скорости, так как приём ведётся на скорости передатчика. При этом частота тактового сигнала CLK\_SMU блока CRGS должна быть больше частоты сигнала CxSTRBn.

Бит CDC (6 разряд) – режим работы двунаправленных буферов при передаче шины коммуникационного порта. Значение 0 – унаследованный режим (от микросхем с процессором NeuroMatrix Core). Если две микросхемы, подключенные по коммуникационному порту, работают в унаследованном режиме, то короткое время буферы сигналов CxSTRBn в обеих микросхемах работают на выход. Значение 1 – режим с высокоимпедансным состоянием. Если две микросхемы, подключенные по коммуникационному порту, работают в режиме с высокоимпедансным состоянием, то короткое время буферы сигналов CxSTRBn в обеих микросхемах работают на вход.

Бит CFGEN (7 разряд) – разрешение записи в биты RATE, CDC и ENDIAN. Для того чтобы при записи в регистр значения полей RATE, CDC и ENDIAN обновлялись, необходимо в 7 разряд записывать значение 1.

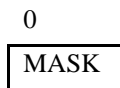
					ЮФКВ.431268.022РЭ		Лист 329
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		 16.10.2020		38075-2			

Бит ENDIAN (8 разряд) - порядок выдачи байтов 64-разрядного слова на внешнюю шину коммуникационного порта. Единицей передачи данных коммуникационного порта является 64-разрядное слово, а шина на выводах микросхемы имеет всего 8 разрядов. Данный бит управляет тем, в каком порядке байты 64-разрядного слова поступают на внешнюю шину: 0 - младшим байтов вперёд, 1 - старшим байтом вперёд. Бит ENDIAN присутствует только в канале память-CPx, но управляет как приёмной частью, так и передающей.

Биты CFGEN, CDC, RATE, ENDIAN присутствуют только в регистрах CSR каналов память-CP0 и память-CP1.

#### 1.6.10.3.2 Регистр маски запроса на прерывание (MASK)

Формат регистра приведен на рисунке 1.206.



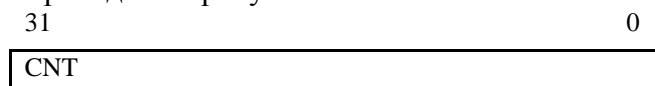
**Рисунок 1.206 – Регистр MASK**

Бит MASK (нулевой разряд) – маска запроса на прерывание. Запись значения 1 маскирует запрос на прерывание от данного канала, запись значения 0 – разрешает генерацию запроса на прерывание от данного канала.

Если канал CPx-память исполняет процесс загрузки, то бит MASK в регистре CPxWR\_MASK сбрасывается в 0.

#### 1.6.10.3.3 Регистр-счётчик данных (CNT)

Формат регистра приведен на рисунке 1.207.

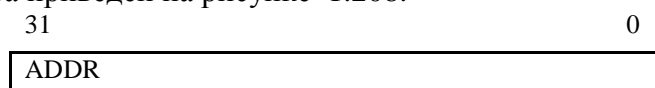


**Рисунок 1.207 – Регистр CNT**

В регистр CNT записывается размер передачи в 64-разрядных словах. Чтобы задать число слов для передачи в канале, равное N, необходимо записать в регистр CNT число  $(-1 * N)$  в дополнительном коде. Единице соответствует код FFFF\_FFFFh.

#### 1.6.10.3.4 Регистр начального адреса (ADDR)

Формат регистра приведен на рисунке 1.208.



**Рисунок 1.208 – Регистр ADDR**

Регистр ADDR задаёт начальный (наименьший) адрес передаваемого массива. Адрес задаётся в 32-разрядных словах (адрес в формате NMU), младший разряд адреса должен быть равен 0.

### 1.6.10.4 Прерывания

Каждый канал контроллера ПДП может выдавать запрос на прерывание. Запрос на прерывание от канала выставляется, когда установлен бит CPL=1 и сброшен бит MASK=0.

На процессорные системы подаются 4 обобщённых запроса на прерывание:

- от канала MM0 (объединённый запрос MM0RD и MM0WR);
- от канала MM1 (объединённый запрос MM1RD и MM1WR);
- от коммуникационного порта CP0;
- от коммуникационного порта CP1.

									Лист
									330
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата		Взам.инв.№	Инва.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2						

## 1.6.11 Система отладки СБИС 1888BC058

### 1.6.11.1 Интерфейс JTAG для сканирования внешних выводов СБИС

Для получения доступа к интерфейсу BSCAN JTAG, осуществляющего граничное сканирование, необходимо перейти в нужный режим работы микросхемы. В таблице 1.320 приведена конфигурация соответствующих внешних выводов.

**Таблица 1.320 – Конфигурация внешних выводов для работы с BSCAN JTAG**

TMODE	BOOTM2	BOOTM1	BOOTM0	Описание
1	0	1	0	Режим граничного сканирования
1	0	1	1	Режим граничного сканирования с отключенными «pull-up/pull-down» у внутренних буферов ввода/вывода

Интерфейс BSCAN JTAG соответствует стандарту IEEE 1149.1-2012. Описание тестовых портов приведено в таблице 1.321:

**Таблица 1.321 – Тестовые порты JTAG**

Название порта	Направление	Описание
JTCK	Вх.	Тактовый сигнал, максимальная частота для BSCAN JTAG – 16 МГц
JTDI	Вх.	Вход данных
JTMS	Вх.	Управление автоматом состояний TAP-контроллера
JTRSTN	Вх.	Асинхронный сброс, активный уровень - низкий
JTDO	Вых.	Выход данных

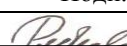
Длина регистра команд JTAG-контроллера – 5 бит. Интерфейс поддерживает необходимый минимум команд по стандарту IEEE 1149.1-2012, а также имеет две дополнительные команды: HIGHZ и IDCODE ( Таблица 1.322).

**Таблица 1.322 – Команды BSCAN JTAG**

Название команды	Код команды
EXTEST	00001
SAMPLE	00010
PRELOAD	00010
BYPASS	11111
HIGHZ	11101
IDCODE	00011

Команда IDCODE позволяет считать идентификационный код микросхемы: «b00000000110001000001000100010001» или «h00C41111».

В таблице 1.323 приведено описание регистра граничного сканирования.

									Лист
									331
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.			Подп. и дата		Взам.инв.№	Инв.№дубл.		Подп. и дата	
38075-3			 16.10.2020		38075-2				

**Таблица 1.323 – Регистр граничного сканирования**

<b>Бит</b>	<b>Внешний порт</b>	<b>Назначение<sup>1</sup></b>
0	SPI0_TXD	OUTPUT2
1	GPE0	BIDIR_OBSERVE
2	-	GPE0 OEN
3	GPE1	BIDIR_OBSERVE
4	-	GPE1 OEN
5	GPE2	BIDIR_OBSERVE
6	-	GPE2 OEN
7	GPE3	BIDIR_OBSERVE
8	-	GPE3 OEN
9	GPE4	BIDIR_OBSERVE
10	-	GPE4 OEN
11	GPE5	BIDIR_OBSERVE
12	-	GPE5 OEN
13	GPE6	BIDIR_OBSERVE
14	-	GPE6 OEN
15	GPE7	BIDIR_OBSERVE
16	-	GPE7 OEN
17	WDT	OUTPUT2
18	GPD0	BIDIR_OBSERVE
19	-	GPD0 OEN
20	GPD1	BIDIR_OBSERVE
21	-	GPD1 OEN
22	GPD2	BIDIR_OBSERVE
23	-	GPD2 OEN
24	GPD3	BIDIR_OBSERVE
25	-	GPD3 OEN
26	GPD4	BIDIR_OBSERVE
27	-	GPD4 OEN
28	GPD6	BIDIR_OBSERVE
29	-	GPD6 OEN
30	GPC0	BIDIR_OBSERVE
31	-	GPC0 OEN
32	GPC1	BIDIR_OBSERVE
33	-	GPC1 OEN
34	GPC2	BIDIR_OBSERVE
35	-	GPC2 OEN
36	GPC3	BIDIR_OBSERVE
37	-	GPC3 OEN
38	GPC4	BIDIR_OBSERVE
39	-	GPC4 OEN
40	GPC6	BIDIR_OBSERVE

										Лист
										332
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редюк</i> 16.10.2020			38075-2					

**Продолжение таблицы 1.323**

<b>Бит</b>	<b>Внешний порт</b>	<b>Назначение<sup>1</sup></b>
41	-	GPC6 OEN
42	TD7	OUTPUT2
43	TD6	OUTPUT2
44	TD5	OUTPUT2
45	TD4	OUTPUT2
46	C1D7	BIDIR_OBSERVE
47	-	C1D7, C1D6, C1D5, C1D4, C1D3, C1D2, C1D1, C1D0, OEN
48	C1D6	BIDIR_OBSERVE
49	C1D5	BIDIR_OBSERVE
50	C1D4	BIDIR_OBSERVE
51	C1XSTRB	BIDIR_OBSERVE
52	-	C1XSTRB OEN
53	C1D3	BIDIR_OBSERVE
54	C1D2	BIDIR_OBSERVE
55	C1D1	BIDIR_OBSERVE
56	C1D0	BIDIR_OBSERVE
57	C1XRDY	BIDIR_OBSERVE
58	-	C1XRDY OEN
59	C1XHOLDO	OUTPUT2
60	C1XHOLDI	INPUT_OBSERVE
61	C1IS	INPUT_OBSERVE
62	DA_CLKIP	INPUT_OBSERVE
63	AD0_OVRP	INPUT_OBSERVE
64	AD0_D12D13P	INPUT_OBSERVE
65	AD0_D10D11P	INPUT_OBSERVE
66	AD0_D8D9P	INPUT_OBSERVE
67	AD0_CLKIP	INPUT_OBSERVE
68	AD0_D6D7P	INPUT_OBSERVE
69	AD0_D4D5P	INPUT_OBSERVE
70	AD0_D2D3P	INPUT_OBSERVE
71	AD0_D0D1P	INPUT_OBSERVE
72	AD1_D0D1P	INPUT_OBSERVE
73	AD1_D2D3P	INPUT_OBSERVE
74	AD1_D4D5P	INPUT_OBSERVE
75	AD1_D6D7P	INPUT_OBSERVE
76	AD1_CLKIP	INPUT_OBSERVE
77	AD1_D8D9P	INPUT_OBSERVE
78	AD1_D10D11P	INPUT_OBSERVE
79	AD1_D12D13P	INPUT_OBSERVE
80	AD1_OVRP	INPUT_OBSERVE
81	AD2_OVRP	INPUT_OBSERVE

										Лист
										333
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020			38075-2					

Продолжение таблицы 1.323

Бит	Внешний порт	Назначение <sup>1</sup>
82	AD2_D12D13P	INPUT_OBSERVE
83	AD2_D10D11P	INPUT_OBSERVE
84	AD2_D8D9P	INPUT_OBSERVE
85	AD2_CLKIP	INPUT_OBSERVE
86	AD2_D6D7P	INPUT_OBSERVE
87	AD2_D4D5P	INPUT_OBSERVE
88	AD2_D2D3P	INPUT_OBSERVE
89	AD2_D0D1P	INPUT_OBSERVE
90	AD3_D0D1P	INPUT_OBSERVE
91	AD3_D2D3P	INPUT_OBSERVE
92	AD3_D4D5P	INPUT_OBSERVE
93	AD3_D6D7P	INPUT_OBSERVE
94	AD3_CLKIP	INPUT_OBSERVE
95	AD3_D8D9P	INPUT_OBSERVE
96	AD3_D10D11P	INPUT_OBSERVE
97	AD3_D12D13P	INPUT_OBSERVE
98	AD3_OVRP	INPUT_OBSERVE
99	ADCLKP	INPUT_OBSERVE
100	ITSTRB	INPUT_OBSERVE
101	COIS	INPUT_OBSERVE
102	COXHOLDI	INPUT_OBSERVE
103	COXHOLDO	OUTPUT2
104	COXRDY	BIDIR_OBSERVE
105	-	COXRDY OEN
106	C0D0	BIDIR_OBSERVE
107	-	C0D0, C0D1, C0D2, C0D3, C0D4, C0D5, C0D6, C0D7, OEN
108	C0D1	BIDIR_OBSERVE
109	C0D2	BIDIR_OBSERVE
110	C0D3	BIDIR_OBSERVE
111	COXSTRB	BIDIR_OBSERVE
112	-	COXSTRB OEN
113	C0D4	BIDIR_OBSERVE
114	C0D5	BIDIR_OBSERVE
115	C0D6	BIDIR_OBSERVE
116	C0D7	BIDIR_OBSERVE
117	TD0	OUTPUT2
118	TD1	OUTPUT2
119	TD2	OUTPUT2
120	TD3	OUTPUT2
121	UART0_TXD	OUTPUT2

										Лист
										334
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редюк</i> 16.10.2020			38075-2					



**Продолжение таблицы 1.323**

<i>Бит</i>	<i>Внешний порт</i>	<i>Назначение<sup>1</sup></i>
122	UART0_RTS	OUTPUT2
123	UART1_TXD	OUTPUT2
124	UART1_RTS	OUTPUT2
125	UART0_RXD	INPUT_OBSERVE
126	UART0_CTS	INPUT_OBSERVE
127	UART1_RXD	INPUT_OBSERVE
128	UART1_CTS	INPUT_OBSERVE
129	REFCLK	INPUT_OBSERVE
130	NRST_PON	INPUT_OBSERVE
131	BOOTM0	INPUT_OBSERVE
132	BOOTM1	INPUT_OBSERVE
133	BOOTM2	INPUT_OBSERVE
134	BOOTM_NM	INPUT_OBSERVE
135	TMODE	INPUT_OBSERVE
136	GPA0	BIDIR_OBSERVE
137	-	GPA0 OEN
138	GPA1	BIDIR_OBSERVE
139	-	GPA1 OEN
140	GPA2	BIDIR_OBSERVE
141	-	GPA2 OEN
142	GPA3	BIDIR_OBSERVE
143	-	GPA3 OEN
144	GPA4	BIDIR_OBSERVE
145	-	GPA4 OEN
146	GPA5	BIDIR_OBSERVE
147	-	GPA5 OEN
148	GPA6	BIDIR_OBSERVE
149	-	GPA6 OEN
150	GPA7	BIDIR_OBSERVE
151	-	GPA7 OEN
152	GPB0	BIDIR_OBSERVE
153	-	GPB0 OEN
154	GPB1	BIDIR_OBSERVE
155	-	GPB1 OEN
156	GPB2	BIDIR_OBSERVE
157	-	GPB2 OEN
158	GPB3	BIDIR_OBSERVE
159	-	GPB3 OEN
160	GPB4	BIDIR_OBSERVE
161	-	GPB4 OEN
162	GPB5	BIDIR_OBSERVE
163	-	GPB5 OEN

										Лист
										335
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020			38075-2					

**Продолжение таблицы 1.323**

<b>Бит</b>	<b>Внешний порт</b>	<b>Назначение<sup>1</sup></b>
164	GPB6	BIDIR_OBSERVE
165	-	GPB6 OEN
166	GPB7	BIDIR_OBSERVE
167	-	GPB7 OEN
168	EMI_D0	BIDIR_OBSERVE
169	-	EMI_D0 OEN
170	EMI_D1	BIDIR_OBSERVE
171	-	EMI_D1 OEN
172	EMI_D2	BIDIR_OBSERVE
173	-	EMI_D2 OEN
174	EMI_D3	BIDIR_OBSERVE
175	-	EMI_D3 OEN
176	EMI_D4	BIDIR_OBSERVE
177	-	EMI_D4 OEN
178	EMI_D5	BIDIR_OBSERVE
179	-	EMI_D5 OEN
180	EMI_D6	BIDIR_OBSERVE
181	-	EMI_D6 OEN
182	EMI_D7	BIDIR_OBSERVE
183	-	EMI_D7 OEN
184	EMI_D8	BIDIR_OBSERVE
185	-	EMI_D8 OEN
186	EMI_D9	BIDIR_OBSERVE
187	-	EMI_D9 OEN
188	EMI_D10	BIDIR_OBSERVE
189	-	EMI_D10 OEN
190	EMI_D11	BIDIR_OBSERVE
191	-	EMI_D11 OEN
192	EMI_D12	BIDIR_OBSERVE
193	-	EMI_D12 OEN
194	EMI_D13	BIDIR_OBSERVE
195	-	EMI_D13 OEN
196	EMI_D14	BIDIR_OBSERVE
197	-	EMI_D14 OEN
198	EMI_D15	BIDIR_OBSERVE
199	-	EMI_D15 OEN
200	EMI_A0	BIDIR_OBSERVE
201	-	EMI_A0 OEN
202	EMI_A1	BIDIR_OBSERVE
203	-	EMI_A1 OEN
204	EMI_A2	BIDIR_OBSERVE

										Лист
										336
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020			38075-2					

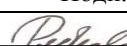
**Продолжение таблицы 1.323**

<b>Бит</b>	<b>Внешний порт</b>	<b>Назначение<sup>1</sup></b>
205	-	EMI_A2 OEN
206	EMI_A3	BIDIR_OBSERVE
207	-	EMI_A3 OEN
208	EMI_A4	BIDIR_OBSERVE
209	-	EMI_A4 OEN
210	EMI_A5	BIDIR_OBSERVE
211	-	EMI_A5 OEN
212	EMI_A6	BIDIR_OBSERVE
213	-	EMI_A6 OEN
214	EMI_A7	BIDIR_OBSERVE
215	-	EMI_A7 OEN
216	EMI_A8	BIDIR_OBSERVE
217	-	EMI_A8 OEN
218	EMI_A9	BIDIR_OBSERVE
219	-	EMI_A9 OEN
220	EMI_A10	BIDIR_OBSERVE
221	-	EMI_A10 OEN
222	EMI_A11	BIDIR_OBSERVE
223	-	EMI_A11 OEN
224	EMI_XWE	BIDIR_OBSERVE
225	-	EMI_XWE OEN
226	EMI_XWEA	OUTPUT3
227	-	EMI_XWEA OEN
228	EMI_XOE	OUTPUT3
229	-	EMI_XOE OEN
230	EMI_XRAS	OUTPUT3
231	-	EMI_XRAS OEN
232	EMI_XCAS	OUTPUT3
233	-	EMI_XCAS OEN
234	EMI_XHOLDO	OUTPUT2
235	EMI_XHOLDA	BIDIR_OBSERVE
236	-	EMI_XHOLDA OEN
237	EMI_XRDY	BIDIR_OBSERVE
238	-	EMI_XRDY OEN
239	EMI_XSTRB	BIDIR_OBSERVE
240	-	EMI_XSTRB OEN
241	EMI_XRDY_A	INPUT_OBSERVE
242	EMI_XHOLDI	INPUT_OBSERVE
243	EMI_SCLK	INPUT_OBSERVE
244	EMI_XCSI	INPUT_OBSERVE
245	EMI_BIS	INPUT_OBSERVE

										Лист
										337
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020			38075-2					

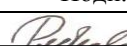
**Продолжение таблицы 1.323**

<b>Бит</b>	<b>Внешний порт</b>	<b>Назначение<sup>1</sup></b>
246	EMI_XDQM0	OUTPUT3
247	-	EMI_XDQM0 OEN
248	EMI_XDQM1	OUTPUT3
249	-	EMI_XDQM1 OEN
250	EMI_XDQM2	OUTPUT3
251	-	EMI_XDQM2 OEN
252	EMI_XDQM3	OUTPUT3
253	-	EMI_XDQM3 OEN
254	EMI_XCSO0	OUTPUT3
255	-	EMI_XCSO0 OEN
256	EMI_XCSO1	OUTPUT3
257	-	EMI_XCSO1 OEN
258	EMI_XCSO2	OUTPUT3
259	-	EMI_XCSO2 OEN
260	EMI_XCSO3	OUTPUT3
261	-	EMI_XCSO3 OEN
262	EMI_A12	BIDIR_OBSERVE
263	-	EMI_A12 OEN
264	EMI_A13	BIDIR_OBSERVE
265	-	EMI_A13 OEN
266	EMI_A14	BIDIR_OBSERVE
267	-	EMI_A14 OEN
268	EMI_A15	BIDIR_OBSERVE
269	-	EMI_A15 OEN
270	EMI_A16	BIDIR_OBSERVE
271	-	EMI_A16 OEN
272	EMI_A17	BIDIR_OBSERVE
273	-	EMI_A17 OEN
274	EMI_A18	BIDIR_OBSERVE
275	-	EMI_A18 OEN
276	EMI_A19	BIDIR_OBSERVE
277	-	EMI_A19 OEN
278	EMI_A20	OUTPUT3
279	-	EMI_A20 OEN
280	EMI_A21	OUTPUT3
281	-	EMI_A21 OEN
282	EMI_A22	OUTPUT3
283	-	EMI_A22 OEN
284	EMI_A23	OUTPUT3
285	-	EMI_A23 OEN
286	EMI_D16	BIDIR_OBSERVE
287	-	EMI_D16 OEN

										Лист
										338
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		 16.10.2020			38075-2					

**Продолжение таблицы 1.323**

<i>Бит</i>	<i>Внешний порт</i>	<i>Назначение<sup>1</sup></i>
288	EMI_D17	BIDIR_OBSERVE
289	-	EMI_D17 OEN
290	EMI_D18	BIDIR_OBSERVE
291	-	EMI_D18 OEN
292	EMI_D19	BIDIR_OBSERVE
293	-	EMI_D19 OEN
294	EMI_D20	BIDIR_OBSERVE
295	-	EMI_D20 OEN
296	EMI_D21	BIDIR_OBSERVE
297	-	EMI_D21 OEN
298	EMI_D22	BIDIR_OBSERVE
299	-	EMI_D22 OEN
300	EMI_D23	BIDIR_OBSERVE
301	-	EMI_D23 OEN
302	EMI_D24	BIDIR_OBSERVE
303	-	EMI_D24 OEN
304	EMI_D25	BIDIR_OBSERVE
305	-	EMI_D25 OEN
306	EMI_D26	BIDIR_OBSERVE
307	-	EMI_D26 OEN
308	EMI_D27	BIDIR_OBSERVE
309	-	EMI_D27 OEN
310	EMI_D28	BIDIR_OBSERVE
311	-	EMI_D28 OEN
312	EMI_D29	BIDIR_OBSERVE
313	-	EMI_D29 OEN
314	EMI_D30	BIDIR_OBSERVE
315	-	EMI_D30 OEN
316	EMI_D31	BIDIR_OBSERVE
317	-	EMI_D31 OEN
318	MDC	OUTPUT2
319	MDIO	BIDIR_OBSERVE
320	-	MDIO OEN
321	MII_TXEN	OUTPUT2
322	MII_TXD0	OUTPUT2
323	MII_TXD1	OUTPUT2
324	MII_TXD2	OUTPUT2
325	MII_TXD3	OUTPUT2
326	MII_RXD0	INPUT_OBSERVE
327	MII_RXD1	INPUT_OBSERVE
328	MII_RXD2	INPUT_OBSERVE
329	MII_RXD3	INPUT_OBSERVE

										Лист
										339
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		 16.10.2020			38075-2					

**Продолжение таблицы 1.323**

<b>Бит</b>	<b>Внешний порт</b>	<b>Назначение<sup>1</sup></b>
330	MII_TXCLK	INPUT_OBSERVE
331	MII_RXCLK	INPUT_OBSERVE
332	MII_RXDV	INPUT_OBSERVE
333	MII_RXER	INPUT_OBSERVE
334	MII_RXCOL	INPUT_OBSERVE
335	MII_RXCRS	INPUT_OBSERVE
336	NRST_SYS	BIDIR_OBSERVE
337	-	NRST_SYS OEN
338	SPI0_RXD	INPUT_OBSERVE

*Примечание - Назначение ячейки BSCAN биту регистра граничного сканирования:*  
*OUTPUT2 – ячейка для выходного буфера;*  
*OUTPUT3 – ячейка для выходного буфера с третьим состоянием;*  
*INPUT\_OBSERVE – ячейка для входного буфера без мультиплексора на функциональный вход;*  
*BIDIR\_OBSERVE – ячейка для двунаправленного буфера без мультиплексора на функциональный вход;*  
*<имя порта> OEN – ячейка управления выдачей выходного сигнала (активный уровень – низкий).*

										Лист
										340
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020			38075-2					

### 1.6.11.2 Последовательный порт доступа для тестовых и отладочных данных DAP

Данный порт реализован на основе JTAG/SWD-порта и может выполнять задачи мониторинга и отладки на основе технологии CoreSight фирмы ARM ltd с помощью штатных аппаратных и программных средств указанной фирмы. С помощью порта можно реализовать следующие действия:

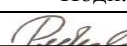
- системный сброс;
- изменение частоты работы процессорных ядер;
- запись начальных данных и программ во внутреннюю память микросхемы;
- проверку корректности выполнения программ с помощью чтения результата из внутренней памяти микросхемы;
- пошаговую отладку программ и их трассировка на ядре ARM Cortex-A5.

#### 1.6.11.2.1 Внешние выводы последовательного порта доступа для тестовых и отладочных данных DAP

В таблице 1.324 приведен список внешних выводов, относящихся к последовательному порту.

**Таблица 1.324 – Выводы микросхемы, относящиеся к последовательному порту доступа для тестовых и отладочных данных DAP**

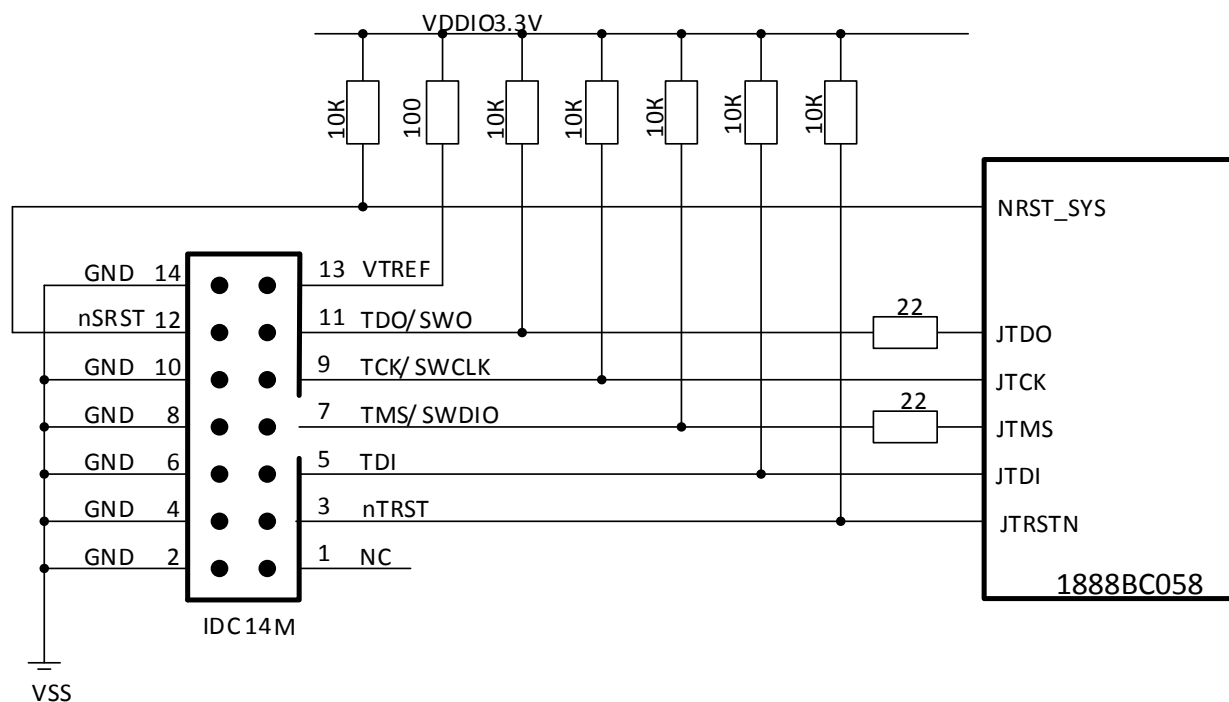
Вывод	Тип буфера	Примечание
JTDO	O(Z)	Выход данных последовательного порта DAP
JTDI	I	Вход данных последовательного порта DAP
JTCK	I	Тактовый сигнал последовательного порта DAP
JTMS	I/O	Выбор режима работы последовательного порта DAP
JTRSTN	I	Сброс последовательного порта DAP
NRST_SYS	I/O	Сброс отладочного модуля (pullup 80 КОм)

									Лист
									341
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					



### 1.6.11.2 Рекомендуемая схема подключения DAP

Аппаратный отладчик подключается к плате с микросхемой 1888BC058 через 14-выводный IDC14M соединитель с шагом выводов 2,54 мм (ARM JTAG 14). На рисунке 1.209 приведена типовая схема подключения JTAG-соединителя к микросхеме.



**Рисунок 1.209 – Схема типового подключения JTAG-соединителя к микросхеме 1888BC058**

Дополнительно рекомендуется устанавливать микросхемы монитора питания с выходом типа «открытый коллектор» (например, STM1001) на входы микросхемы NRST\_SYS и JTRSTN для обеспечения стабильной работы.

Микросхема поддерживает отладку по стандарту JTAG, а также по стандарту SWD. Описанная выше схема подключения позволяет использовать оба стандарта для отладки ПО на микросхеме 1888BC058.

Частота обмена по отладочному интерфейсу зависит от длины соединительного кабеля. Приведенная схема разводки применима для коротких кабелей (около 30 см). В этом случае теоретически достижимы следующие максимальные частоты:

- 10МГц при использовании JTAG интерфейса;
- 50МГц при использовании SWD интерфейса.

Для кабелей средней длины мощности выходных буферов микросхемы (сигналов JTDO, JTMS и NRST\_SYS) может быть недостаточно из-за высокой емкостной нагрузки от кабеля. В этом случае необходимо рассматривать кабель как длинную линию и добавлять на плату дополнительные буфера с высокой нагрузочной способностью для этих сигналов и согласующие резисторы, чтобы избежать отражений сигнала в кабеле.

В таблице 1.325 приведено описание сигналов разъема ARM JTAG 14 и особенностей работы интерфейса при подсоединении микросхемы 1879BM8Я к аппаратному отладчику DSTREAM фирмы ARM.

					ЮФКВ.431268.022РЭ		Лист
							342
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2			

**Таблица 1.325 - Описание контактов JTAG-интерфейса ARM JTAG 14**

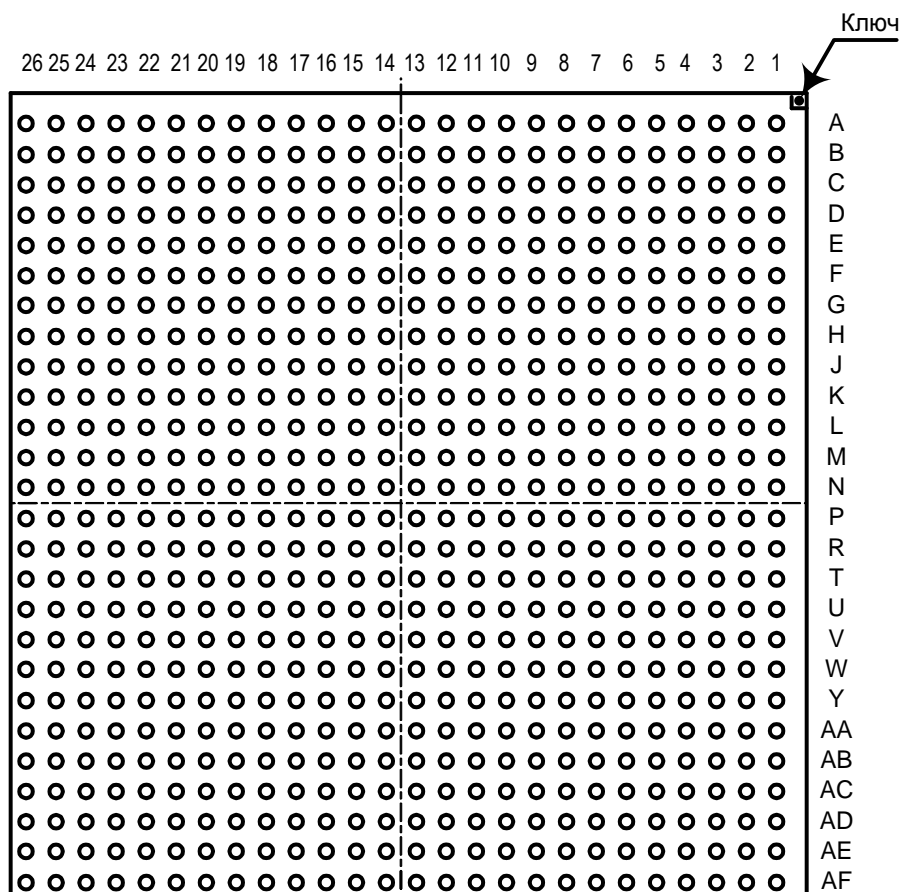
Контакт	I/O	Описание
TDI	O	Вход данных тестового порта от отладчика. Этот сигнал должен иметь pullup резистор.
TDO	I	Выход данных тестового порта к отладчику. Этот сигнал должен иметь pullup резистор. Рекомендуется установка последовательного согласующего резистора вблизи СБИС на данный сигнал.
TMS	O	Выбор режима тестирования от отладчика. Этот сигнал должен иметь pullup резистор.
TCK	O	Тактовый сигнал тестового порта от отладчика. TDI и TMS выдаются синхронно с этим синхросигналом. Этот сигнал должен иметь pullup резистор.
nTRST	O	Сброс тестового порта в микросхеме от отладчика. Сигнал с активным низким уровнем. Этот сигнал должен иметь pullup резистор.
nSRST	I/O	Внешний программный сброс микросхемы от отладчика. Сигнал с активным низким уровнем. Сигнал может быть выставлен в активное состояние как отладчиком DSTREAM, так и самой СБИС. DSTREAM способен отслеживать выставление этого сигнала со стороны СБИС. СБИС содержит встроенный pullup резистор с типовым значением 80кОм на данном выводе для исключения случайного сброса при отсутствии подключения к DSTREAM. Но т.к. этот pullup резистор может быть программно отключен, то рекомендуется дублировать его на печатной плате.
SWDIO (SWD режим)	I/O	Двунаправленные данные отладочного порта в режиме Serial Wire Debug (SWD). Этот сигнал должен иметь pullup резистор. Рекомендуется установка последовательного согласующего резистора вблизи СБИС на данный сигнал.
SWCLK (SWD режим)	O	Синхросигнал отладочного порта в режиме Serial Wire Debug (SWD). Этот сигнал должен иметь pullup резистор.
SWO (SWD режим)	I	Выходной сигнал трасс отладочного порта в режиме Serial Wire Debug (SWD). Этот сигнал должен иметь pullup резистор. Рекомендуется установка последовательного согласующего резистора вблизи микросхемы 1879BM8Я на данный сигнал.
VTREF	I	Напряжение смещения. DSTREAM определяет наличие питания в отлаживаемой системе, питание должно быть как минимум 0,6 В. Используется для сопряжения логических уровней DSTREAM с уровнями буферов ввода/вывода отлаживаемой микросхемы 1888BC058. Этот сигнал может иметь pullup резистор для защиты от КЗ, но не более 100 Ом.
GND	-	Общий

					ЮФКВ.431268.022РЭ		Лист
							343
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редюк</i> 16.10.2020		38075-2			

## 2 Электрические, динамические и конструктивные характеристики СБИС 1888BC058

### 2.1 Состав и расположение внешних выводов СБИС 1888BC058

СБИС 1888BC058 изготавливается в 676-выводном металлопластиковом корпусе BGA (Ball Grid Array). Расположение внешних выводов микросхемы представлено на рисунке 2.1.



**Рисунок 2.1 – Расположение внешних выводов СБИС 1888BC058 (вид со стороны выводов)**

В таблице 2.1 представлены выводы микросхемы в соответствии с их функциональным назначением.

										Лист
										344
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020			38075-2					

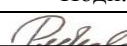
**Таблица 2.1 - Выводы СБИС 1888BC058 в соответствии с их функциональным назначением**

Обозначение	Кол-во	Тип	Функциональное назначение	Выводы корпуса
<b>Интерфейс с АЦП</b>				
ADCLKN, ADCLKP	2	I	Опорный тактовый сигнал для АЦП	K25, J25
AD3_CLKON - AD0_CLKON	4	O	Выходной тактовый сигнал на микросхемы АЦП (-)	F24, F23, C15, B15
AD3_CLKOP - AD0_CLKOP	4	O	Выходной тактовый сигнал на микросхемы АЦП (+)	E24, E23, C14, B14
AD3_CLKIN - AD0_CLKIN	4	I	Входной тактовый сигнал с микросхемы АЦП для синхронизации данных(-)	F25, A23, B19, A16
AD3_CLKIP - AD0_CLKIP	4	I	Входной тактовый сигнал с микросхемы АЦП для синхронизации данных(+)	E25, A22, B18, A15
AD3_OVRN - AD0_OVRN	4	I	Сигналы переполнения (-)	H25, A25, C20, A12
AD3_OVRP - AD0_OVRP	4	I	Сигналы переполнения (+)	G25, A24, C19, A11
AD0_D12D13N, AD0_D10D11N, AD0_D8D9N, AD0_D6D7N, AD0_D4D5N, AD0_D2D3N, AD0_D0D1N	7	I	Шина данных от АЦП0 (-)	C9, B13, D12, D14, B11, C13, A14
AD0_D12D13P, AD0_D10D11P, AD0_D8D9P, AD0_D6D7P, AD0_D4D5P, AD0_D2D3P, AD0_D0D1P	7	I	Шина данных от АЦП0 (+)	C10, B12, D11, D13, B10, C12, A13
AD1_D12D13N, AD1_D10D11N, AD1_D8D9N, AD1_D6D7N, AD1_D4D5N, AD1_D2D3N, AD1_D0D1N	7	I	Шина данных от АЦП1 (-)	B21, A21, D18, A18, C18, B17, D16
AD1_D12D13P, AD1_D10D11P, AD1_D8D9P, AD1_D6D7P, AD1_D4D5P, AD1_D2D3P, AD1_D0D1P	7		Шина данных от АЦП1 (+)	B20, A20, D17, A17, C17, B16, D15
AD2_D12D13N, AD2_D10D11N, AD2_D8D9N, AD2_D6D7N, AD2_D4D5N, AD2_D2D3N, AD2_D0D1N	7	I	Шина данных от АЦП2 (-)	D22, B25, B23, C22, D20, D24, D23

					Лист
					345
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		<i>Редук</i> 16.10.2020		38075-2	
			Подп. и дата		

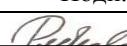
Продолжение таблицы 2.1

Обозначение	Кол-во	Тип	Функциональное назначение	Выводы корпуса
AD2_D12D13P, AD2_D10D11P, AD2_D8D9P, AD2_D6D7P, AD2_D4D5P, AD2_D2D3P, AD2_D0D1P	7	I	Шина данных от АЦП2 (+)	D21, B24, B22, C21, D19, C24, C23
AD3_D12D13N, AD3_D10D11N, AD3_D8D9N, AD3_D6D7N, AD3_D4D5N, AD3_D2D3N, AD3_D0D1N	7	I	Шина данных от АЦП3 (-)	K26, G26, H24, E26, H23, D25, C26
AD3_D12D13P, AD3_D10D11P, AD3_D8D9P, AD3_D6D7P, AD3_D4D5P, AD3_D2D3P, AD3_D0D1P	7	I	Шина данных от АЦП3 (+)	J26, F26, G24, D26, G23, C25, B26
<b>интерфейс с ЦАП</b>				
DA_CLKIN, DA_CLKIP	2	I	Входной опорный тактовый сигнал для ЦАП	G2, H2
DACA_SYNCN, DACA_SYNCN	2	O	Сигнал синхронизации интерфейсов ЦАП (+)	C7, C8
DACA_CLKOP, DACA_CLKON	2	O	Выходной тактовый для интерфейсов ЦАП канал А	D5,D6
DACA_D9N - DACA_D0N	10	O	Шина данных интерфейса 0 ЦАП (-)	A3, A5 B3, D8, A7, B5, B7, B9, A10, D10
DACA_D9P - DACA_D0P	10	O	Шина данных интерфейса 0 ЦАП (+)	A2, A4, B2, D7, A6, B4, B6, B8, A9, D9
DACB_CLKOP, DACB_CLKON	2	O	Выходной тактовый для интерфейсов ЦАП канал В	C5,C6
DACB_SYNCN, DACB_SYNCN	2	O	Сигнал синхронизации интерфейсов ЦАП (+)	D3, C3
DACB_D9N - DACB_D0N	10	O	Шина данных интерфейса 1 ЦАП (-)	E4, G3 B1, C4, E3, C2, D1, G4, E2, F1
DACB_D9P - DACB_D0P	10	O	Шина данных интерфейса 1 ЦАП (+)	F4, H3, C1, D4, F3, D2, E1, H4, F2, G1

										Лист
										346
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		 16.10.2020			38075-2					

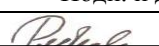
**Продолжение таблицы 2.1**

Обозначение	Кол-во	Тип	Функциональное назначение	Выводы корпуса
<b>Интерфейс с внешней памятью</b>				
EMI_A23 ... EMI_A0	24	I/O	Шина адреса интерфейса с внешней памятью	AD6, AE10, AF10, AF9, AC11, AD9, AE11, AF11, AC12, AD10, AE12, AF12, AD18, AC18, AF20, AE19, AD19, AF21, AD20, AC19, AF22, AE20, AF23, AC20
EMI_D31 ... EMI_D0	32	I/O	Шина данных интерфейса с внешней памятью	AE6, AC6, AD5, AF4, AE7, AF5, AF7, AC7, AC8, AF6, AD8, AE8, AC9, AD7, AE9, AC10, AD21, AF24, AE21, AD23, AD22, AE22, AC21, AD24, AE23, AE24, AC23, AC25, AF25, AC22, AC24, AE25
EMI_BIS	1	I	Режим управления шиной после сброса	AE15
EMI_SCLK	1	I	входной тактовый сигнал интерфейса с внешней памятью	AD14
EMI_XCAS	1	O	Строб адреса столбца	AF18
EMI_XCSI	1	I	Выборка внутренней памяти процессора	AF15
EMI_XCSO3 ... EMI_XCSO0	4	O	Выборка банка внешней памяти	AC13, AD12, AE13, AF13
EMI_XDQM3 ... EMI_XDQM0	4	O	Разрешение записи в отдельные байты 32- разрядного слова данных	AC14, AD13, AE14, AF14
EMI_XHOLDA	1	I/O	Разрешение захвата шины	AC16
EMI_XHOLDI	1	I	Запрос внешнего устройства на захват шины	AF16
EMI_XHOLDO	1	O	Запрос микросхемы на захват шины	AF17
EMI_XOE	1	O	Разрешение выдачи из внешней памяти	AD17
EMI_XRAS	1	O	Строб адреса строки	AE17
EMI_XRDY	1	I/O	готовность устройства для приема данных	AD15
EMI_XRDY_A	1	I	Вход готовности внешнего устройства	AC15
EMI_XSTRB	1	I/O	строб данных	AE16
EMI_XWE	1	I/O	Разрешение записи данных во внешнюю/внутреннюю память	AE18
EMI_XWEA	1	O	Разрешение записи в отдельные байты 32- разрядного слова данных	AC17
<b>UART0</b>				
UART0_CTS	I	I	Разрешение передачи данных	T23
UART0_RTS	O	O	Запрос на передачу данных	R23
UART0_RXD	I	I	Вход принимаемых данных	U24
UART0_TXD	O	O	Выход передаваемых данных	R24
<b>UART1</b>				
UART1_CTS	1	I	Разрешение передачи данных	U23
UART1_RTS	1	O	Запрос на передачу данных	U25
UART1_RXD	1	I	Вход принимаемых данных	V24
UART1_TXD	1	O	Выход передаваемых данных	T25
<b>SPI</b>				
SPI0_CLK	1	O	Выходной тактовый сигнал	AC1
SPI0_RXD	1	I	Входные данные	AA1
SPI0_TXD	1	O	Выходные данные	Y3

					Лист
					347
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		 16.10.2020		38075-2	
			Подп. и дата		

**Продолжение таблицы 2.1**

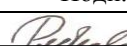
Обозначение	Кол-во	Тип	Функциональное назначение	Выводы корпуса
<b>GPIO/SPI</b>				
GPA7 - GPA0	8	I/O	Порты общего назначения	AB25, Y23, Y24, AA25, W23, W24, AB26, Y25
GPB7 - GPB0	8	I/O	Порты общего назначения	AD26, AB23, AB24, AD25, AC26, AE26, AA23, AA24
GPC7/SPI1_CLK, GPC6/SPI1_RXD, GPC5/SPI3_CLK, GPC4/SPI3_RXD, GPC3/SPI3_CS, GPC2/SPI3_TXD, GPC1/SPI1_CS, GPC0/SPI1_TXD	8	I/O	Порты общего назначения/интерфейс SPI1 и SPI3 SPIx_CLK - тактовый сигнал SPIx_TXD - Данные выдаваемые СБИС 1888BC058 SPIx_RXD - Данные принимаемые СБИС 1888BC058 SPIx_CS - выбор микросхемы	P3, P2, P1, R1, R2, R3, N4, P4
GPD7/SPI2_CLK, GPD6/SPI2_RXD, GPD5/SPI4_CLK, GPD4/SPI4_RXD, GPD3/SPI4_CS, GPD2/SPI4_TXD, GPD1/SPI2_CS, GPD0/SPI2_TXD	8	I/O	Порты общего назначения/интерфейс SPI2 и SPI4 SPIx_CLK - тактовый сигнал SPIx_TXD - Данные выдаваемые СБИС 1888BC058 SPIx_RXD - Данные, принимаемые СБИС 1888BC058 SPIx_CS - выбор микросхемы	U3, T2, T1, R4, V3, U2, U1, T4
GPE7 - GPE0/SPI0_CS7 - SPI0_CS0	8	I/O	Порты общего назначения/выбор микросхемы для интерфейса SPI0	W2, V1, U4, W3, Y2, Y1, AB1, V4
<b>JTAG-интерфейс</b>				
JTCK	1	I	Тактовый сигнал тестового порта	AE1
JTDI	1	I	Вход данных тестового порта	W4
JTDO	1	O	Выход данных тестового порта	AA2
JTMS	1	I	Сигнал выбора режима тестового порта	AD1
JTRSTN	1	I	Сброс тестового порта	AA3
NRST_SYS	1	I/O	Сброс отладчика	AB2
<b>Ethernet</b>				
MDC	1	O	Выходной тактовый сигнал для микросхемы физического интерфейса	AC5
MDIO	1	I/O	Шина управления физическим интерфейсом	AE5
MII_RXCLK	1	I	Тактовый сигнал для приема	AF2
MII_RXDV	1	I	Строб данных	AE2
MII_RXCOL	1	I	Признак коллизии	AC2
MII_RXCRS	1	I	Определение несущей	Y4
MII_RXD3...RXD0	4	I	Шина данных	AD3, AE3, AF3, AC3
MII_RXER	1	O	Признак верных данных	AD2
MII_TXCLK	1	I	Тактовый сигнал для передачи	AB3
MII_TXD3...MII_TXD0	4	O	Шина данных	AB4, AE4, AD4, AA4
MII_TXEN	1	O	Разрешение передачи	AC4
<b>CP0</b>				
C0D7 - C0D0	8	I/O	Шина данных	N24, P24, M24, N25, P23, M25, M26, L23
C0IS	1	I	Инициализация после сброса	L26
C0XHOLDI	1	I	Запрос на захват шины	L25
C0XHOLD0	1	O	Разрешение на передачу шины	M23
C0XRDY	1	I/O	Сигнал готовности	N23
C0XSTRB	1	I/O	Строб данных	N26

					Лист
					348
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		 16.10.2020		38075-2	
			Подп. и дата		



Продолжение таблицы 2.1

Обозначение	Кол-во	Тип	Функциональное назначение	Выводы корпуса
<b>CPI</b>				
C1D7 - C1D0	8	I/O	Шина данных	M4, K3, L2, L1, K1, K2, J3, L4
C1IS	1	I	Инициализация после сброса	K4
C1XHOLDI	1	I	Запрос на захват шины	J4
C1XHOLDO	1	O	Разрешение на передачу шины	J2
C1XRDY	1	I/O	Сигнал готовности	J1
C1XSTRB	1	I/O	Строб данных	M3
<b>Прочие выводы</b>				
WDT	1	O	Выход сторожевого таймера	V2
TD7 - TD0	8	O	Выход тестового порта ядер NMC3	N1, N2, M1, M2, P25, P26, R26, R25
BOOTM2 - BOOTM0	3	I	Сигналы управления выбора устройства начальной загрузкой	U26, V26, W25
BOOTM_NM	1		выбор типа загрузки ядер NM	V25
TMODE	1	I	Тестовый вход для тестирования СБИС на фабрике. Должен быть подключен к логическому нулю.	Y26
ITSTRB	1	I	Вход строба синхронизации ITU	K23
NRST_PON	1	I	Системный сброс	AA26
REFCLK	1	I	Опорный тактовый сигнал	T26
<b>Цепи питания</b>				
UCC1	18		Питание КМОП буферов +3,3 В	AB7, AB8, AB10, AB11, AB13, AB14, AB16, AB17, AB19, AB20, N5, N22, P5, P22, V5, V22, W5, W22
UCC2	10		Питание LVDS буферов +1,8 В	E7, E8, E13, E14, E19, E20, H5, H22, J5, J22
UCC3	56		Питание ядра 0,9В	H11, H12, H15, H16, J13, J14, K13, K14, L8, L11, L12, L15, L16, L19, M8, M11, M12, M15, M16, M19, N9, N10, N13, N14, N17, N18, P9, P10, P13, P14, P17, P18, R8, R11, R12, R15, R16, R19, T8, T11, T12, T15, T16, T19, U9, U10, U13, U14, V9, V10, V13, V14, W11, W12, W15, W16
UCC4	ADC_VDDPLL	1	Аналоговое питание PLL 0,9 В	J17
	SYS_VDDPLL	1	Аналоговое питание PLL 0,9 В	U17
	DAC_VDDPLL	1	Аналоговое питание PLL 0,9 В	J10
UCC5	ADC_VDD_TDC	1	Цифровое питание PLL 0,9 В	J18
	SYS_VDD_TDC	1	цифровое питание PLL 0,9 В	U18
	DAC_VDD_TDC	1	цифровое питание PLL 0,9 В	J9
ADC_VSS_TDC	1		цифровая земля PLL	K18
ADC_VSSPLL	1		Аналоговая земля PLL	K17
SYS_VSS_TDC	1		цифровая земля PLL	V18
SYS_VSSPLL	1		Аналоговая земля PLL	V17
DAC_VSS_TDC	1		цифровая земля PLL	K9
DAC_VSSPLL	1		Аналоговая земля PLL	K10

					ЮФКВ.431268.022РЭ		Лист
							349
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		 16.10.2020		38075-2			

Продолжение таблицы 2.1

Обозначение	Кол-во	Тип	Функциональное назначение	Выводы корпуса
GND	253		Цифровая земля	A1, A8, A19, A26, AA5, AA6, AA7, AA8, AA9, AA10, AA11, AA12, AA13, AA14, AA15, AA16, AA17, AA18, AA19, AA20, AA21, AA22, AB5, AB6, AB9, AB12, AB15, AB18, AB21, AB22, AD11, AD16, AF1, AF8, AF19, AF26, C11, C16, E5, E6, E9, E10, E11, E12, E15, E16, E17, E18, E21, E22, F5, F6, F7, F8, F9, F10, F11, F12, F13, F14, F15, F16, F17, F18, F19, F20, F21, F22, G5, G6, G7, G8, G9, G10, G11, G12, G13, G14, G15, G16, G17, G18, G19, G20, G21, G22, H1, H6, H7, H8, H9, H10, H13, H14, H17, H18, H19, H20, H21, H26, J6, J7, J8, J11, J12, J15, J16, J19, J20, J21, J23, J24, K5, K6, K7, K8, K11, K12, K15, K16, K19, K20, K21, K22, K24, L3, L5, L6, L7, L9, L10, L13, L14, L17, L18, L20, L21, L22, L24, M5, M6, M7, M9, M10, M13, M14, M17, M18, M20, M21, M22, N3, N6, N7, N8, N11, N12, N15, N16, N19, N20, N21, P6, P7, P8, P11, P12, P15, P16, P19, P20, P21, R5, R6, R7, R9, R10, R13, R14, R17, R18, R20, R21, R22, T3, T5, T6, T7, T9, T10, T13, T14, T17, T18, T20, T21, T22, T24, U5, U6, U7, U8, U11, U12, U15, U16, U19, U20, U21, U22, V6, V7, V8, V11, V12, V15, V16, V19, V20, V21, V23, W1, W6, W7, W8, W9, W10, W13, W14, W17, W18, W19, W20, W21, W26, Y5, Y6, Y7, Y8, Y9, Y10, Y11, Y12, Y13, Y14, Y15, Y16, Y17, Y18, Y19, Y20, Y21, Y22

										Лист
										350
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата			
38075-3	<i>Редук</i> 16.10.2020		38075-2							

## 2.2 Конструктивные характеристики СБИС 1888BC058

СБИС 1888BC058 изготавливается в 676-выводном металлопластиковом корпусе BGA (Ball Grid Array). Внешний вид корпуса микросхемы представлен на рисунке 2.2 с указанием сведений о габаритных и установочных размерах.

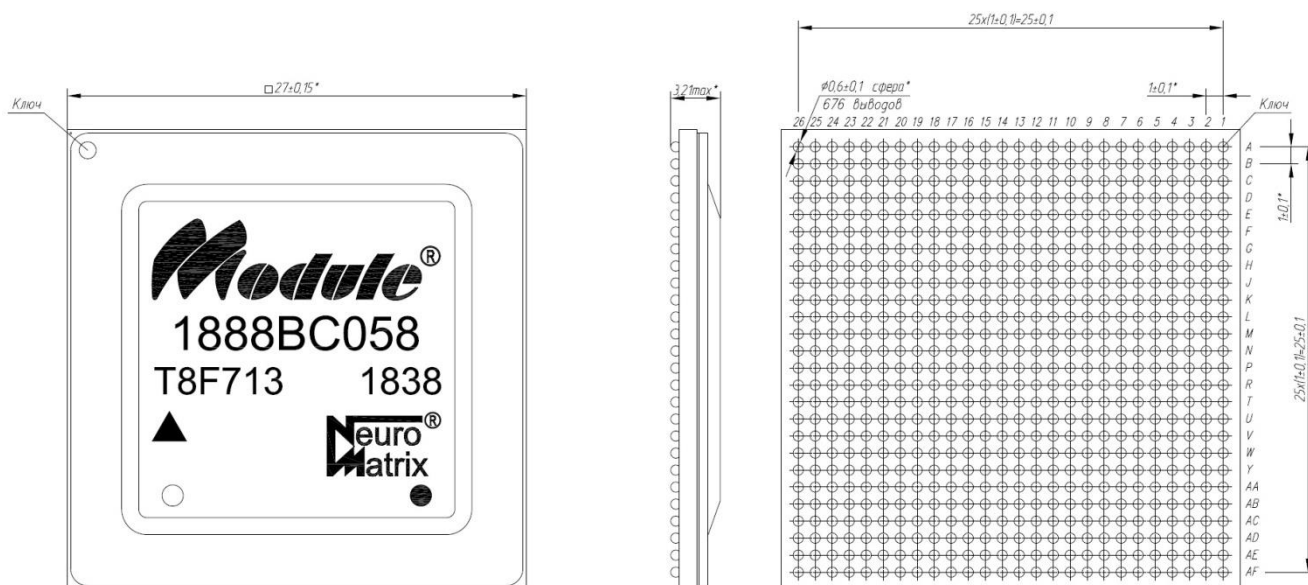


Рисунок 2.2 – Корпус СБИС 1888BC058

Основные характеристики корпуса:

Механические характеристики:

- габаритные размеры корпуса 27x27x 3,21 мм;
- шаг выводов 1,0 мм;
- размер вывода 0,60 мм;
- масса корпуса не более 8 г.

Электрические характеристики:

- индуктивность вывода – не более 50 нГн;
- сопротивление вывода – не более 2,0 Ом;
- ёмкость вывода – не более 2,5 пФ.

Тепловые характеристики:

- тепловое сопротивление при скорости обдува 0 м/с – 12,4 °С/Вт.

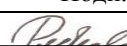
									Лист
									351
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2						

## 2.3 Электрические характеристики СБИС 1888BC058

В таблице 2.2 содержатся сведения о предельных электрических режимах и предельно допустимых электрических режимах эксплуатации микросхемы.

**Таблица 2.2 - Предельные и предельно допустимые режимы работы СБИС 1888BC058**

Наименование параметра режима, единица измерения	Обозначение	Норма параметра			
		предельно-допустимого режима		предельного режима	
		не менее	не более	не менее	не более
Напряжение питания номинала буферов ввода/вывода КМОП, В	U <sub>CC1</sub>	3,0	3,6	минус 0,4	3,63
Напряжение питания номинала буферов ввода/вывода LVDS, В	U <sub>CC2</sub>	1,62	1,98	минус 0,4	1,98
Напряжение питания номинала ядра, В	U <sub>CC3</sub>	0,85	0,95	минус 0,2	1,05
Напряжение питания PLL аналоговое, В	U <sub>CC4</sub>	0,85	0,95	минус 0,2	1,05
Напряжение питания PLL цифровое, В	U <sub>CC5</sub>	0,85	0,95	минус 0,2	1,05
Напряжение на выводах «вход-выход» в состоянии «выключено» КМОП, В	U <sub>IOZ1</sub>	0	3,6	минус 0,4	U <sub>CC1</sub> +0,5
Входное напряжение высокого уровня КМОП, В	U <sub>IH1</sub>	2,0	U <sub>CC1</sub> +0,3	-	U <sub>CC1</sub> +0,5
Входное напряжение низкого уровня КМОП, В	U <sub>IL1</sub>	0	0,8	минус 0,4	-
Входное напряжение высокого уровня LVDS, В	U <sub>IH2</sub>	0.7*U <sub>CC2</sub>	U <sub>CC2</sub> +0,3	-	U <sub>CC2</sub> +0,3
Входное напряжение низкого уровня LVDS, В	U <sub>IL2</sub>	0	0.3*U <sub>CC2</sub>	минус 0,3	-
Выходной ток буферов, мА	I <sub>o</sub>	минус 4	4	минус 6	6

										Лист
										352
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		 16.10.2020			38075-2					

## 2.4 Временные характеристики СБИС 1888BC058

На рисунках **Ошибка! Источник ссылки не найден.**– 2.24 показаны временные диаграммы работы, а в таблицах 2.3 - 2.14 приведены временные параметры сигналов микросхемы.

### 2.4.1 Временные диаграммы и временные параметры тактовых сигналов и сигналов общего назначения

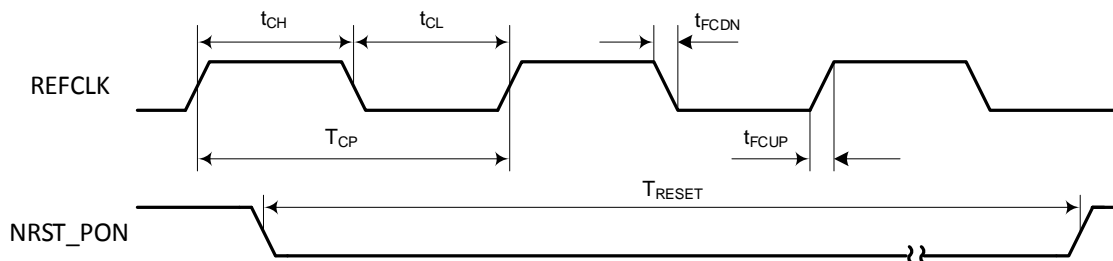


Рисунок 2.3 – Временная диаграмма тактового сигнала и сигнала сброса процессора

Таблица 2.3 - Временные параметры тактовых сигналов и входных сигналов общего назначения

Обозначение	Функциональное описание	Временной параметр, нс	
		Не менее	Не более
T <sub>CP</sub>	Период тактового сигнала REFCLK		62,50
t <sub>CH</sub>	Длительность сигнала высокого уровня на входе CLK_REFI	40% периода тактового сигнала	60% периода тактового сигнала REFCLK
t <sub>CL</sub>	Длительность сигнала низкого уровня на входе CLK_REFI	40% периода тактового сигнала	60% периода тактового сигнала REFCLK
T <sub>RESET</sub>	Длительность сигнала системного сброса процессора	50*P	

Примечание - Параметр P равен периоду выбранного тактового сигнала REFCLK

### 2.4.2 Временные диаграммы и временные параметры сигналов интерфейса с внешней памятью (ЕМІ)

#### 2.4.2.1 Временные диаграммы и временные параметры тактового сигнала внешней шины

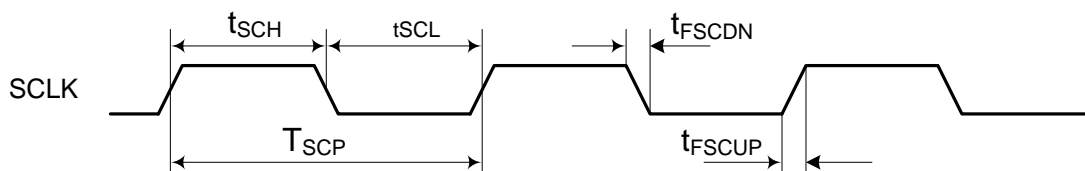


Рисунок 2.4 – Временная диаграмма тактового сигнала внешней шины

					ЮФКВ.431268.022РЭ		Лист
							353
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редюк</i> 16.10.2020		38075-2			

**Таблица 2.4 - Временные параметры тактовых сигналов и входных сигналов общего назначения**

Обозначение	Функциональное описание	Временной параметр, нс	
		Не менее	Не более
TSCP	Период тактового сигнала интерфейса с внешней шиной SCLK	11,2	-
tSCH	Длительность сигнала высокого уровня на входе SCLK	40% периода тактового сигнала	60% периода тактового сигнала
tSCL	Длительность сигнала низкого уровня на входе SCLK	40% периода тактового сигнала	60% периода тактового сигнала
tFSCUP	Длительность фронта сигнала на входе SCLK	-	1,5
tFSCDN	Длительность среза сигнала на входе SCLK	-	1,5

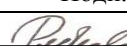
**2.4.2.2 Временные диаграммы и временные параметры циклов обмена с внешней памятью в режиме "Master"**

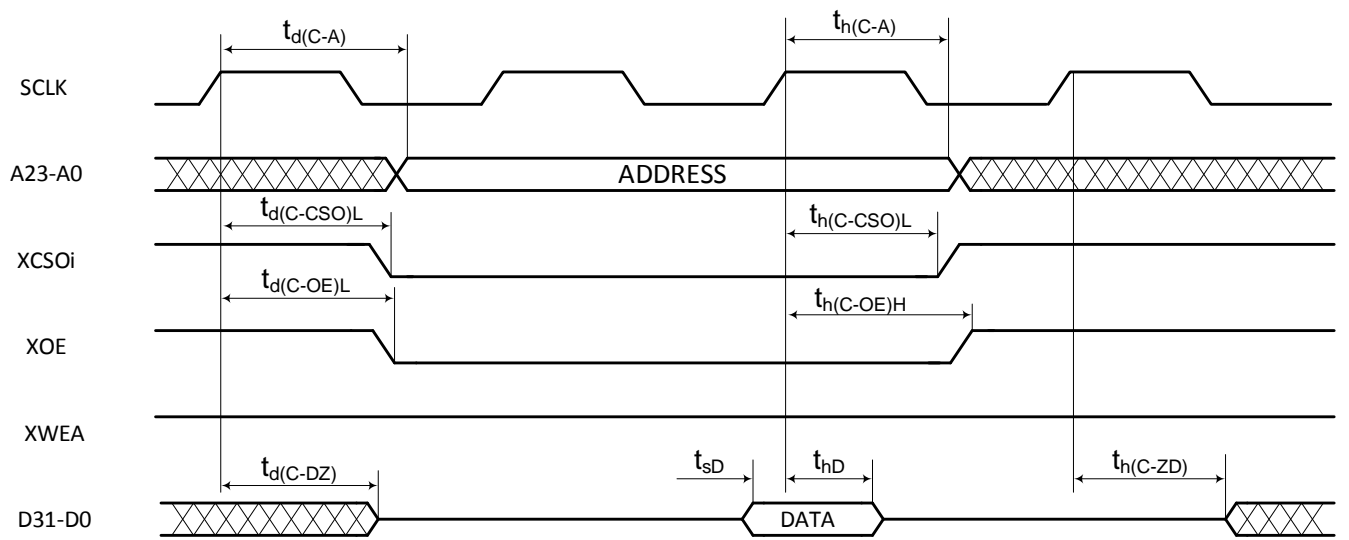
Временные параметры работы интерфейса процессора определялись при следующих внешних условиях:

- Фронты сигналов на входах микросхемы - 1,2 нс.
- Емкости нагрузки на выходах микросхемы приведены в таблице 2.5

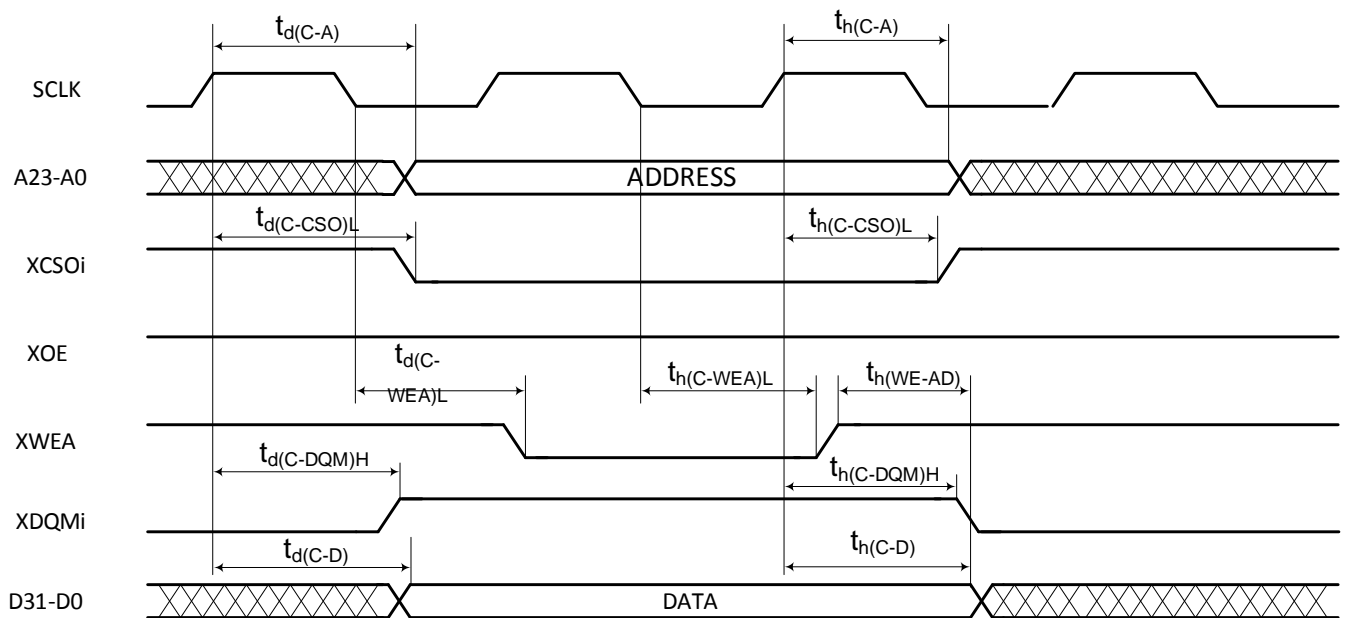
**Таблица 2.5 – Емкости нагрузки на выводах интерфейса с внешней памятью при определении временных параметров интерфейса**

Обозначение вывода	Емкость на выходе, пФ
D31 - D0	20
A23 - A0	30
XCSO3 - XCSO0	20
XWE	30
XWEA	20
XOE	25
XRAS, XCAS	25
XDQM3 - XDQM0	20
XRDY, XSTRB	15

										Лист
										354
Изм	Лист	№ докум.	Подп.	Дата						
Инва.№подл.	Подп. и дата			Взам.инв.№	Инва.№дубл.	Подп. и дата				
38075-3	 16.10.2020			38075-2						



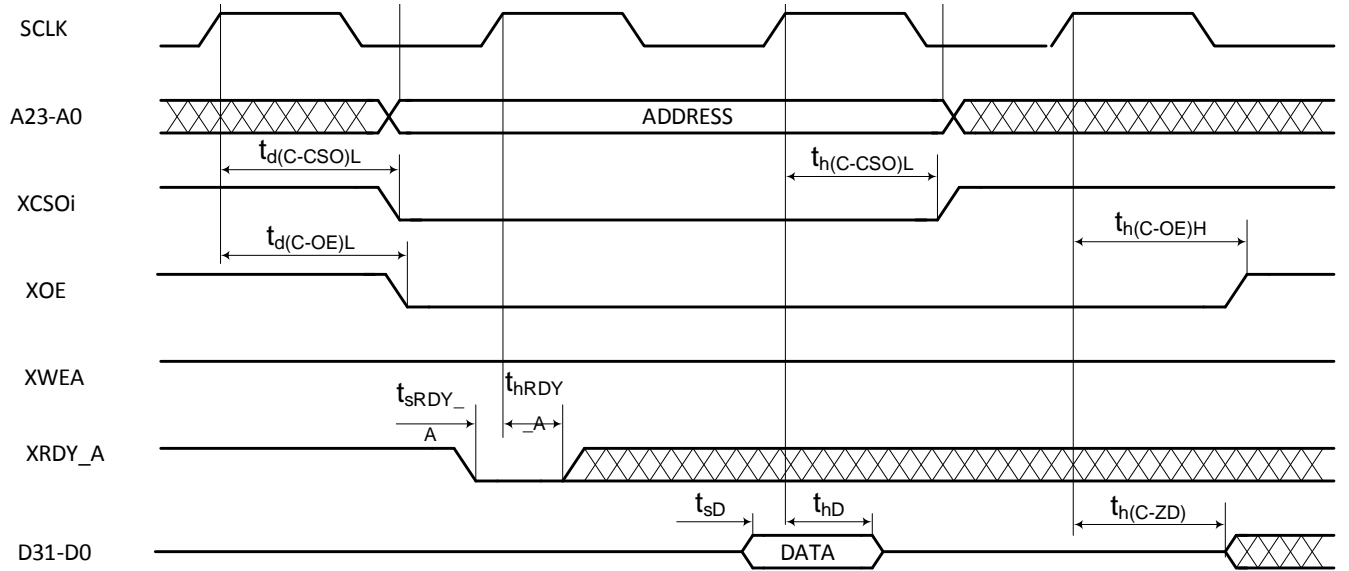
**Рисунок 2.5 – Временная диаграмма цикла чтения из внешней памяти типа SRAM**



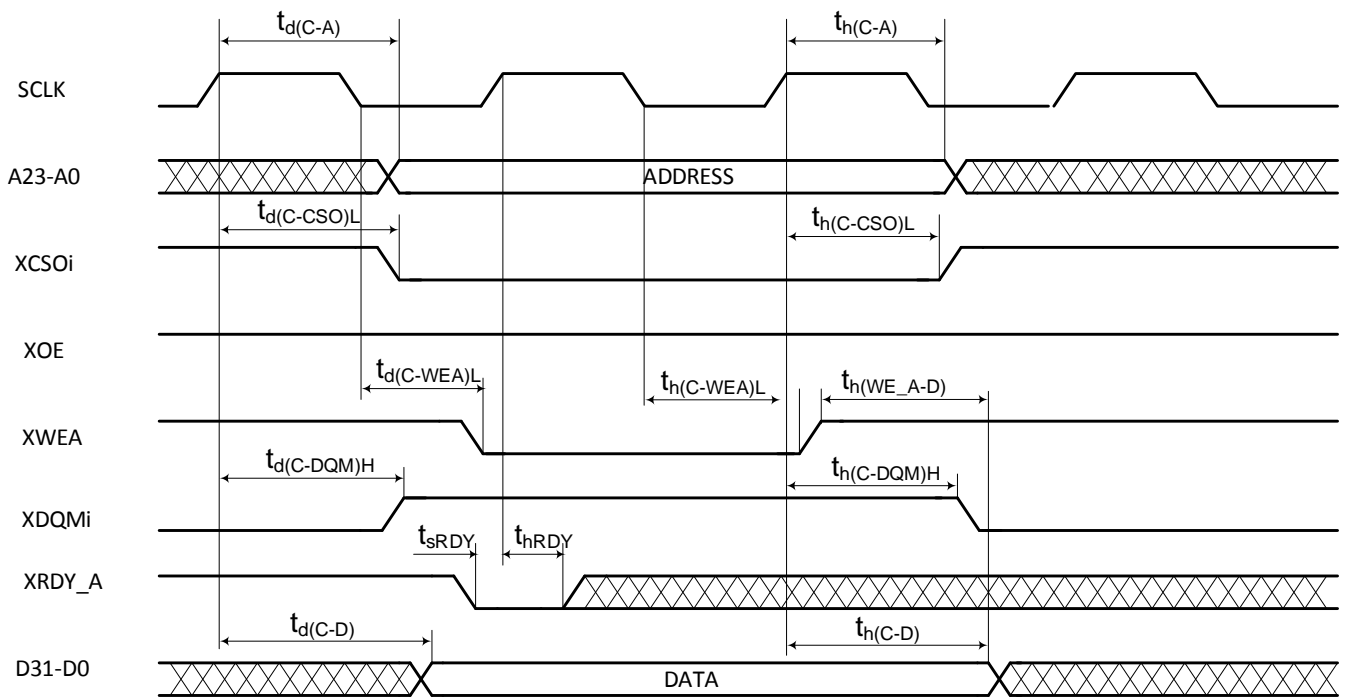
**Рисунок 2.6 – Временная диаграмма цикла записи во внешнюю память типа SRAM**

					ЮФКВ.431268.022РЭ			Лист
								355
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
38075-3		<i>Редук</i> 16.10.2020		38075-2				



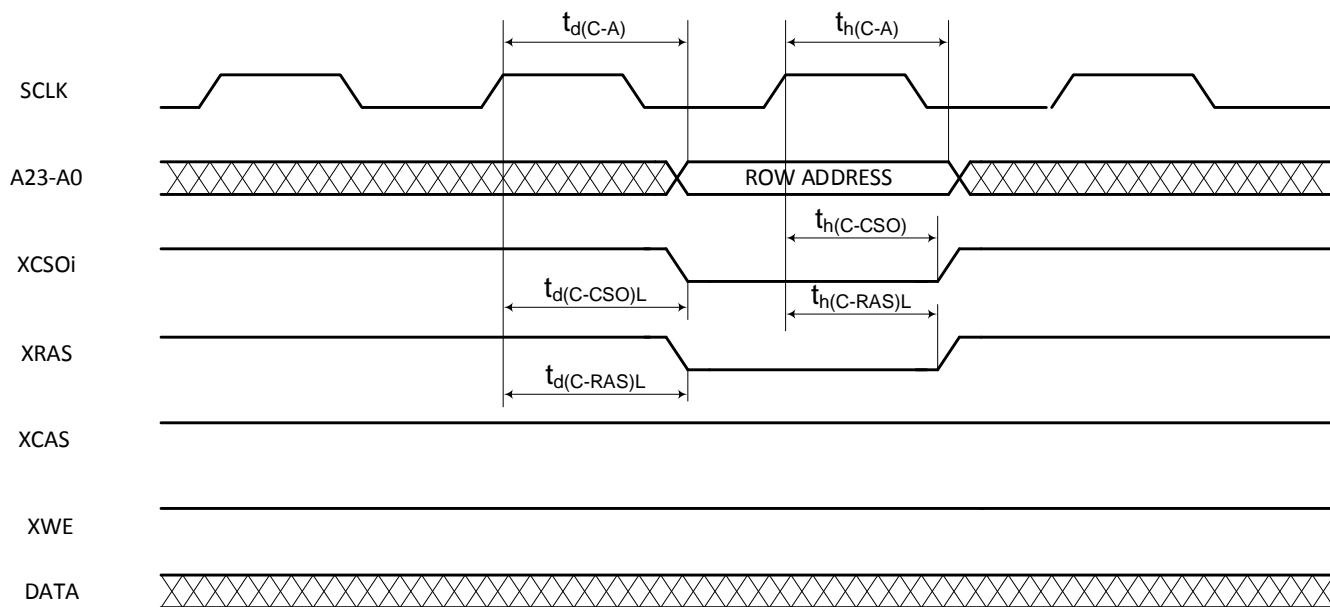


**Рисунок 2.7 – Временная диаграмма цикла чтения из внешней памяти типа SRAM с использованием сигнала готовности**

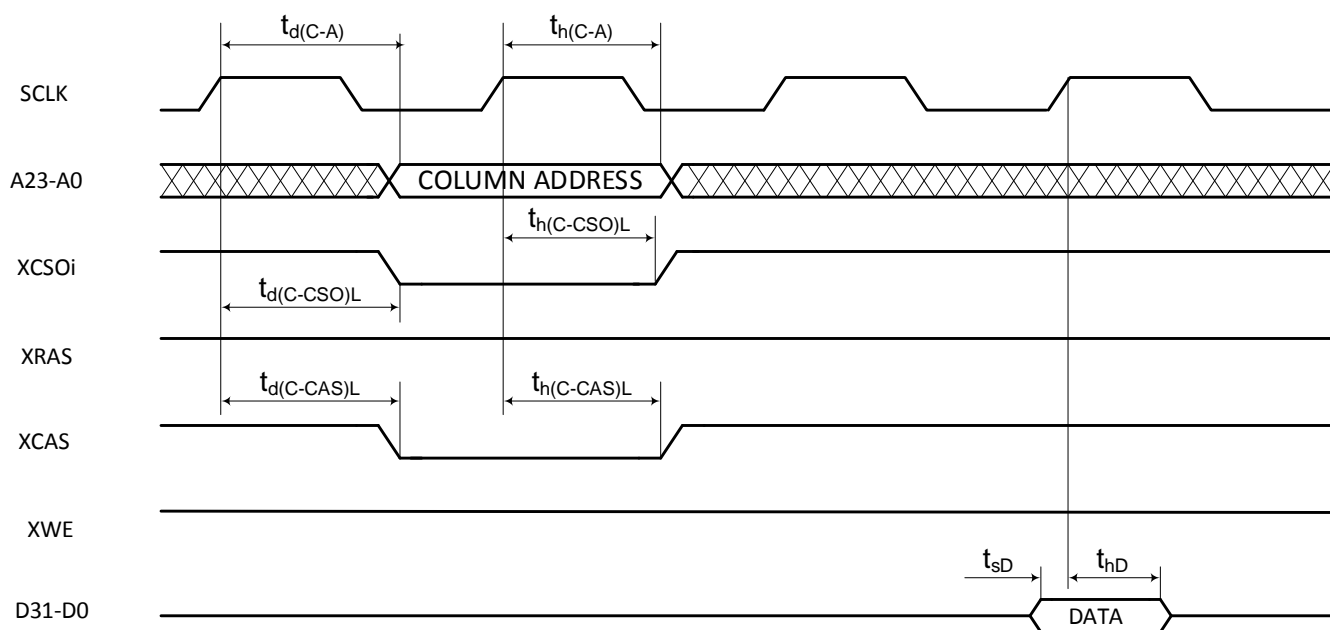


**Рисунок 2.8 – Временная диаграмма цикла записи во внешнюю память типа SRAM с использованием сигнала готовности**

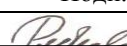
					ЮФКВ.431268.022РЭ			Лист
								356
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
38075-3		<i>Редук</i> 16.10.2020		38075-2				

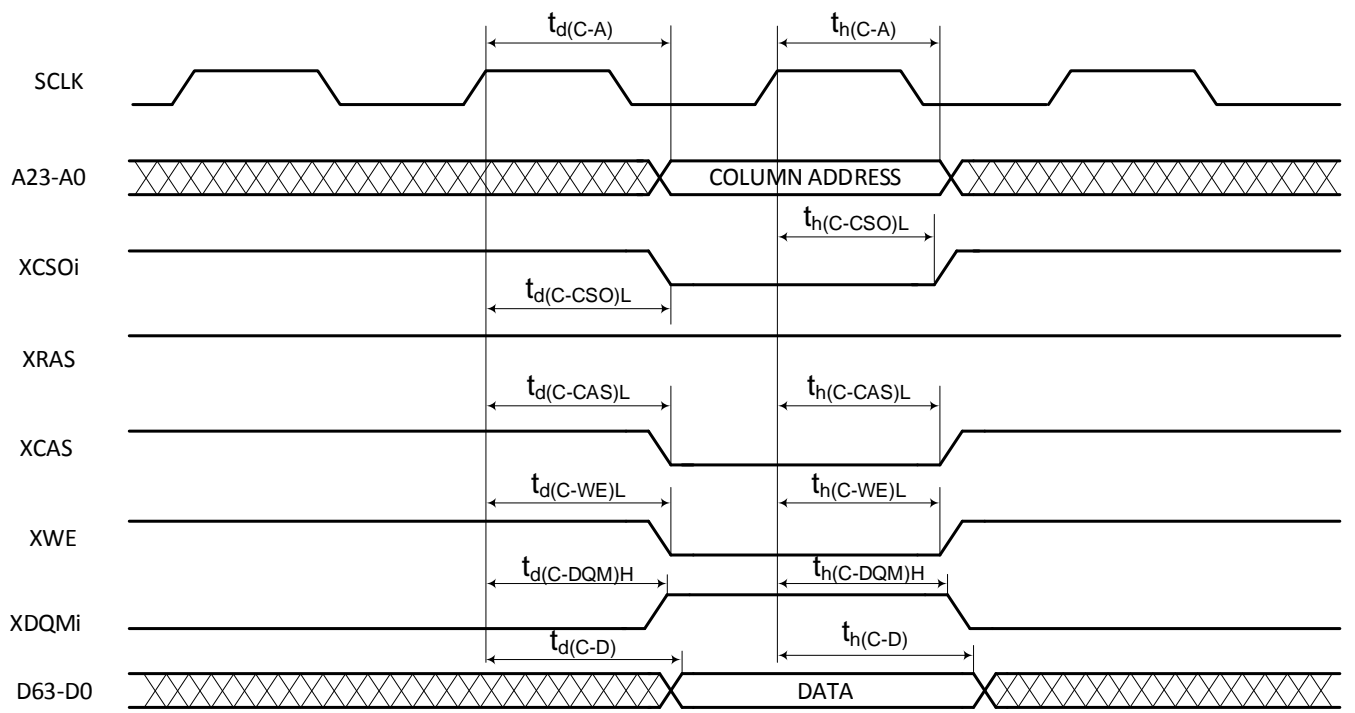


**Рисунок 2.9 – Временная диаграмма открытия новой строки памяти типа SDRAM**

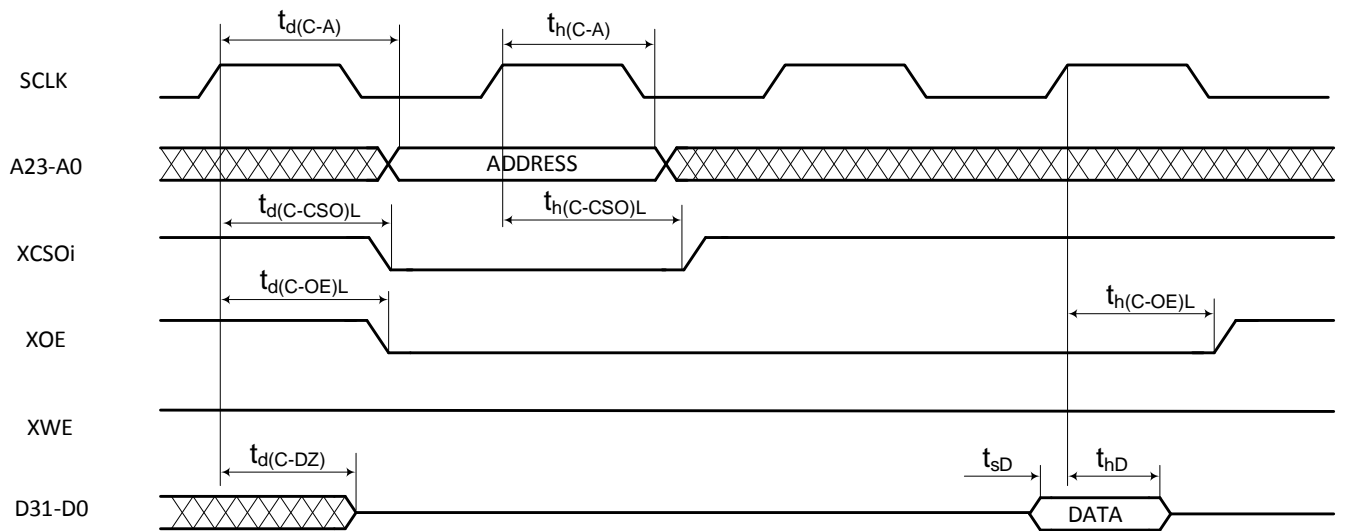


**Рисунок 2.10 – Временная диаграмма цикла чтения из внешней памяти типа SDRAM (параметр Cas Latency равен 2 тактам)**

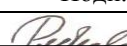
					ЮФКВ.431268.022РЭ			Лист
								357
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		 16.10.2020		38075-2				

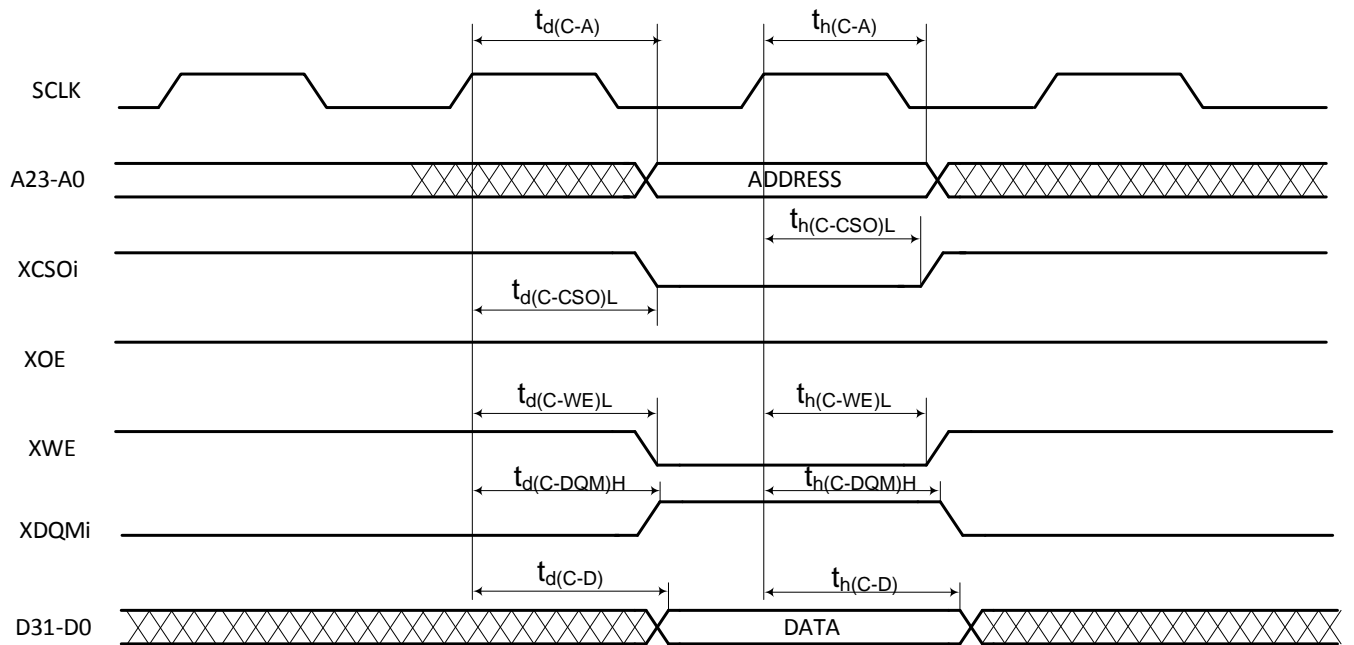


**Рисунок 2.11 – Временная диаграмма цикла записи во внешнюю память типа SDRAM (параметр Cas Latency равен 2 тактам)**

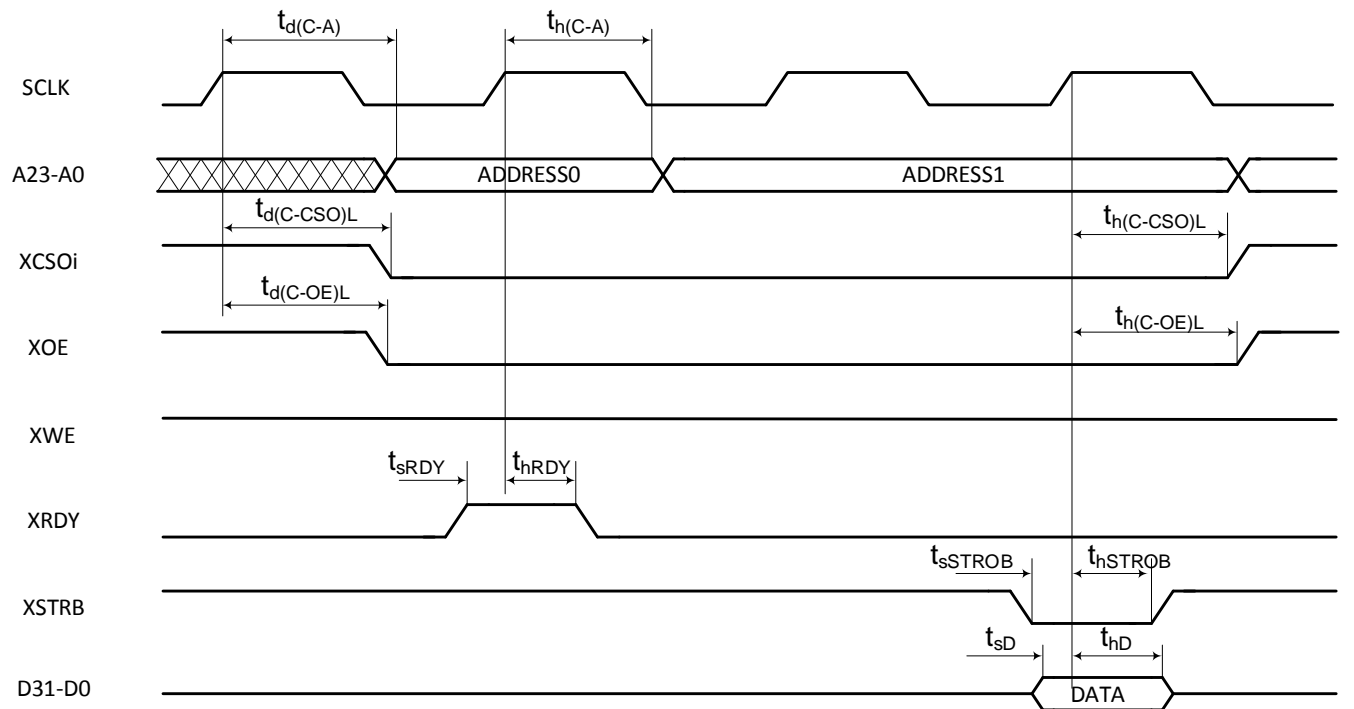


**Рисунок 2.12 – Временная диаграмма цикла чтения из внешней памяти типа SSRAM (тип SSRAM памяти – DCD Pipelined)**

					Лист	
					358	
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.022РЭ	
Инав.№подл.	Подп. и дата		Взам.инв.№	Инав.№дубл.	Подп. и дата	
38075-3	 16.10.2020		38075-2			

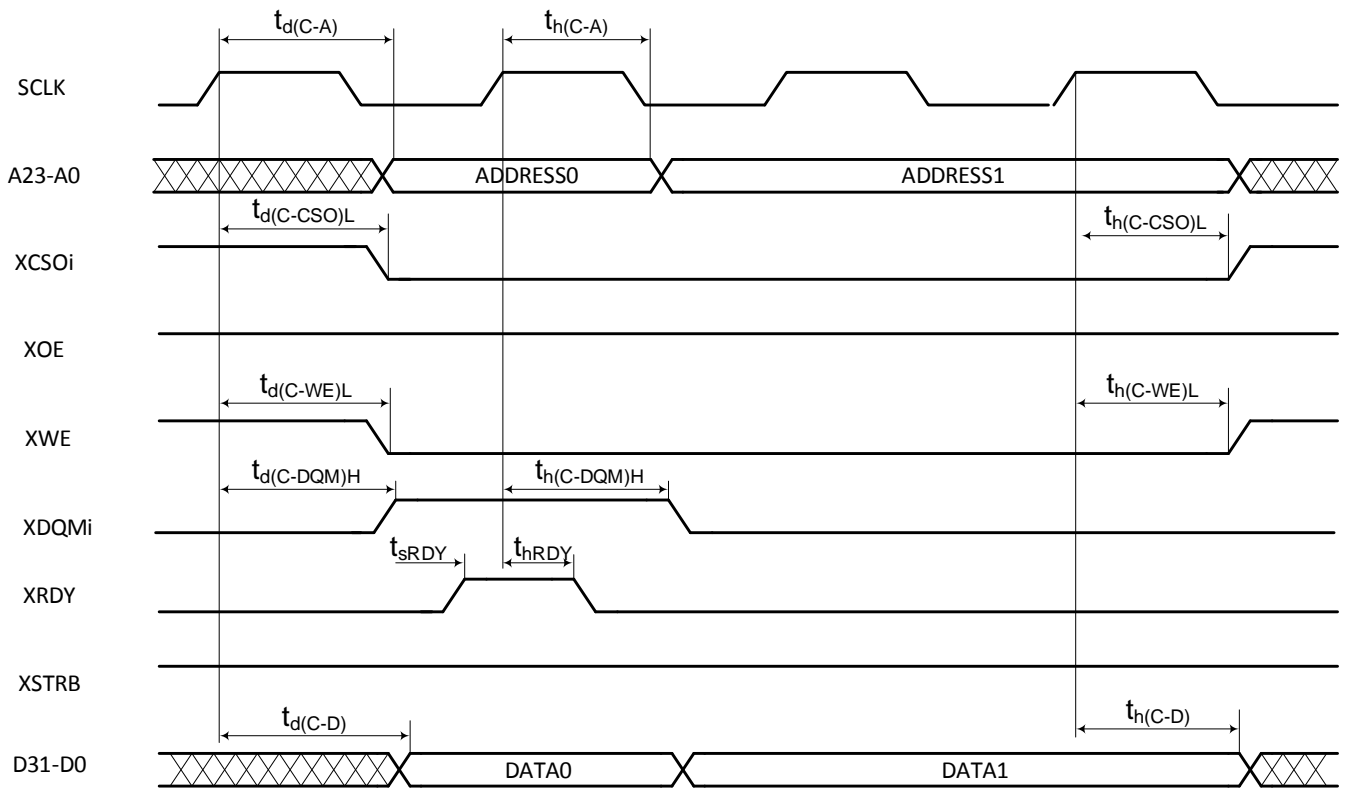


**Рисунок 2.13 – Временная диаграмма цикла записи во внешнюю память типа SSRAM (тип SSRAM памяти – DCD Pipelined)**



**Рисунок 2.14 – Временные диаграммы циклов чтения из внешней памяти конвейерного типа (с использованием сигналов RDYn и STRBn)**

					ЮФКВ.431268.022РЭ			Лист
								359
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
38075-3		<i>Редюк</i> 16.10.2020		38075-2				



**Рисунок 2.15 – Временные диаграммы циклов записи во внешнюю память конвейерного типа (с использованием сигналов XRDY и XSTRB)**

**Таблица 2.6 - Временные параметры сигналов при работе с внешней памятью в режиме "Master"**

Обозначение	Функциональное описание	Временной параметр, нс	
		Не менее	Не более
Выходные сигналы			
td(C-A)	Задержка переключения шины адреса относительно фронта сигнала SCLK	-	9,7
th(C-A)	Время удержания шины адреса относительно фронта сигнала SCLK	2,0	-
td(C-CS0)L	Задержка выдачи сигнала низкого уровня на выходах CS0in относительно фронта сигнала SCLK	-	8,7
th(C-CS0)L	Время удержания сигнала низкого уровня на выходах CS0in относительно фронта сигнала SCLK	1,8	-
td(C-OE)L	Задержка выдачи сигнала низкого уровня на выходе OEn относительно фронта сигнала SCLK	-	8,7
th(C-OE)L	Время удержания сигнала низкого уровня на выходе OEn относительно фронта сигнала SCLK	1,9	-
td(C-RAS)L	Задержка выдачи сигнала низкого уровня на выходе RASn относительно фронта сигнала SCLK	-	9,5

					ЮФКВ.431268.022РЭ	Лист 360
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		

Продолжение таблицы 2.6

Обозначение	Функциональное описание	Временной параметр, нс	
		Не менее	Не более
th(C-RAS)L	Время удержания сигнала низкого уровня на выходе RASn относительно фронта сигнала SCLK	2,1	-
td(C-CAS)L	Задержка выдачи сигнала низкого уровня на выходе CASn относительно фронта сигнала SCLK	-	9,5
th(C-CAS)L	Время удержания сигнала низкого уровня на выходе CASn относительно фронта сигнала SCLK	2,1	-
td(C-WEA)L	Задержка выдачи сигнала низкого уровня на выходе WE_An относительно среза сигнала SCLK	-	8,5
th(C-WEA)L	Время удержания сигнала низкого уровня на выходе WE_An относительно среза сигнала SCLK	2,2	-
th(WEA-D)	Время удержания шины адреса и данных относительно фронта сигнала WE_An	0,5*T <sub>SCLK</sub> -1	-
td(C-WE)L	Задержка выдачи сигнала низкого уровня на выходе WE <sub>n</sub> относительно фронта сигнала SCLK	-	9,5
th(C-WE)L	Время удержания сигнала низкого уровня на выходе WE <sub>n</sub> относительно фронта сигнала SCLK	2,1	-
td(C-DQM)H	Задержка выдачи сигнала высокого уровня на выходах DQMin относительно фронта сигнала SCLK	-	8,7
th(C-DQM)H	Время удержания сигнала высокого уровня на выходах DQMin относительно фронта сигнала SCLK	1,9	-
td(C-D)	Задержка выдачи данных относительно фронта сигнала SCLK	-	9,0
th(C-D)	Время удержания данных относительно фронта сигнала SCLK	1,9	-
td(C-DZ)	Задержка перехода шины данных в высокоимпедансное состояние относительно фронта сигнала SCLK	-	3,4
th(C-ZD)	Время удержания шины данных в высокоимпедансном состоянии относительно фронта сигнала SCLK	2,1	-
Входные сигналы			
tsD	Время предустановки данных относительно фронта сигнала SCLK	1,5	-
thD	Время удержания данных относительно фронта сигнала SCLK	1,5	-

					Лист
					361
Изм	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
38075-3		<i>Редук</i> 16.10.2020		38075-2	
			Подп. и дата		

**Продолжение таблицы 2.6**

Обозначение	Функциональное описание	Временной параметр, нс	
		Не менее	Не более
tsRDY_A	Время предустановки сигнала готовности асинхронного устройства относительно фронта сигнала SCLK	1,5	-
thRDY_A	Время удержания сигнала готовности асинхронного устройства относительно фронта сигнала SCLK	1,5	-
tsRDY	Время предустановки сигнала готовности синхронного устройства относительно фронта сигнала SCLK	1,5	-
thRDY	Время удержания сигнала готовности синхронного устройства относительно фронта сигнала SCLK	1,5	-
tsSTRB	Время предустановки сигнала готовности данных относительно фронта сигнала SCLK	1,5	-
thSTRB	Время удержания данных синхронного устройства относительно фронта сигнала SCLK	1,5	-

**2.4.2.3 Временные диаграммы и временные параметры циклов доступа к внутренней памяти микросхемы в режиме "Slave"**

										Лист
										362
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редкол</i> 16.10.2020			38075-2					



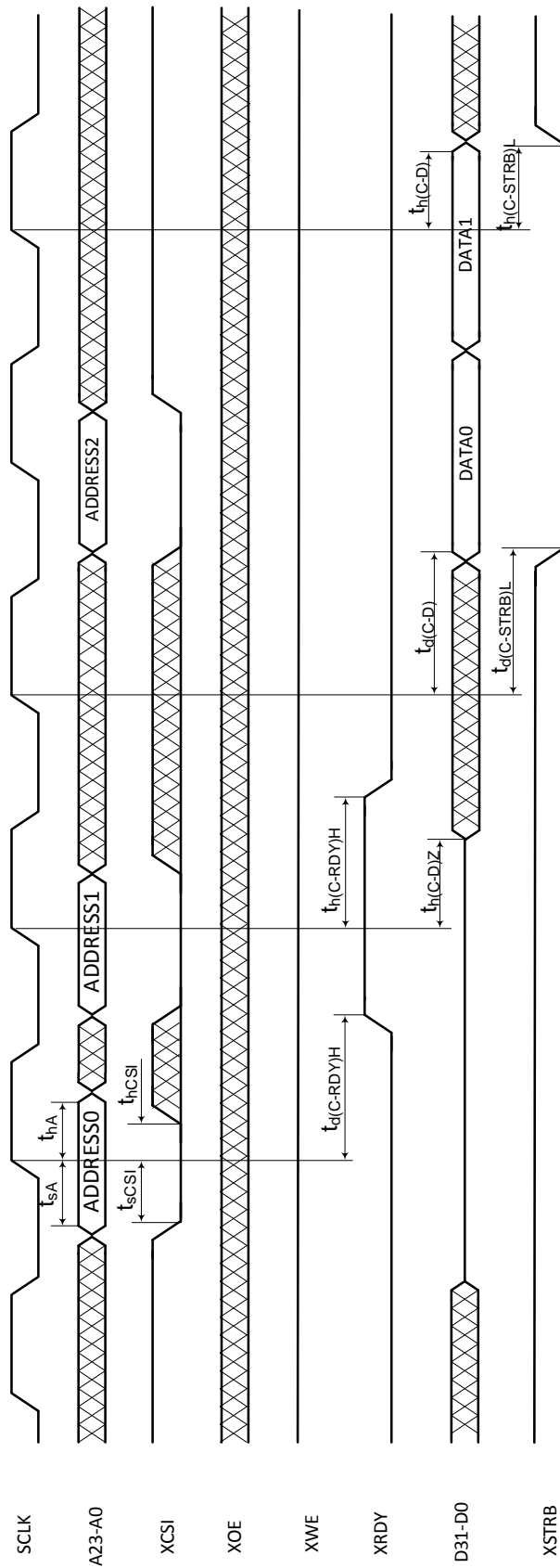


Рисунок 2.16 – Временные диаграммы циклов чтения из внутренней памяти микросхемы

					ЮФКВ.431268.022РЭ		Лист
							363
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2			

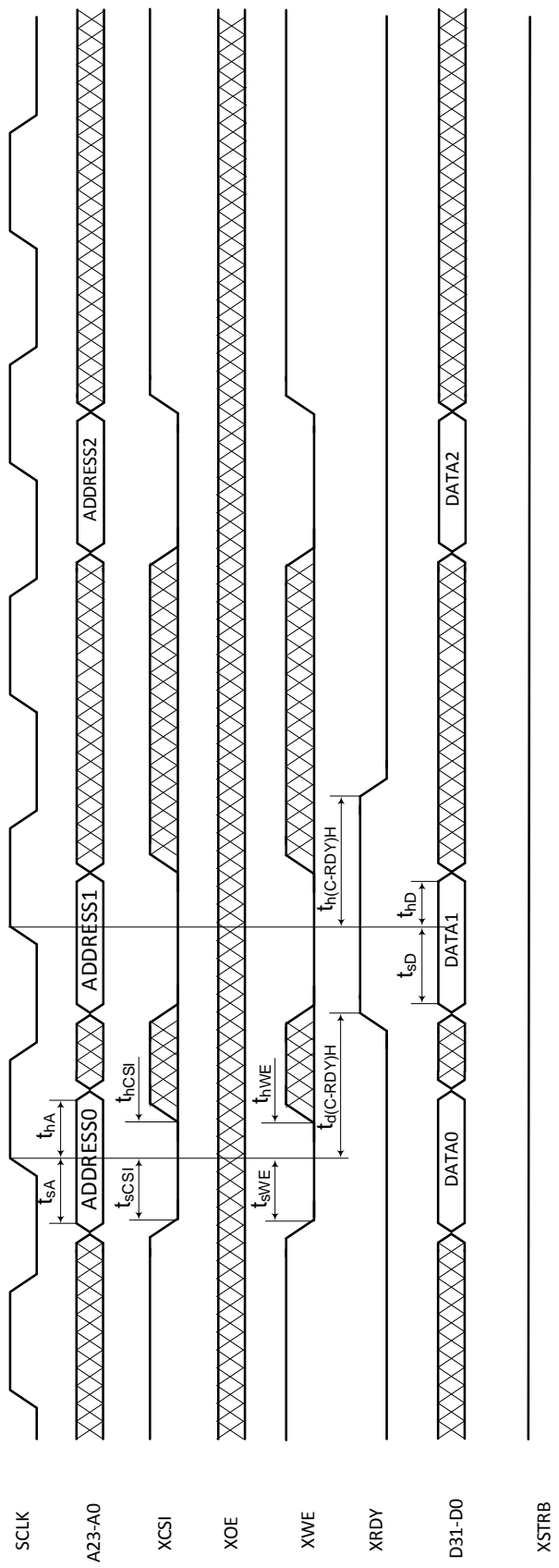


Рисунок 2.17 – Временные диаграммы циклов записи во внутреннюю память микросхемы

					ЮФКВ.431268.022РЭ		Лист
							364
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2			

**Таблица 2.7 - Временные параметры сигналов при работе с внутренней памятью в режиме "Slave"**

Обозначение	Функциональное описание	Временной параметр, нс	
		Не менее	Не более
<b>Выходные сигналы</b>			
td(C-RDY)H	Задержка выдачи высокого уровня на выход RDYn относительно фронта сигнала SCLK	-	7,7
th(C-RDY)H	Время удержания высокого уровня на выход RDYn относительно фронта сигнала SCLK	1,7	-
td(C-STRB)L	Задержка выдачи сигнала низкого уровня на выходе STRBn относительно фронта сигнала SCLK	-	7,6
th(C-STRB)L	Время удержания сигнала низкого уровня на выходе STRBn относительно фронта сигнала SCLK	1,7	-
td(C-D)	Задержка переключения шины данных относительно фронта сигнала SCLK	-	9,0
th(C-D)	Время удержания шины данных относительно фронта сигнала SCLK	1,9	-
th(C-D)Z	Время удержания шины данных в высокоимпедансном состоянии относительно фронта сигнала SCLK	2,1	-
<b>Входные сигналы</b>			
tsA	Время предустановки шины адреса относительно фронта сигнала SCLK	1,5	-
thA	Время удержания шины адреса относительно фронта сигнала SCLK	1,5	-
tsCSI	Время предустановки сигнала CSIn относительно фронта сигнала SCLK	1,5	-
thCSI	Время удержания сигнала WEn относительно фронта сигнала SCLK	1,5	-
tsWE	Время предустановки сигнала WEn относительно фронта сигнала SCLK	1,5	-
thWE	Время удержания сигнала CSIn относительно фронта сигнала SCLK	1,5	-
tsD	Время предустановки шины данных относительно фронта сигнала SCLK	1,5	-
thD	Время удержания шины данных относительно фронта сигнала SCLK	1,5	-

					ЮФКВ.431268.022РЭ	Лист 365
Изм	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2		

### 2.4.3 Временные диаграммы и временные параметры сигналов интерфейса SPI при работе контроллера SPI в режиме "Slave"

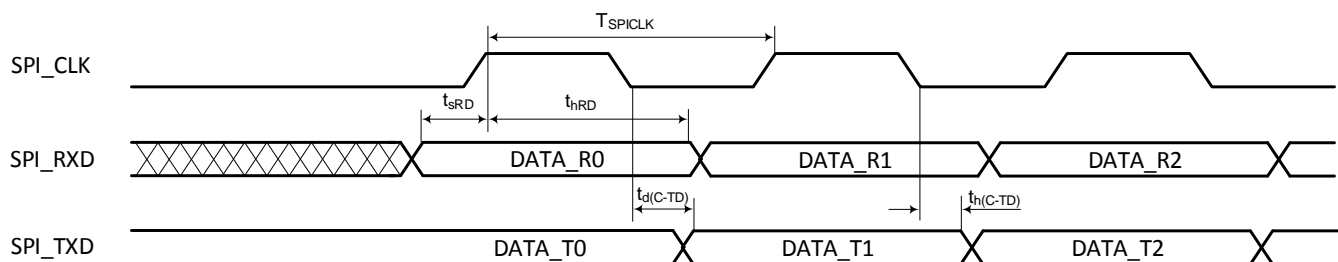


Рисунок 2.18 – Временные диаграммы работы SPI порта в режиме "Slave"

Таблица 2.8 - Временные параметры сигналов при работе SPI порта в режиме "Slave"

Обозначение	Функциональное описание <sup>1)</sup>	Временной параметр, нс	
		Не менее	Не более
TSPICLK	Период входного тактового сигнала SPI порта	12*T <sub>spi controller</sub> <sup>2) 3)</sup>	-
tsRD	Время предустановки данных на входе RxD относительно фронта сигнала SPI_CLK	1	-
thRD	Время удержания данных на входе RxD относительно фронта сигнала SPI_CLK	9	-
td(C-TD)	Задержка переключения данных на выходе TxD относительно среза сигнала SPI_CLK	-	4,5*T <sub>spi controller</sub>
th(C-TD)	Время удержания данных на выходе TxD относительно среза сигнала SPI_CLK	3*T <sub>spi controller</sub>	-

Примечания:  
 1) Временные диаграммы представлены в предположении, что SPI контроллер работает в режиме SPI Motorola SPI mode 0 (SPO=0, SPH=0);  
 2) T<sub>spi controller</sub> – период тактовой частоты работы SPI контроллера (не более 7,8125 нс);  
 3) При работе SPI контроллера в режиме "Slave" только на ввод данных, период тактового сигнала интерфейса не должен быть меньше двух периодов частоты работы контроллера.

### 2.4.4 Временные диаграммы и временные параметры сигналов интерфейса с ЦАП

#### 2.4.4.1 Временные диаграммы и временные параметры тактового сигнала интерфейса с ЦАП

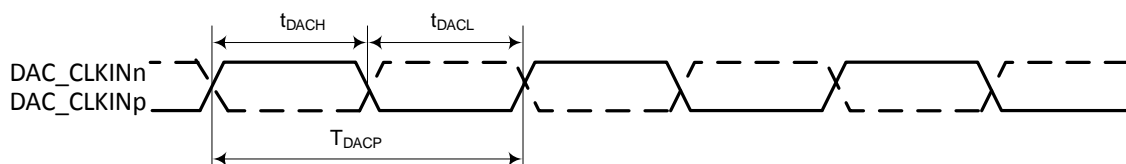


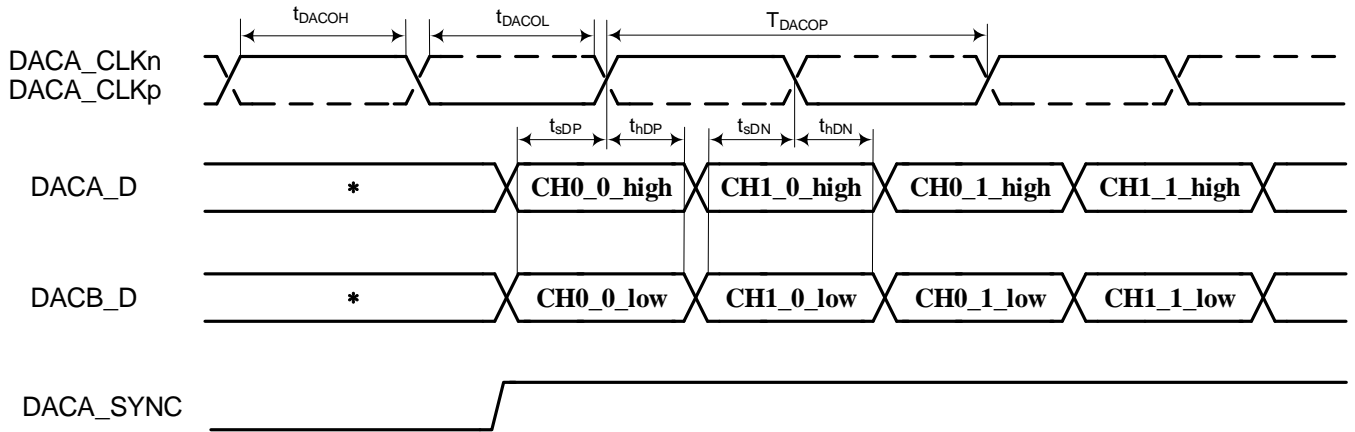
Рисунок 2.19 – Временные диаграммы входного тактового сигнала для интерфейса ЦАП

					Лист	
					366	
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.022РЭ	
Инва.№подл.	Подп. и дата		Взам.инв.№	Инва.№дубл.	Подп. и дата	
38075-3	<i>Редук</i> 16.10.2020		38075-2			

**Таблица 2.9 - Временные параметры входного тактового сигнала интерфейса ЦАП**

Обозначение	Функциональное описание <sup>1)</sup>	Временной параметр, нс	
		Не менее	Не более
TDACP	Период входного тактового сигнала DAC_CLK		1,95
tDACH	Длительность сигнала высокого уровня на входе DAC_CLK	40% периода	60% периода
tDACL	Длительность сигнала низкого уровня на входе DAC_CLK	40% периода	60% периода

**2.4.4.2 Временные диаграммы и временные параметры передачи данных по интерфейсу с ЦАП**



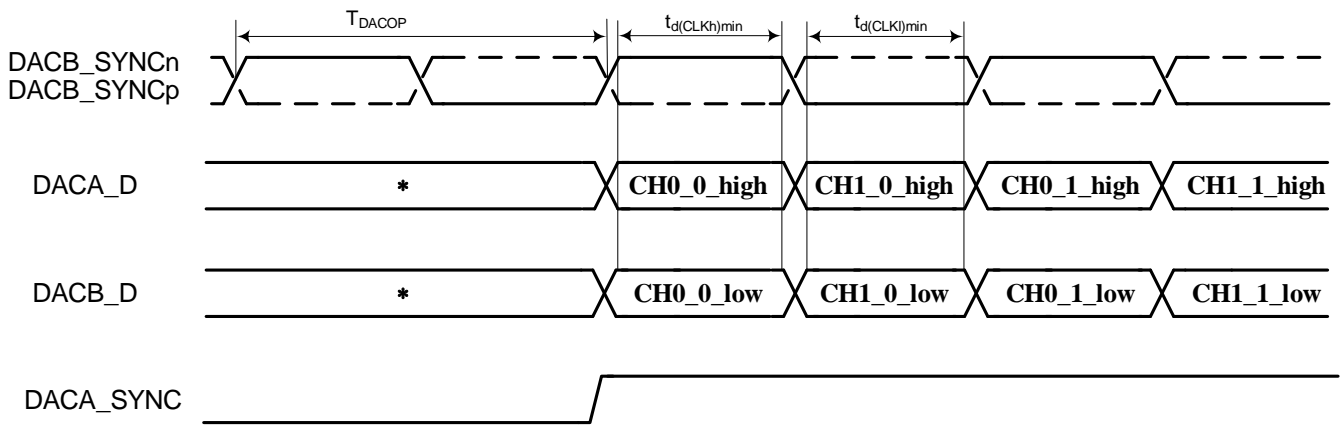
**Рисунок 2.20 – Временные диаграммы работы интерфейса ЦАП в двухканальном режиме с синхронизацией по фронту**

**Таблица 2.10 - Временные параметры работы интерфейса ЦАП в двухканальном режиме с синхронизацией по фронту**

Обозначение	Функциональное описание	Временной параметр, нс	
		Не менее	Не более
TDACOP	Период выходного тактового сигнала DACA_CLK	Равен периоду входного тактового сигнала ЦАП	
tDACOH	Длительность сигнала высокого уровня на выходе DACA_CLK	40% периода	60% периода
tDACOL	Длительность сигнала низкого уровня на выходе DACA_CLK	40% периода	60% периода
tsDP	Время установки сигнала на выходах данных относительно положительного фронта на выходе DACA_CLK	0,3	-
thDP	Время удержания сигнала на выходах данных относительно положительного фронта на выходе DACA_CLK	0,3	-
tsDN	Время установки сигнала на выходах данных относительно отрицательного фронта на выходе DACA_CLK	0,3	-
thDN	Время удержания сигнала на выходах данных относительно отрицательного фронта на выходе DACA_CLK	0,3	-

Примечание: При работе ЦАП на частоте 512 МГц.

					ЮФКВ.431268.022РЭ		Лист
							367
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2			

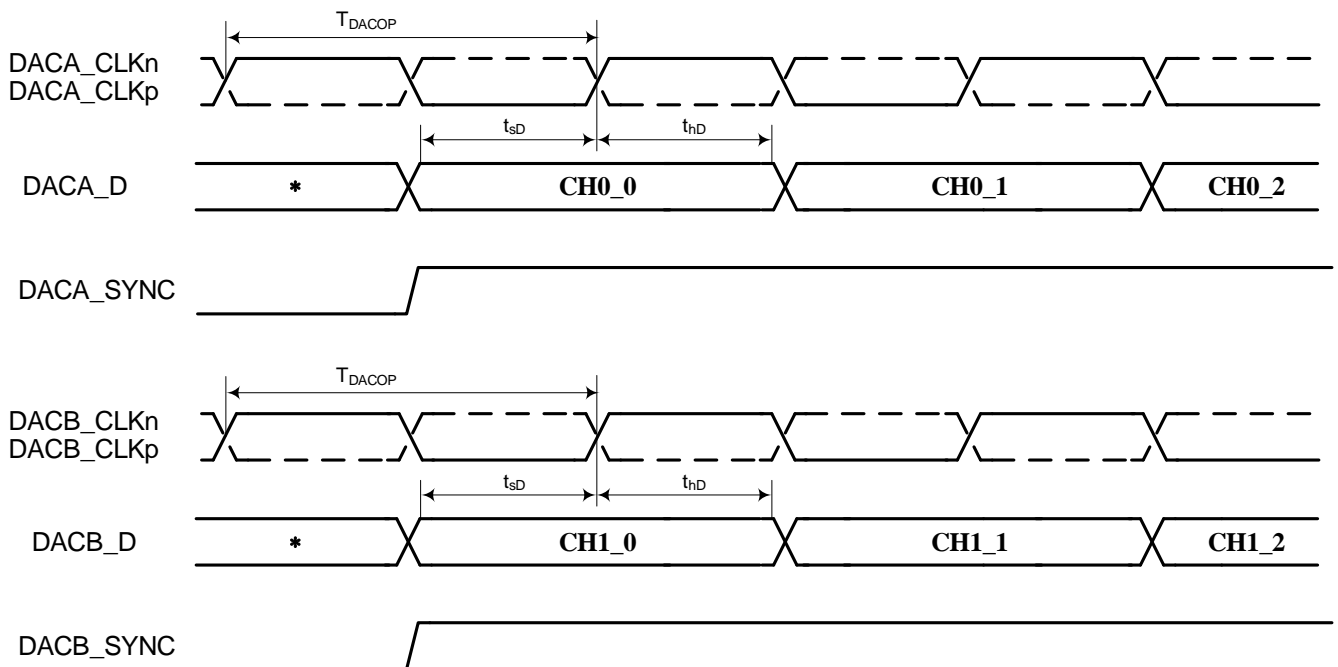


**Рисунок 2.21 – Временные диаграммы работы интерфейса ЦАП в двухканальном режиме с синхронизацией по уровню**

**Таблица 2.11 - Временные параметры работы интерфейса ЦАП в двухканальном режиме с синхронизацией по уровню**

Обозначение	Функциональное описание	Временной параметр, нс	
		Не менее	Не более
TDACOP	Период выходного тактового сигнала на выходе DACB_SYNC	Равен периоду входного тактового сигнала ЦАП	
td(CLKh)min	Минимальное время устойчивого состояния выводов данных при высоком уровне тактового сигнала на выводе DACB_SYNC	0,75	-
td(CLKl)min	Минимальное время устойчивого состояния выводов данных при низком уровне тактового сигнала на выводе DACB_SYNC	0,75	-

Примечание: При работе ЦАП на частоте 512 МГц.



**Рисунок 2.22 – Временные диаграммы работы интерфейса ЦАП в одноканальном режиме с синхронизацией по фронту**

					ЮФКВ.431268.022РЭ		Лист
							368
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020		38075-2			

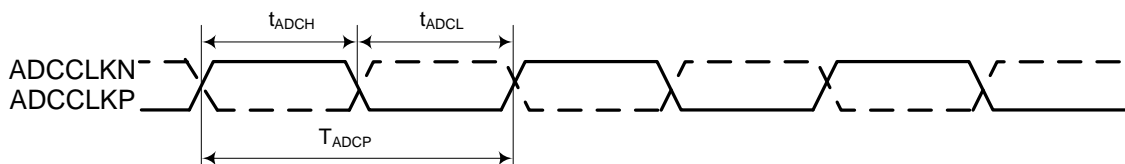
**Таблица 2.12 - Временные параметры работы интерфейса ЦАП в одноканальном режиме с синхронизацией по фронту**

Обозначение	Функциональное описание	Временной параметр, нс	
		Не менее	Не более
TDACOP	Период выходного тактового сигнала DACA_CLK, DACB_CLK	Равен периоду входного тактового сигнала ЦАП	
tsD	Время установки сигнала на выходах данных относительно положительного фронта на выходе DACi_CLK	0,75	-
thD	Время удержания сигнала на выходах данных относительно положительного фронта на выходе DACi_CLK	0,75	-

Примечание: При работе ЦАП на частоте 512 МГц.

## 2.4.5 Временные диаграммы и временные параметры сигналов интерфейса с АЦП

### 2.4.5.1 Временные диаграммы и временные параметры тактового сигнала интерфейса с АЦП



**Рисунок 2.23 – Временные диаграммы работы интерфейса ЦАП в одноканальном режиме с синхронизацией по фронту**

**Таблица 2.13 - Временные параметры тактовых сигналов интерфейса АЦП**

Обозначение	Функциональное описание	Временной параметр, нс	
		Не менее	Не более
TADCP	Период сигнала тактового сигнала ADCCLK		7,8125
tADCH	Длительность сигнала высокого уровня на входе ADCCLK	40% периода тактового сигнала	60% периода тактового сигнала ADCCLK
tADCL	Длительность сигнала низкого уровня на входе ADCCLK	40% периода тактового сигнала	60% периода тактового сигнала ADCCLK

									Лист
									369
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата		Взам.инв.№	Инва.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2						



### 2.4.5.2 Временные диаграммы и временные параметры передачи данных по интерфейсу с АЦП

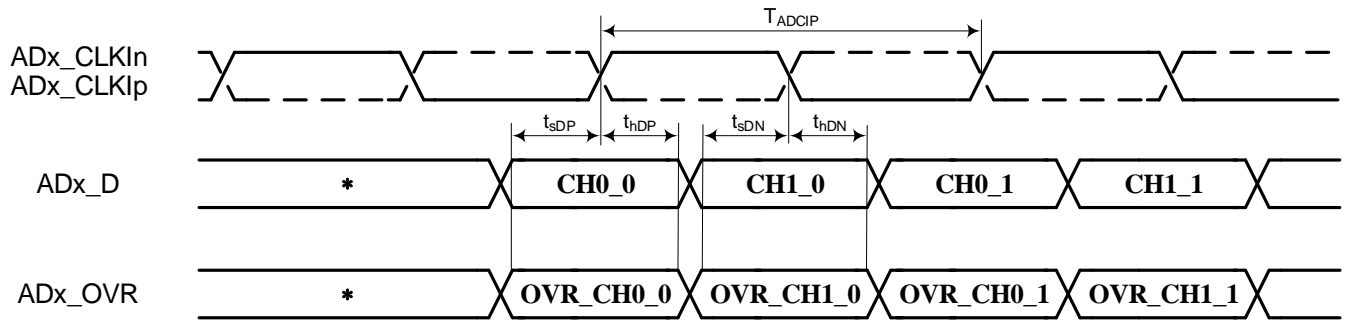


Рисунок 2.24 – Передача данных по интерфейсу с АЦП

Таблица 2.14 - Временные параметры работы интерфейса АЦП

Обозначение	Функциональное описание	Временной параметр, нс	
		Не менее	Не более
TADCP	Период выходного тактового сигнала DACA_CLK		7,8125
tsDP	Время предустановки сигнала на входах данных относительно положительного фронта на входе AD_CLKI	0,4	-
thDP	Время удержания сигнала на входах данных относительно положительного фронта на входе AD_CLKI	0,8	-
tsDN	Время предустановки сигнала на входах данных относительно отрицательного фронта на входе AD_CLKI	0,4	-
thDN	Время удержания сигнала на входах данных относительно отрицательного фронта на входе AD_CLKI	0,8	-

									Лист
									370
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата			Взам.инв.№	Инва.№дубл.	Подп. и дата			
38075-3	<i>Редюк</i> 16.10.2020			38075-2					

### 3 Применение СБИС 1888BC058

#### 3.1 Рекомендуемые схемы включения СБИС 1888BC058

##### 3.1.1 Порядок подачи напряжения на выводы питания микросхемы

Последовательность подачи напряжений питания и сигналов при включении:

- Напряжение питания для ядра UCC3 (0,9 В);
- Напряжение питания PLL UCC4, UCC5 (0,9 В);
- Напряжение питания для аналоговых блоков (0,9 В и 1,8 В);
- Напряжение питания для буферов ввода/вывода: UCC2 (1,8 В) и UCC1 (3,3 В);
- Тактовые сигналы REFCLK, EMI\_SCLK, MII\_RXCLK, MII\_TXCLK;
- Системный сброс NRST\_PON.

Последовательность подачи остальных сигналов не регламентируется. Выключение напряжений питания производится в порядке, обратном включению.

					ЮФКВ.431268.022РЭ			Лист
								371
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		<i>Редюк</i> 16.10.2020		38075-2				

### 3.1.2 Рекомендации по подключению функциональных выводов микросхемы

#### 3.1.2.1 Подключение микросхем внешней памяти

##### 3.1.2.1.1 Подключение микросхем внешней памяти типа SRAM

Подключение внешней памяти типа SRAM к нулевому банку внешней памяти на шине СБИС представлено на рисунке 3.1 на примере микросхемы 1645PY4AY фирмы “Миландр”.

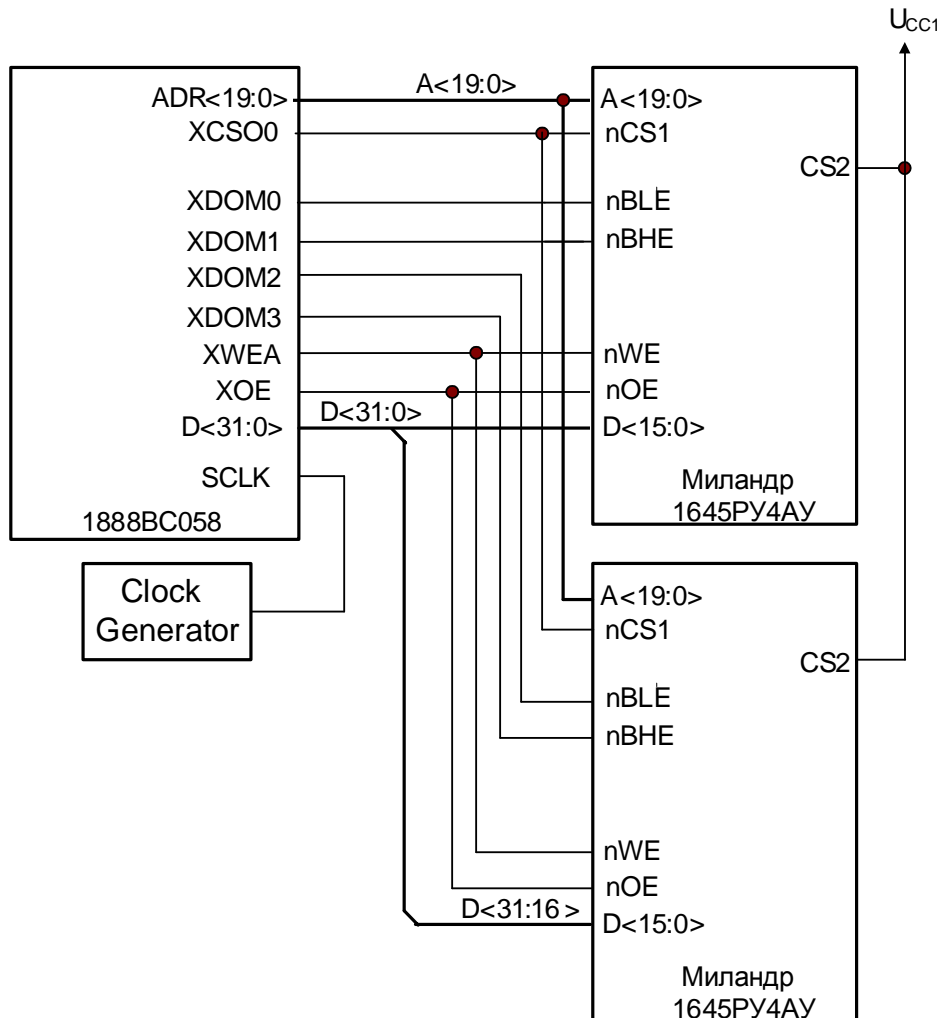
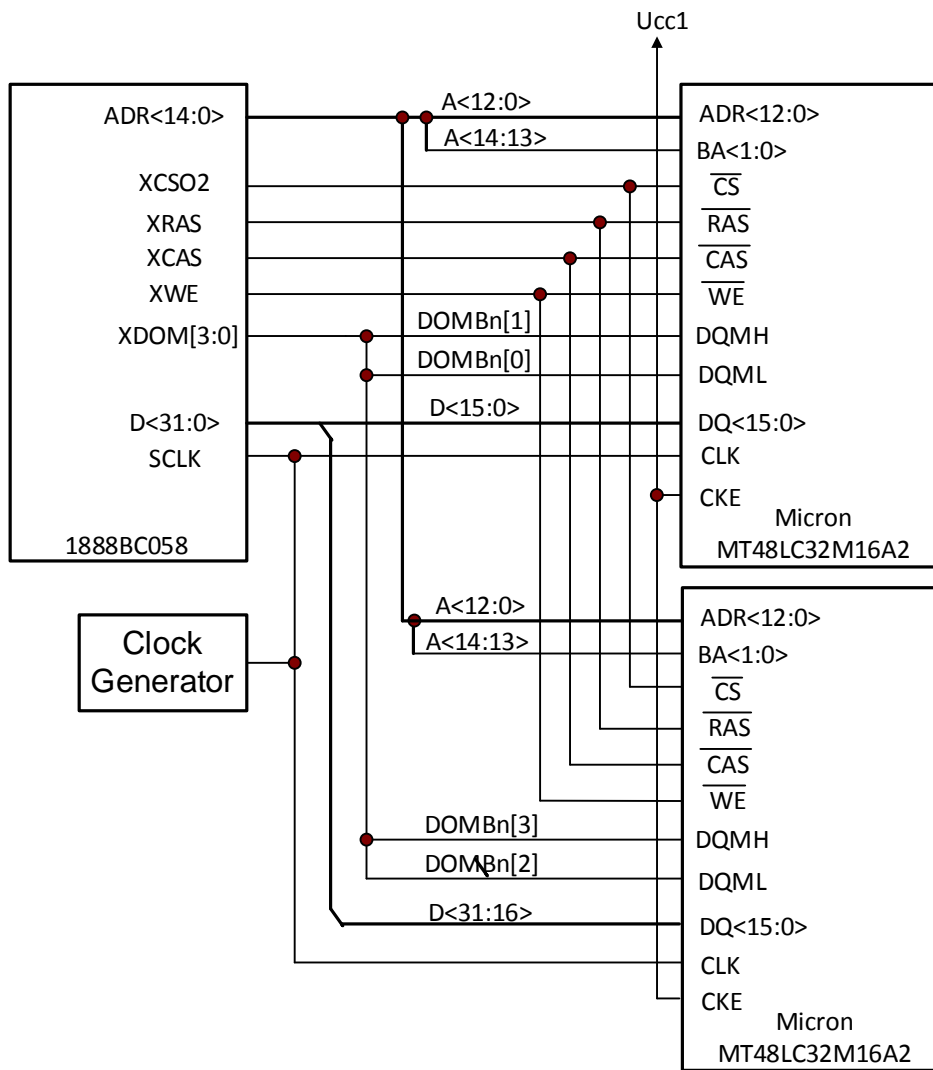


Рисунок 3.1 – Пример подключения внешней памяти типа SRAM

##### 3.1.2.1.2 Подключение микросхем внешней памяти типа SDRAM

Подключение микросхем памяти типа SDRAM к второму банку внешней памяти СБИС представлено на рисунке 3.2 на примере микросхемы MT48LC32M16A2 фирмы Micron Technology Inc.

									Лист
									372
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата		Взам.инв.№	Инва.№дубл.	Подп. и дата				
38075-3	<i>Редюк</i> 16.10.2020		38075-2						



**Рисунок 3.2 – Пример подключения внешней памяти типа SDRAM**

При тактовой частоте внешней шины (SCLK) – 100 МГц и частоте внутренней шины процессора (AXI) – 512 МГц состояние конфигурационных регистров при подключении данных микросхем памяти представлено на рисунке 3.3.

					ЮФКВ.431268.022РЭ			Лист
								373
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		<i>Редюк</i> 16.10.2020		38075-2				

### EMI\_SS

11	10	9	8	7	6	5	4	3	2	1	0
T <sub>CYC</sub>				T <sub>SOE</sub>	T <sub>SSOE</sub>	SST	T <sub>WR</sub>	SRDY	PTYP	BTYP	
X	X	X	X	X	X	X	X	X	X	1	1

23	22	21	20	19	18	17	16	15	14	13	12
TDEL		T <sub>RDY</sub>									
0	0	X	X	X	X	X	X	X	X	X	X

### EMI\_SD

14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
T <sub>RAS</sub>			T <sub>RCD</sub>		SI	T <sub>RDL</sub>	CL		SDS			CSP		
1	0	0	1	1	1	1	0	0	1	0	0	0	1	1

### EMI\_RFC

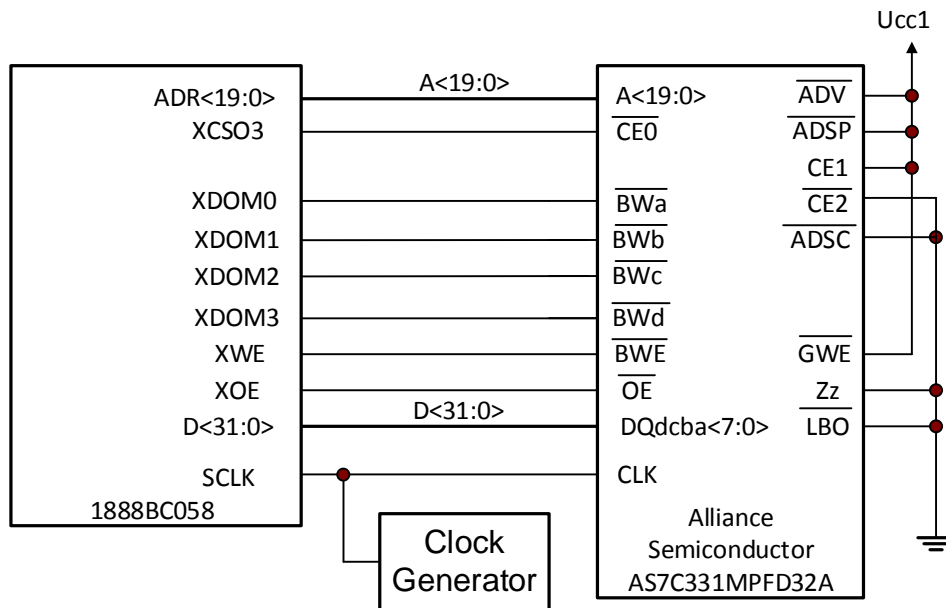
16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RP													T <sub>RFC</sub>			
1	1	0	0	0	0	0	1	0	1	1	0	1	0	0	1	0

X – произвольное состояние

**Рисунок 3.3** – Состояние конфигурационных регистров при подключении SDRAM памяти MT48LC32M16A2 фирмы Micron Technology Inc.

#### 3.1.2.1.3 Подключение микросхем внешней памяти типа SSRAM

Подключение микросхем памяти типа SSRAM к третьему банку внешней памяти на шине СБИС представлено на рисунке 3.4 на примере микросхемы AS7C331MPFD32A фирмы Alliance Semiconductor.



**Рисунок 3.4** – Пример подключения внешней памяти типа SSRAM

					ЮФКВ.431268.022РЭ					Лист
										374
Изм	Лист	№ докум.	Подп.	Дата	Взам.инв.№		Инв.№дубл.		Подп. и дата	
					38075-2				16.10.2020	
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редук</i> 16.10.2020			38075-2					

При тактовой частоте внешней шины (SCLK) – 100 МГц. состояние конфигурационных регистров при подключении данных микросхем памяти представлено на рисунке 3.5.

11	10	9	8	7	6	5	4	3	2	1	0
T <sub>СУС</sub>				T <sub>SOE</sub>	T <sub>SSOE</sub>	SST	T <sub>WR</sub>	SRDY	PTYP	BTYP	
X	X	X	X	X	0	1	X	X	X	0	1

23	22	21	20	19	18	17	16	15	14	13	12
TDEL		T <sub>RDY</sub>									
0	0	X	X	X	X	X	X	X	X	X	X

X – произвольное состояние

**Рисунок 3.5 – Состояние конфигурационных регистров при подключении SSRAM памяти AS7C331MPFD32A фирмы Alliance Semiconductor**

					ЮФКВ.431268.022РЭ					Лист
										375
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редюк</i> 16.10.2020			38075-2					

### 3.1.2.2 Подключение внешних АЦП

На рисунке 3.6 показан пример подключения одноканальных АЦП к СБИС 1888BC058. В данном случае выходы соответствующей микросхемы АЦП подключаются к соответствующему каналу интерфейса АЦП СБИС1888BC058.

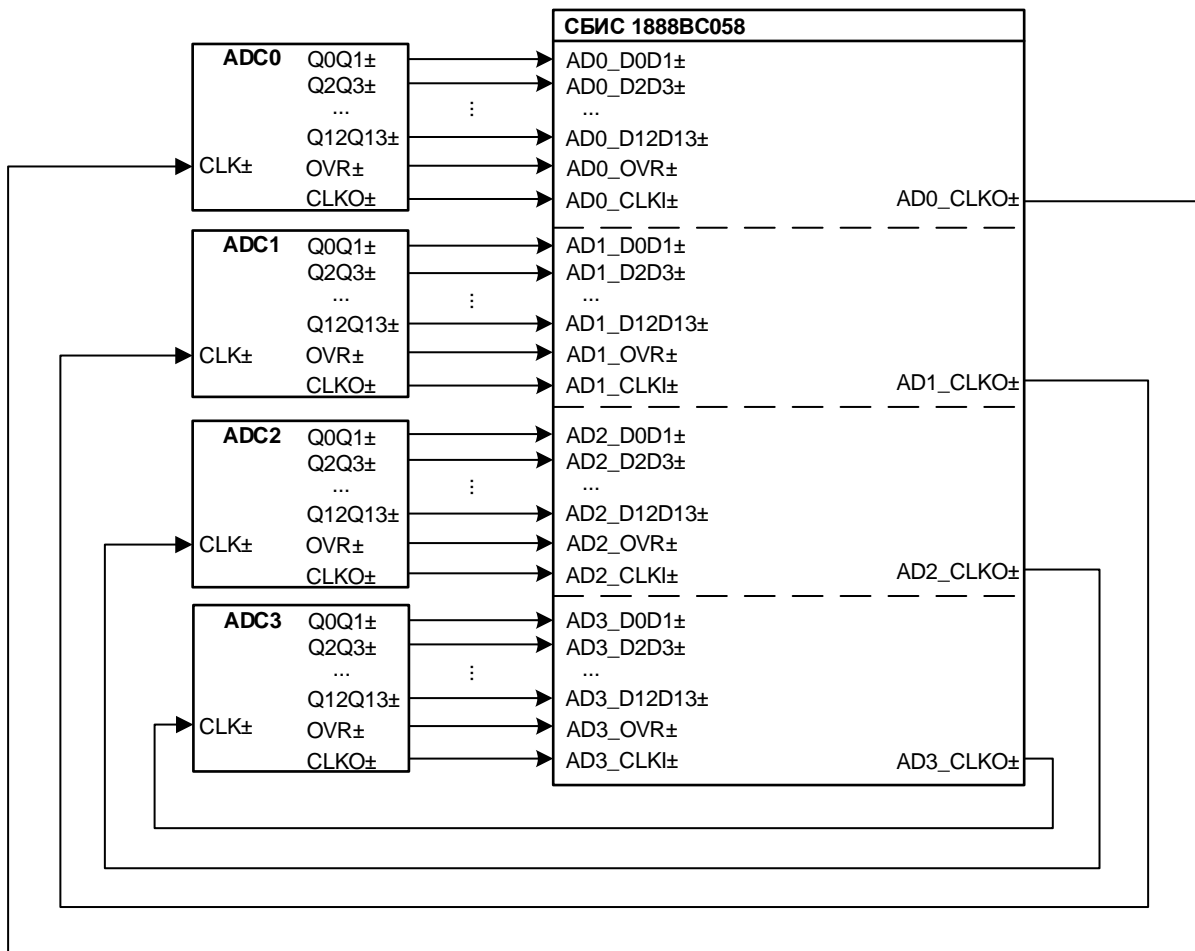
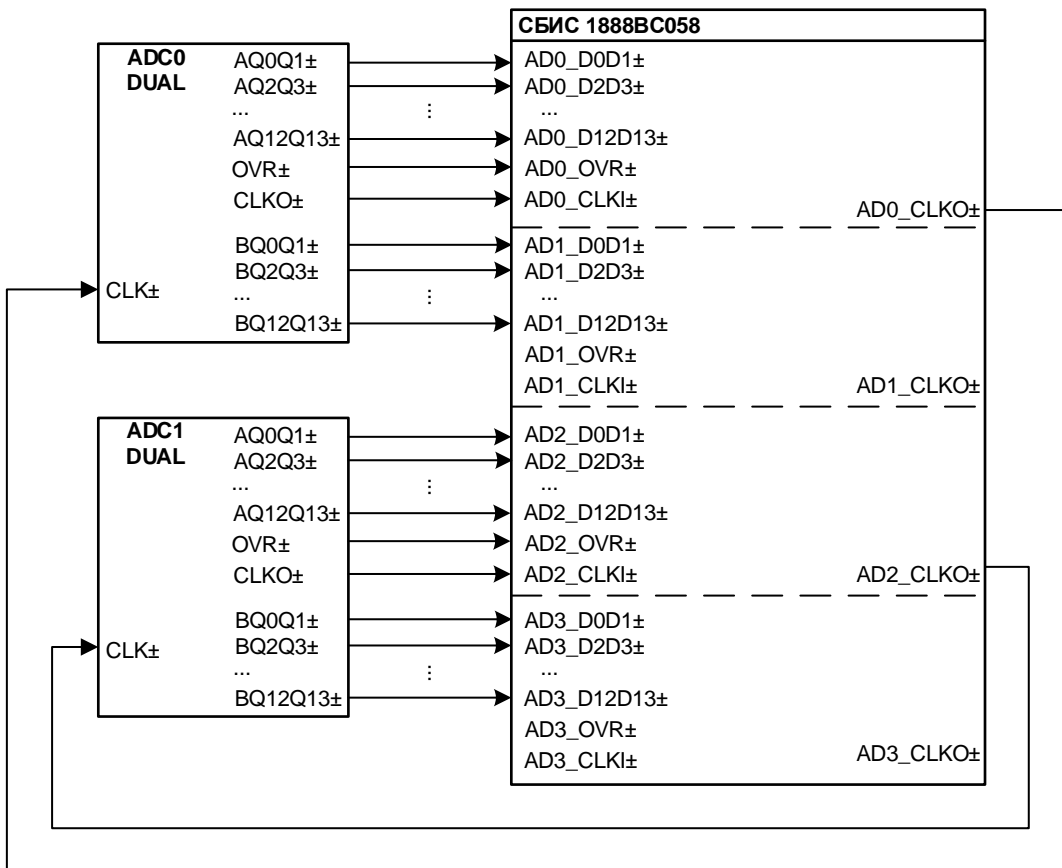


Рисунок 3.6 – Подключение внешних АЦП (пример 1)

На рисунке 3.7 показан пример подключения двухканальных АЦП с мультиплексированием even/odd к СБИС 1888BC058. Двухканальные АЦП имеют один общий входной синхросигнал и один общий выходной синхросигнал. Для каждой пары АЦП должны использоваться выходы синхронизации каналов AD0 и AD2 СБИС 1888BC058.

									Лист
									376
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата			Взам.инв.№	Инва.№дубл.	Подп. и дата			
38075-3	<i>Редук</i> 16.10.2020			38075-2					





**Рисунок 3.7 – Подключение внешних АЦП (пример 2)**

На рисунке 3.8 показан пример подключения двухканальных АЦП с мультиплексированием channel interleave к СБИС 1888BC058. Для каждой пары каналов младшая часть шины данных АЦП Q6-Q0 ко входам данным канала AD0(2), а старшая часть Q13-Q7 ко входам данных канала AD1(AD3).

										Лист
										377
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020			38075-2						

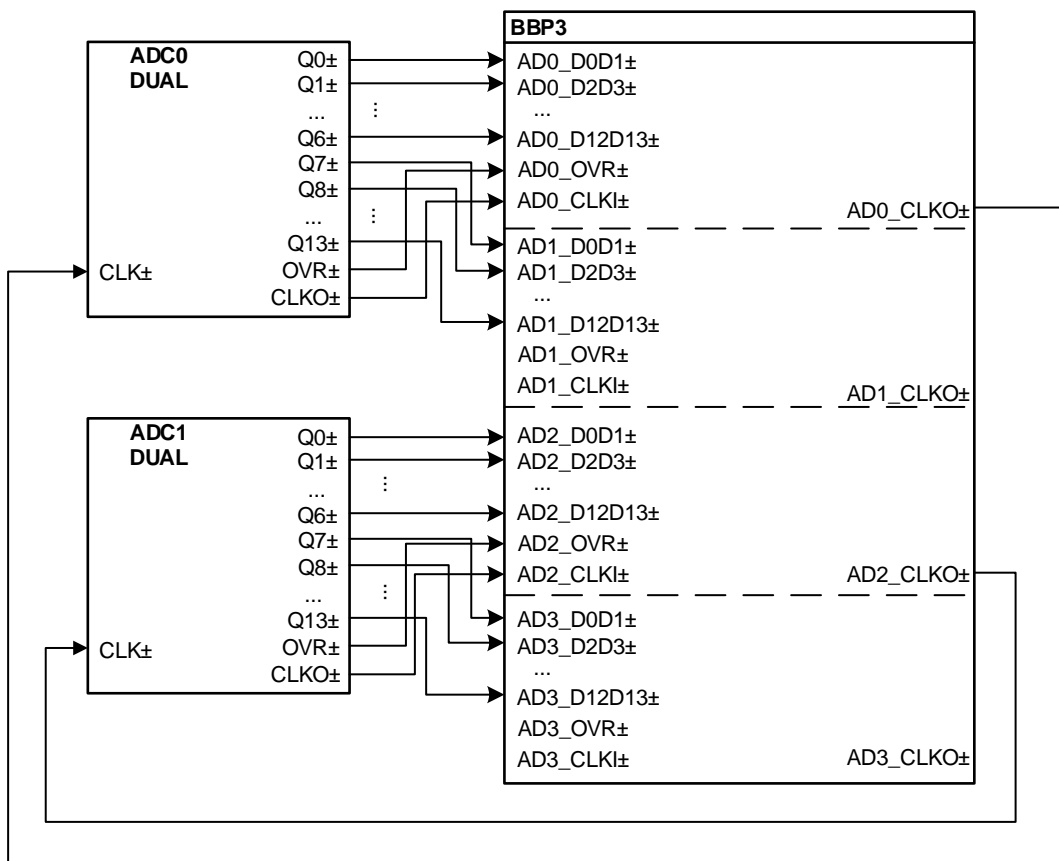


Рисунок 3.8 – Подключение внешних АЦП (пример 3)

									Лист
									378
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	<i>Редюк</i> 16.10.2020			38075-2					

### 3.1.2.3 Подключение внешних ЦАП

#### 3.1.2.3.1 Подключение двухканального ЦАП с синхронизацией по фронту

Подключение двухканального ЦАП с синхронизацией по фронту представлено на рисунке 3.9 на примере ЦАП DAC3164 фирмы “Texas Instruments”.

Линию передачи каждого LVDS приемника и передатчика необходимо согласовать резистором с номиналом 100 Ом. Так как согласующие резисторы на LVDS приемниках микросхемы DAC3164 являются встроенными, на рисунке они не показаны. Необходимо только согласовать вход синхросигнала, тактирующего работу интерфейса с ЦАП СБИС 1888BC058.

Состояние конфигурационного регистра интерфейса с ЦАП СБИС 1888BC058 для такого подключения представлено на рисунке 3.10.

Состояние конфигурационных регистров, управляющих LVDS-буферами интерфейса, представлено на рисунке 3.11.

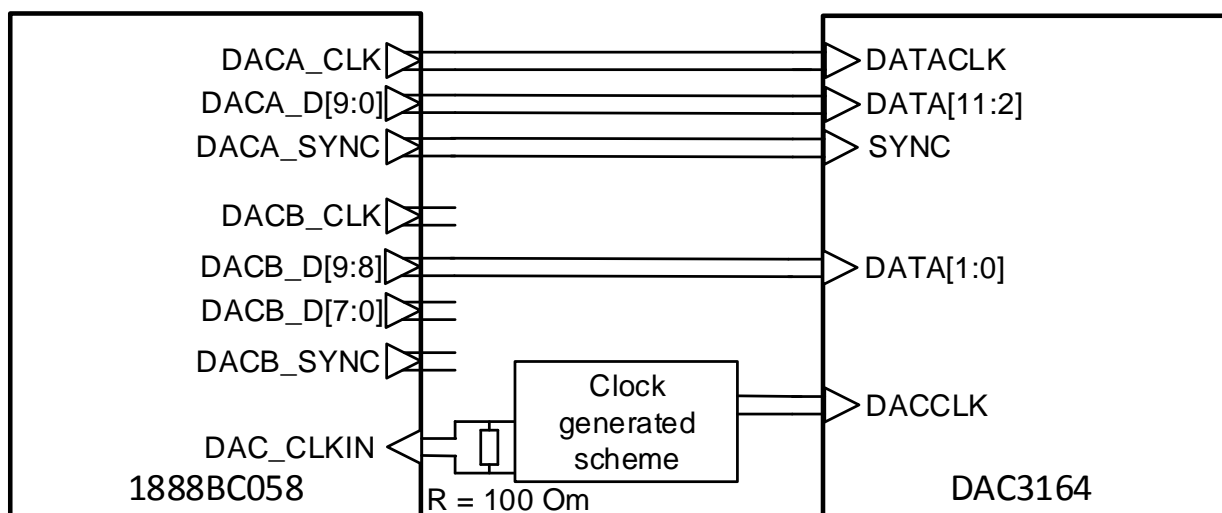


Рисунок 3.9 – Пример подключения к СБИС 1888BC058 двухканального ЦАП с синхронизацией по фронту

7	6	5	4	3	2	1	0
DCA	SYNCA		INVA	SWONA	SF	FM	D2M
X	1	0	0	1	0	1	1
	14	13	12	11	10	9	8
	TREN	SYNCU	DCB	SYNCB		INVB	SWONB
	0	1	X	1	0	0	1

Рисунок 3.10 – Состояние конфигурационного регистра интерфейса с ЦАП при подключении двухканального ЦАП с синхронизацией по фронту

					ЮФКВ.431268.022РЭ		Лист 379
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2			



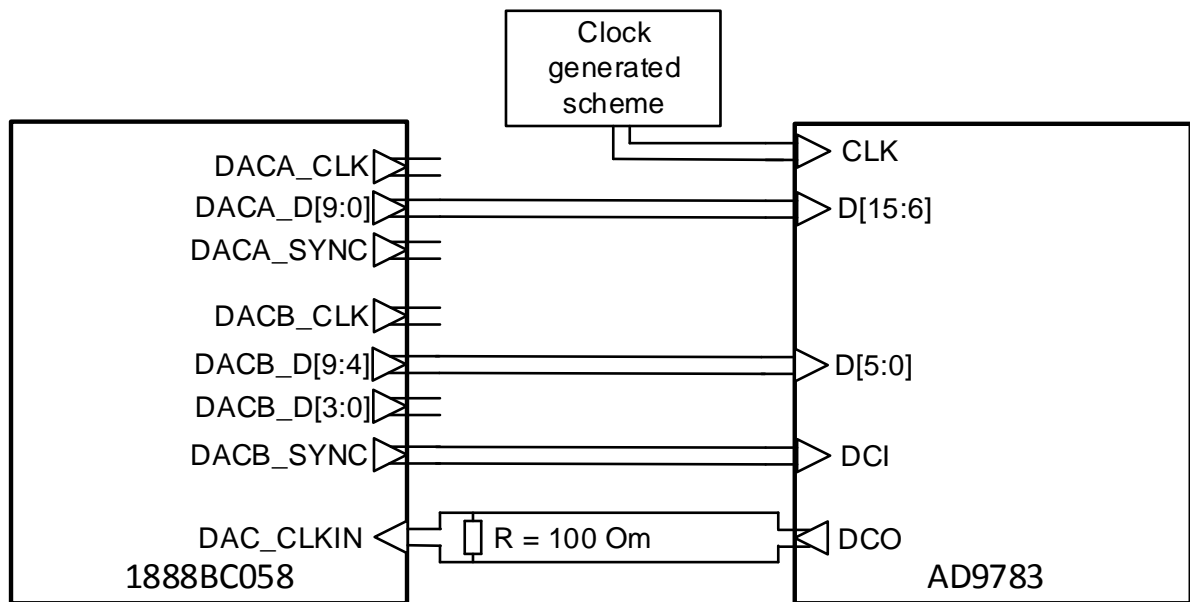


Рисунок 3.12 – Пример подключения к СБИС 1888BC058 двухканального ЦАП с синхронизацией по уровню

7	6	5	4	3	2	1	0
DCA	SYNCA	INVA	SWONA	SF	FM	D2M	
X	1	0	0	1	0	0	1
	14	13	12	11	10	9	8
	TREN	SYNCU	DCB	SYNCB	INVB	SWONB	
	1	1	X	1	0	0	1

Рисунок 3.13 – Состояние конфигурационного регистра интерфейса с ЦАП при подключении двухканального ЦАП с синхронизацией по уровню

9	8	7	6	5	4	3	2	1	0
TX_PD9	TX_PD8	TX_PD7	TX_PD6	TX_PD5	TX_PD4	TX_PD3	TX_PD2	TX_PD1	TX_PD0
0	0	0	0	0	0	0	0	0	0
LVDS_CFG_DA0				18	17	16	15	...	10
				TX_MOD	TX_PCLK	TX_PSYNC	reserv	...	X
				1	1	1	X	...	X
9	8	7	6	5	4	3	2	1	0
TX_PD9	TX_PD8	TX_PD7	TX_PD6	TX_PD5	TX_PD4	TX_PD3	TX_PD2	TX_PD1	TX_PD0
0	0	0	0	0	0	1	1	1	1
LVDS_CFG_DA1				18	17	16	15	...	10
				TX_MOD	TX_PCLK	TX_PSYNC	reserv	...	X
				1	1	0	X	...	X
LVDS_CFG_CLK				3	2	1	0		
				TX_PD3	TX_PD2	TX_PD1	TX_PD0		
				0	X	0	X		

Рисунок 3.14 – Состояние конфигурационных регистров, управляющих LVDS-буферами интерфейса с ЦАП при подключении ЦАП AD9783

									Лист
									381
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата			Взам.инв.№	Инва.№дубл.	Подп. и дата			
38075-3	<i>Редук</i> 16.10.2020			38075-2					

### 3.1.2.3.3 Подключение двух одноканальных ЦАП с синхронизацией по фронту

Подключение двухканального ЦАП с синхронизацией по фронту представлено на рисунке 3.15 на примере ЦАП DAC3151 фирмы Texas Instruments.

Линию передачи каждого LVDS приемника и передатчика необходимо согласовать резистором с номиналом 100 Ом. Так как согласующие резисторы на LVDS приемниках микросхемы DAC3151 являются встроенными, на рисунке они не показаны. Необходимо только согласовать вход синхросигнала, тактирующего работу интерфейса с ЦАП СБИС 1888BC058.

Состояние конфигурационного регистра интерфейса с ЦАП СБИС 1888BC058 для такого подключения представлено на рисунке 3.16.

Состояние конфигурационных регистров, управляющих LVDS-буферами интерфейса, представлено на рисунке 3.17.

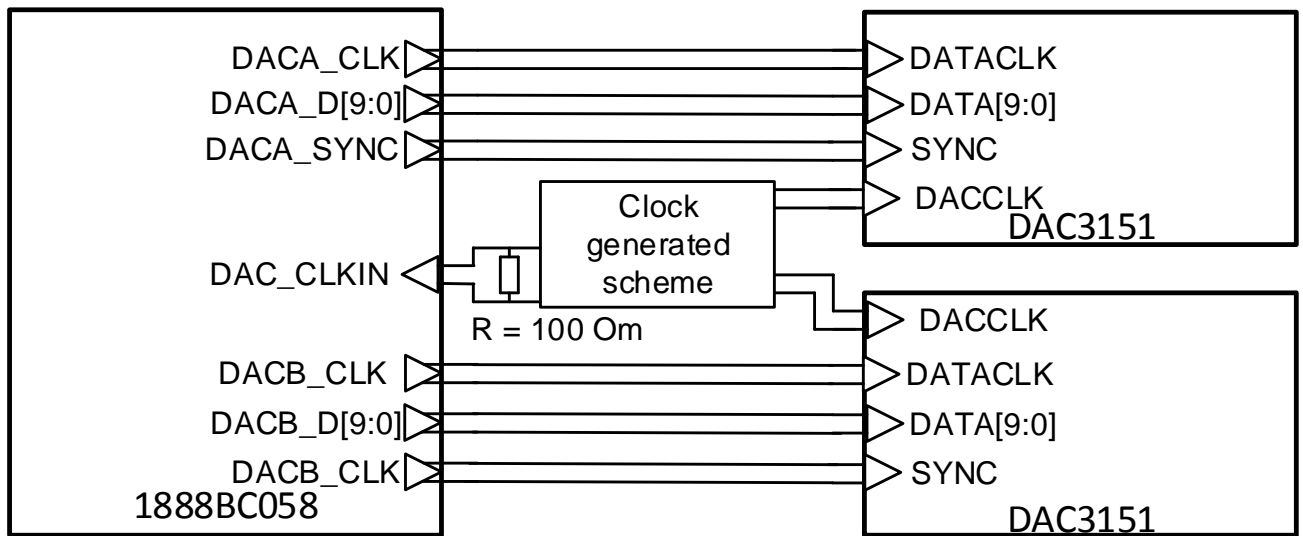


Рисунок 3.15 – Пример подключения к СБИС 1888BC058 двух одноканальных ЦАП с синхронизацией по фронту.

7	6	5	4	3	2	1	0
DCA	SYNCA		INVA	SWONA	SF	FM	D2M
X	1	0	0	1	0	1	0
	14	13	12	11	10	9	8
	TREN	SYNCU	DCB	SYNCB		INVB	SWONB
	1	1	X	1	0	0	1

Рисунок 3.16 – Состояние конфигурационного регистра интерфейса с ЦАП при подключении двух одноканальных ЦАП с синхронизацией по фронту

									Лист
									382
Изм	Лист	№ докум.	Подп.	Дата					
Инва.№подл.	Подп. и дата		Взам.инв.№	Инва.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2						





### 3.1.3 Начальная загрузка программного обеспечения

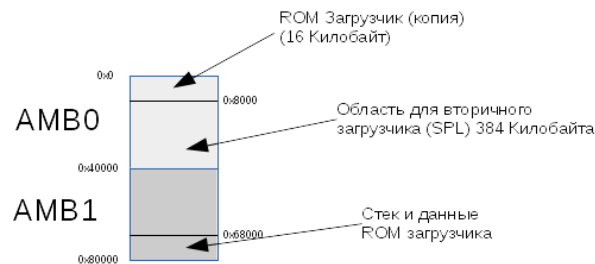
СБИС 1888BC058 имеет банк памяти ПЗУ объёмом 16 КБайт, который содержит программу начального загрузчика. Начальная загрузка микросхемы возможна из ПЗУ SPI Flash и NOR, а так же через Ethernet (EDCL), внешним мастером через EMI и UART0 (протокол xmodem). Выбор режима загрузки осуществляется внешними входами BOOTM2, BOOTM1, BOOTM0, BOOT\_NMC и EMI\_BIS (см. таблицу 3.1).

После снятия активного уровня сигнала системного сброса NRST\_PON, в СБИС 1888BC058 автоматически запускается процедура загрузки. В ходе этой процедуры происходит аппаратное копирование начального загрузчика во внутреннюю SRAM память (AMB0) по нулевому адресу и его дальнейшее исполнение на процессорном ядре Cortex-A5.

В общем случае, процедура загрузки СБИС 1888BC058 реализуется в два этапа:

- этап первичной загрузки – процессорное ядро выполняет код ПО встроенного загрузчика микросхемы, расположенный во встроенной в микросхему ПЗУ памяти;
- этап вторичной загрузки – выполнение исполняемого кода вторичного загрузчика, помещаемого во встроенное ОЗУ (AMB0 + AMB1). В зависимости от режима работы первичного загрузчика, загрузка происходит либо первичным загрузчиком, путем копирования исполняемого кода вторичного загрузчика из внешней ППЗУ-памяти, либо из SPI (частота 7,5 МГц, тип Motorola SPI mode 0) или NOR (тип памяти SRAM, время цикла чтения/записи при обращении к памяти типа SRAM 17 тактов), либо через хост-интерфейс (UART, Ethernet, EMI).

Схематично, размещение первичного и вторичного загрузчиков в памяти представлено на рисунке 3.18.



**Рисунок 3.18 – Размещение ROM загрузчика и загружаемой программы памяти микросхемы**

Загрузчик поддерживает индикацию процесса загрузки, используя выходы GPIOA и тестовой вывод через порт UART0 для сигнализации результатов загрузки.

Доступно две конфигурации загрузки микросхемы:

- Режим прямой загрузки DSP ядер, используя коммуникационные порты (BOOT\_NMC=1);
- Режим программной загрузки DSP ядер (BOOT\_NMC=0).

					ЮФКВ.431268.022РЭ			Лист
								384
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		<i>Редук</i> 16.10.2020		38075-2				

**Таблица 3.1 – Варианты начальной загрузки СБИС 1888BC058**

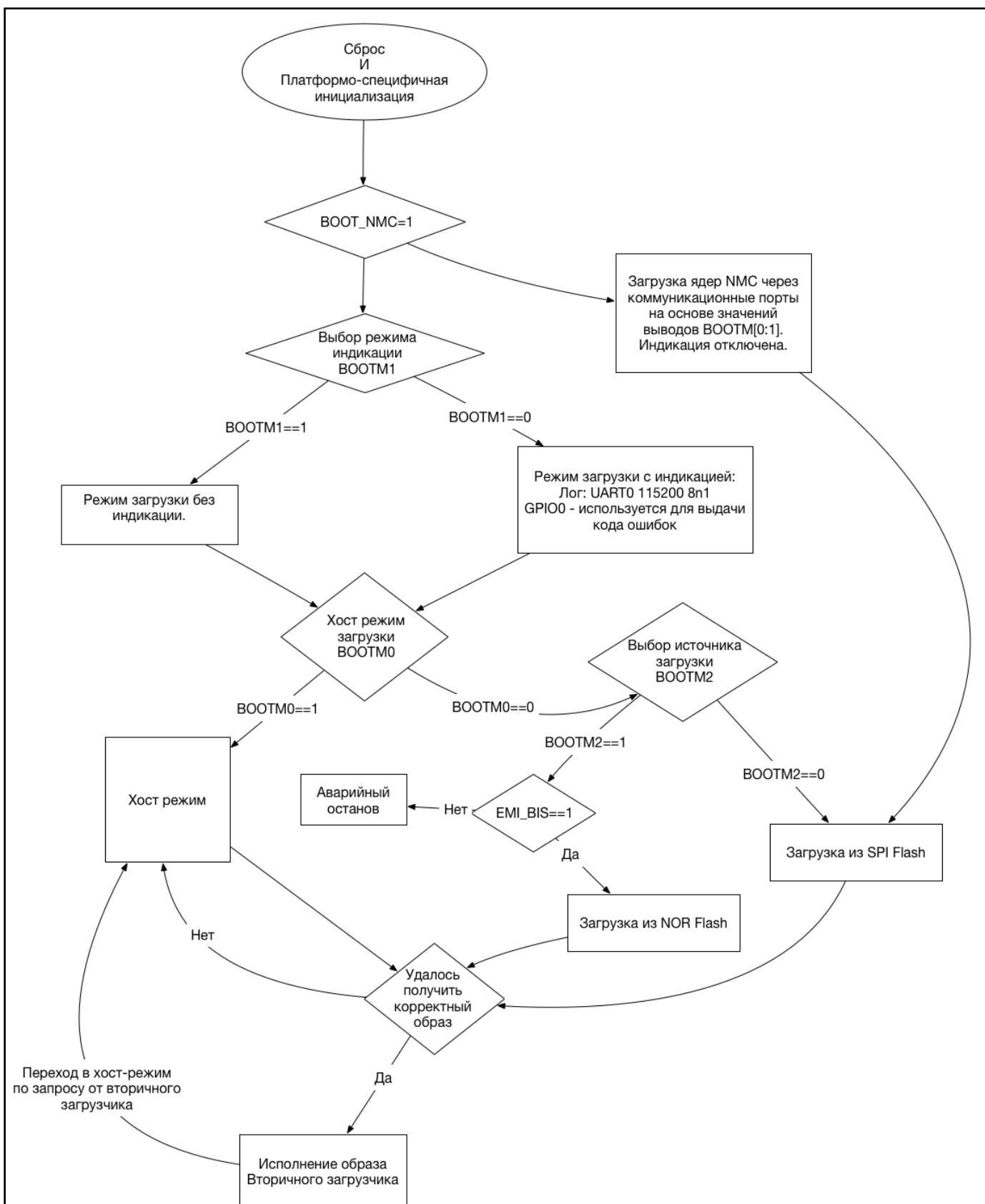
Интерфейс для загрузки	BOOT_NM	EMI_BIS	BOOTM2	BOOTM1	BOOTM0
SPI с индикацией	x	x	0	0	0
Host режим (UART, ETH, EMI_SLAVE) с индикацией	0	x	x	0	1
SPI	0	x	0	1	0
Host режим (UART, ETH, EMI_SLAVE)	0	x	x	1	1
зарезервировано	1	0	0	0	0
загрузка через ком. порт NMU0 + SPI	1	1	1	0	1
загрузка через ком. порт NMU1 + SPI	1	1	1	1	0
загрузка через ком. порт (NMU0 и NMU1) + SPI	1	1	1	1	1

ROM-загрузчик является частью СБИС 1888BC058 и размещается в масочном ППЗУ СБИС 1888BC058 на этапе производства. Обновление программы ROM-загрузчика микросхемы не предусматривается.

### 3.1.3.1 Алгоритм работы начального загрузчика

Алгоритм работы начального загрузчика приведен на рисунке 3.19.

										Лист
										385
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редюк</i> 16.10.2020			38075-2					



**Рисунок 3.19 – Алгоритм работы начального загрузчика**

Краткое описание этапов представленного на рисунке 3.19 алгоритма работы первичного загрузчика приведено в таблице 3.2.

					Лист	
					386	
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.022РЭ	
Инва.№подл.	Подп. и дата		Взам.инв.№	Инва.№дубл.	Подп. и дата	
38075-3	<i>Редук</i> 16.10.2020		38075-2			

**Таблица 3.2 – Описание этапов работы ROM-загрузчика**

Название этапа	Описание этапа
Платформенно специфическая инициализация	На данном этапе выполняется платформенно специфическая инициализация процессорной подсистемы, необходимая для функционирования первичного загрузчика.
Хост-режим	На данном этапе, в зависимости от конфигурационного бита BOOTM0, первичный ПЗУ-загрузчик переводит СБИС в хост-режим или переходит к процедуре последовательной загрузки с различных внешних источников.
Поиск и загрузка образа на внешних устройствах	В зависимости от значения вывода BOOTM2 будет произведена попытка считать образ вторичного загрузчика из SPI Flash или NOR_FLASH
Исполнение образа вторичного загрузчика	На данном этапе реализуется последовательность действий, определяемых вторичным загрузчиком.
Хост-режим	На данном этапе первичный ПЗУ-загрузчик переходит в режим опроса внутренней (AMB0 + AMB1) памяти в ожидании, когда образ исполняемого кода вторичного загрузчика будет размещен в памяти (AMB0 + AMB1) внешней по отношению к микросхеме хост-машины.

### 3.1.3.2 Описание вторичного загрузчика

Вторичный загрузчик должен конфигурировать все параметры СБИС 1888BC058, необходимые для его функционирования в конкретном изделии. Требование о реализации полного конфигурирования СБИС 1888BC058 именно во вторичном загрузчике обусловлена тем, что, в отличие от первичного загрузчика, он может быть изменен и перезаписан во внешнее ПЗУ, что позволяет решать следующие практические задачи:

- Конфигурирование программируемых параметров СБИС 1888BC058 под конкретное окружение микросхемы, например, конфигурирование контроллера внешней памяти ЕМІ под временные параметры конкретных микросхем памяти.
- Возможность коррекции программируемых параметров работы СБИС 1888BC058 или исправление ошибок конфигурирования в течение жизненного цикла изделия, где применяется данная микросхема.

Поэтому функционирование СБИС 1888BC058 полностью определяется алгоритмом, описанным во вторичном загрузчике.

#### 3.1.3.2.1 Структура заголовка образа вторичного загрузчика

Образ вторичного загрузчика должен иметь служебный заголовок, приведенный на листинге ниже. Заголовок позволяет загрузчику провести проверку целостности данных образа вторичного загрузчика и базовую проверку совместимости образа и СБИС. Приведенный пример заголовка рассчитан на использование в 32х-битных системах, поэтому для всех указателей используются поля по 32 бита.

```

struct __attribute__((packed)) rumbot bootheader {
    uint32_t magic;
    uint8_t  version;
    uint8_t  reserved;
    uint8_t  chip_id;
    uint8_t  chip_rev;
    uint32_t data_crc32;
    uint32_t datalen;
    uint32_t entry_point[10];
    uint32_t header_crc32;
    const struct rumbot bootsource *device;
    char    data[];
};
    
```

Ниже приведено детальное описание полей заголовка образа:

					ЮФКВ.431268.022РЭ	Лист 387
Изм	Лист	№ докум.	Подп.	Дата		
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата	
38075-3	<i>Редук</i> 16.10.2020		38075-2			

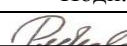
- **magic** - служебное слово (0xb01dface), идентифицирующее начало корректного заголовка. По порядку байт этого поля утилита для подготовки образов вторичного загрузчика определяет целевой порядок байт. При отсутствии корректного ключевого слова образ не будет загружен. Для СБИС 1888BC058 – little endian.
- **version** - Версия заголовка. На данный момент 2. В случае неправильного значения этого поля образ не пройдет валидацию загрузчиком.
- **reserved** - Поле зарезервировано.
- **chip\_id** - Идентификатор микросхемы, 5. Если идентификатор не совпадает, то образ считается не совместимым с данной микросхемой и не будет исполнен.
- **chip\_rev** - Идентификатор ревизии микросхемы, если было выпущено более одной ревизии (1). Несовпадение номера ревизии с ожидаемым, вызывает предупреждение в журнале загрузки.
- **data\_crc32** - CRC32 контрольная сумма для данных образа. Подробная информация об алгоритме будет приведена далее.
- **datalen** - Длина данных в байтах.
- **entry\_point[10]** - Заголовком предусмотрено до 10 точек входа для универсальности. В СБИС 1888BC058 используются только нулевой элемент. Максимальное количество точек входа выбрано для выравнивания размера заголовка до размера в 64 байта. В случае, если валидация точки входа вторичного загрузчика не проходит успешно, выводится предупреждение, образ считается некорректным.
- **header\_crc32** - CRC32 контрольная сумма всех полей заголовка идущих до данного поля.
- **struct rumboot\_bootsource \*device** - ячейка резервируется в образе и исключается из проверки контрольными суммами. В случае успешной загрузки во внутреннюю SRAM память и успешную валидацию образа, сюда будет записан указатель на структуру устройства, с которого была выполнена загрузка. В случае загрузки в хост-режиме, в это поле будет записан NULL. В дальнейшем, поля структуры bootsource можно использовать для считывания дополнительных данных с устройства, откуда была произведена загрузка.

### 3.1.3.2.2 Процедура формирования образов вторичного загрузчика

#### 3.1.3.2.2.1 Процедура формирования образа вторичного загрузчика на основе исходного кода

Образ вторичного загрузчика формируется в четыре стадии:

1. На этапе компиляции заголовков образа определяется со всеми полями, кроме контрольных сумм и помещается в виде структуры в отдельную секцию. На листинге ниже приведен пример программного кода на C, который должен быть частью исходного кода вторичного загрузчика.

										Лист
										388
Изм	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата			
38075-3	 16.10.2020		38075-2							

```

#include <stdint.h>
#include <rumbot/boot.h>
#include <rumbot/platform.h>

extern void rumbot_main();
extern int main();

static const __attribute__((used)) __attribute__((section(".header")))
struct rumbot_boothdr hdr = {
    .magic      = RUMBOOT_HEADER_MAGIC,
    .version    = RUMBOOT_HEADER_VERSION,
    .chip_id    = RUMBOOT_PLATFORM_CHIPID,
    .chip_rev   = RUMBOOT_PLATFORM_CHIPREV,
    .entry_point = {
        (uint32_t)&main,
    }
};

```

2. На этапе компоновки сценарий компоновщика размещает секцию с заголовком в самом начале файла.
3. После компоновки из полученного файла в формате elf стандартными средствами компилятора генерируется .bin файл. Например:  
arm-rcm-eabihf-objcopy --gap-fill 0x00 -O binary hello\_world hello\_world.bin
4. После вышеуказанных действий утилита rumbot-packimage.py производит расчет и запись контрольных сумм в заголовке образа. Пример работы данной утилиты приведен ниже:

```

i. rumbot_packimage.py -f rumbot-basis-Debug-spl.bin -
c
Wrote valid checksums to image header
=== RumBootV2 Header Information ===
Endianness:                little
Magic:                     0xb0ldface
Header Version:            0x2
Chip ID:                   0x3
Chip Revision:             0x1
Data Length:               380
Header CRC32:              0x7e2fc690 [Valid]
Data CRC32:                0x7824b25a [Valid]

```

### 3.1.3.2.3 Формат указателя на точку входа

Точка входа в образ вторичного загрузчика имеет следующий формат:

```
int main();
```

Переход на точку входа выполняется как вызов функции, а не безусловный переход. Это позволяет после исполнения кода вторичного загрузчика вернуться в ROM и загрузить следующий бинарный файл или провести загрузку с другого источника.

### 3.1.3.2.4 Последовательное исполнение нескольких образов вторичного загрузчика

Несколько корректных образов вторичного загрузчика можно записать последовательно в ПЗУ. В случае, если после исполнения кода первого экземпляра вторичного загрузчика был

									Лист
									389
Изм	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата				
38075-3	<i>Редук</i> 16.10.2020		38075-2						

возврат в got с кодом 0, из этого же источника будет загружен следующий образ и (в случае успешного прохождения процедуры целостности) исполнен.

### 3.1.3.3 Хост-режим загрузки

Хост-режим - это специальный режим загрузки, в рамках которого заголовок и образ исполняемого кода вторичного загрузчика помещается во внутреннюю память внешней хост-машины через следующие интерфейсы:

- JTAG – при помощи отладочного адаптера DSTREAM и ПО Arm DS-5 Development Studio компании ARM или совместимым;
- UART0 (115200 8n1) – по протоколу X-модем;
- Ethernet (По протоколу EDCL);
- EMI (Внешним, по отношению к микросхеме, master-устройством).

Заголовок и образ исполняемого кода вторичного загрузчика должны размещаться во внутренней памяти AMB0 + AMB1 (начиная с адреса 16384 в адресном пространстве микросхемы), по которому должно располагаться поле magic заголовка.

Запись по адресу 16384 правильного значения служебного слова приводит к тому, что первичный ROM-загрузчик запускает процесс проверки совместимости и целостности загрузочного образа с последующие последовательностью действий, определенных в разделе 3.1.3.4.

В хост-режиме, при успешном прохождении проверки образа на совместимость и целостность, поле device заголовка вторичного загрузчика устанавливается в NULL.

При загрузке в хост-режиме, для исключения возможности начала преждевременной процедуры проверки совместимости и целостности загружаемого образа исполняемого кода вторичного загрузчика, рекомендуется использовать следующую последовательность загрузки по хост-интерфейсу:

- Загрузить во внутреннюю память весь образ исполняемого кода, за исключением первых четырех байт.
- Установить magic (первые четыре байта) в значение служебного слова 0xb01dface.

### 3.1.3.4 Проверка совместимости и целостности образа исходного кода вторичного загрузчика

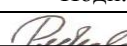
Заголовок используется первичным загрузчиком для выполнения следующих действий:

- Проведение базовой проверки совместимости образа вторичного загрузчика и микросхемы на основе анализа полей magic, version, chip\_id, chip\_rev;
- Проведение проверки целостности заголовка на основе контрольной суммы, указанной в полях header\_crc32;
- Проведение проверки образа исполняемого кода вторичного загрузчика на основе контрольной суммы, указанной в полях data\_crc32.

В качестве контрольных сумм используется реализация CRC-32-IEEE 802.3 с полиномом  $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X^1+X^0$ .

В случае обнаружения ошибок при проведении проверки совместимости и целостности образа исходного кода вторичного загрузчика первичный ROM-загрузчик перезаписывает поле magic заголовка на код обнаруженной ошибки, список которых приведен в таблице 3.3.

. При включенном режиме индикации, текстовое описание выводится в последовательный порт, а код ошибки выводится на выводы порта GPIOA.

					ЮФКВ.431268.022РЭ		Лист
							390
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
38075-3		 16.10.2020		38075-2			



**Таблица 3.3 – Типы ошибок при проведении проверки совместимости и целостности образа исходного кода вторичного загрузчика**

Имя в коде за-грузчика	Код ошибки	Описание
EBADMAGIC	1	Неправильное поле magic
EBADVERSION	2	Несовпадение версии заголовка
EBADHDRCRC	3	Ошибка в контрольной сумме заголовка
EBADCHIPID	4	Несовместимый chip id
EBADENTRY	5	Точка входа первичного ядра не прошла процедуру валидации
EBADHEADER	6	Ошибка в заголовке. Все ошибки заголовка имеют код меньше этого числа
EBADDATA CRC	7	Ошибка при проверке контрольной суммы данных
ETOOBIG	8	Размер данных превышает доступный для вторичного загрузчика размер встроенного ОЗУ. При загрузке по edcl/rmap при этом дальнейшее поведение загрузочного ПЗУ недетерминировано из-за перезаписи области стека
EBADSOURCE	9	Ошибка источника. После завершения исполнения программы вторичного загрузчика был запрошен переход на невалидный/несуществующий источник загрузки
EIO	10	Произошла ошибка ввода/вывода при чтении вторичного загрузчика из внешней памяти

R = 0 – последний пакет принят начальным загрузчиком без ошибок.

R = 1 – последний пакет принят начальным загрузчиком с ошибкой.

										Лист
										391
Изм	Лист	№ докум.	Подп.	Дата	ЮФКВ.431268.022РЭ					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редюк</i> 16.10.2020			38075-2					

### 3.2 Хранение СБИС 1888BC058

Минимальный срок сохраняемости микросхем при их хранении:

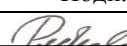
- в упаковке изготовителя в условиях отапливаемых хранилищ, хранилищ с кондиционированием воздуха по ГОСТ В 9.003, а также вмонтированных в защищенную аппаратуру или находящихся в защищенном комплекте не менее 25 лет,
- в неотапливаемом хранилище - 16,5 лет,

Хранение микросхем на открытой площадке в упаковке фирмы-изготовителя не допускается. Хранение микросхем, образующих страховой запас, должно осуществляться в упаковке фирмы-изготовителя только в отапливаемых хранилищах или хранилищах с регулируемой влажностью и температурой.

Срок сохраняемости исчисляются с даты изготовления, указанной на микросхеме.

**Таблица 3.4 - Значения гамма-процентного срока сохраняемости**

Место хранения	Значение T <sub>сγ</sub> , лет, при хранении	
	в упаковке изготовителя	в составе незащищенной аппаратуры и комплекта ЗИП
Неотапливаемое хранилище	16,5	16,5
Под навесом	12,5	12,5
На открытой площадке	Хранение не допускается	12,5

									Лист
									392
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата			
38075-3	 16.10.2020			38075-2					

## 4 Транспортирование СБИС 1888ВС058

Транспортирование микросхемы – по ГОСТ РВ 20.39.412 и ОСТ В 11 0998.

					ЮФКВ.431268.022РЭ			Лист
								393
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
38075-3		<i>Редко</i> 16.10.2020		38075-2				

## 5 Утилизация СБИС 1888ВС058

Микросхемы, по истечении срока хранения или не прошедшие предварительные испытания подлежат утилизации в установленном на предприятии порядке.

					ЮФКВ.431268.022РЭ			Лист	
								394	
Изм	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
38075-3		<i>Редко</i> 16.10.2020		38075-2					

