


Утвержден

ЮФКВ.469555.801РЭ-УД

Модуль МС127.01

Руководство по эксплуатации

ЮФКВ.469555.801РЭ

Инв.№ подл.	Подп. и дата	Взам.инв.№	Инв.№ подл.	Подп. и дата	Справ.№
32811	 16.06.2017				ЮФКВ.469555.801

Содержание

1	ОПИСАНИЕ.....	4
1.1	Назначение	4
1.2	Комплект поставки.....	5
1.3	Консервация и упаковка	5
1.4	Варианты исполнения модуля	6
1.5	Рекомендуемые требования к персональному компьютеру	6
2	ТЕХНИЧЕСКИЕ ДАННЫЕ.....	6
2.1	Основные параметры модуля.....	6
2.2	Рабочие условия эксплуатации	8
2.3	Конструкция и внешний вид модуля.....	8
2.4	Маркировка.....	12
3	УСТРОЙСТВО И ПРИНЦИП РАБОТЫ	12
3.1	Состав модуля.....	12
3.2	Подключение питания, начальная загрузка и сброс	14
3.3	Конфигурирование приемного тракта модуля	17

ЮФКВ.469555.801РЭ										
					Модуль МС127.01 Руководство по эксплуатации			Лит.	Лист	Листов
Изм	Лист	№ докум.	Подп.	Дата				2	44	
Разраб.		Романов								
Пров.		Дадашев								
Н.контр.		Седых								
Утв.		Павлов								
Инв.№ подл.		Подп. и дата		Взам.инв.№	Инв.№ подл.		Подп. и дата		Первое применение	
32811		<i>Pavlov</i> 16.06.2017							ЮФКВ.469555.801	

3.4	Система синхронизации приёмного тракта модуля	26
3.5	Контроллер LPDDR2	30
3.6	Ethernet.....	31
3.7	Последовательные шины данных SPI и I2C	31
3.8	JTAG	34
3.9	USB	35
3.10	UART.....	36
3.11	CAN	36
3.12	Байтовый коммуникационный порт	37
3.13	Входы навигационных данных	38
3.14	GPIO	39
3.15	RTC.....	40
3.16	Конфигурирование частоты процессора.....	41
3.17	Сигналы блока интервальных таймеров.....	42
3.18	Прочие сигналы управления	43
4	ПОДГОТОВКА МОДУЛЯ К ИСПОЛЬЗОВАНИЮ.....	43
4.1	Указание мер безопасности.....	43
4.2	Подготовка модуля к работе.....	43

					ЮФКВ.469555.801РЭ		Лист
							3
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата	
32811		<i>Редько</i> 16.06.2017					

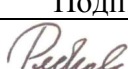
1 Описание

Настоящее руководство по эксплуатации предназначено для ознакомления с принципом работы, основными правилами эксплуатации и обслуживания изделия «Модуль МС127.01».

1.1 Назначение

Модуль МС127.01 (далее по тексту - модуль) представляет собой приемопередающее аналого-цифровое устройство с широкими интерфейсными возможностями, выполненное в виде отладочной платы. Модуль выполнен на базе микросхемы класса Система-на-Кристалле (СнК) сигнального навигационного процессора для высокопроизводительных профессиональных применений (СНП-ВП) К1888ВС018 ЮФКВ.431268.008ТУ для демонстрации и оценки её возможностей. Аппаратно – программная платформа модуля позволяет осуществлять прием радиосигналов, фильтрацию, обработку, хранение, формирование и излучение сигнала на высокой частоте (ВЧ).

Плату модуля можно условно разделить на две части: ВЧ аналоговую и цифровую. Высокочастотная часть состоит из четырех приемных и одного передающего каналов. Все приемные каналы идентичны по структуре и независимы друг от друга. Приемник выполнен на микросхеме NT1065, которая представляет собой четырехканальное приемное устройство сигналов ГНСС. Для обеспечения лучшей электромагнитной совместимости (ЭМС) приемные каналы закрыты экраном. В состав передающего тракта входят двухканальная микросхема прямого цифрового синтеза (DDS), два эллиптических фильтра низких частот на сосредоточенных элементах с полосой пропускания 400 МГц по уровню -3 дБ, и микросхема квадратурного модулятора со встроенным синтезатором частот (гетеродином). Микросхема СНП-ВП отвечает за первоначальную загрузку модуля, цифровую обработку сигналов и интерфейс с внешними периферийными устройствами. На плате модуля установлена микросхема динамической памяти LPDDR2 SDRAM с двумя кристаллами внутри

					ЮФКВ.469555.801РЭ			Лист
								4
Изм	Лист	№ докум.	Подп.	Дата				
	Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
	32811	 16.06.2017						

корпуса и суммарным объемом 1 Гб. Модуль обладает широкими интерфейсными возможностями: USB, Ethernet, UART, JTAG, SPI, I2C, CAN, GPIO, порты TSTD ядер DSP процессоров NeuroMatrix, байтовые коммуникационные порты COMx, входы навигационных данных Signum/Magnum, выход генератора псевдослучайной последовательности (ПСП) и слот под карту памяти формата SD.

Габаритные размеры модуля не превышают:

- по длине – 196 мм;
- по ширине – 171 мм;
- по высоте – 28 мм.

Максимальная масса модуля, включая элемент питания и карту памяти формата SD, не превышает 255 г.

1.2 Комплект поставки

1. Модуль MC127.01 ЮФКВ.469555.801 – 1 шт.;
2. Этикетка ЮФКВ.469555.801ЭТ – 1шт.;
3. Руководство по эксплуатации ЮФКВ.469555.801РЭ – 1 шт.;
4. Комплект принадлежностей ЮФКВ.466934.001 – 1 шт. В том числе:
 - Адаптер питания AC/DC GS25E07-P1J (ф. Mean Well) – 1шт.;
 - Джемпер MJ-0-4 (ф. Connfly) – 12 шт.;
 - Кабель USB BW1420 (1,8м) (ф. Belsis) – 1шт.;
 - Кабель ЮФКВ.685688.010-04 – 1шт.;
 - Кабель нуль модемный CC-134-6 (1,8м) (ф. Gembird) – 1шт.;
 - Карта памяти формата SD 8 Гб (ф. Kingston) – 1 шт.;
 - Элемент питания литиевый CR2032 (ф. Varta);
 - Розетка IDC-26F (ф. Connfly) – 2 шт.;
 - Розетка IDC-10F (ф. Connfly) – 2 шт.;
 - Розетка BLS-2 с контактами (ф. Connfly) – 1 шт.;

1.3 Консервация и упаковка

Модуль консервации не подлежит.

					ЮФКВ.469555.801РЭ			Лист
								5
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		<i>Редюк</i> 16.06.2017						

Упаковка производится в соответствии с технологической инструкцией ЮФКВ.25200.00017, обозначение упаковки 2К.

1.4 Варианты исполнения модуля

Модуль поставляется в четырех исполнениях. В таблице 1 представлены возможные варианты.

Таблица 1 Варианты исполнения модуля.

Версия исполнения	Краткое описание
ЮФКВ.469555.801	Базовая комплектация (цифровая часть)
ЮФКВ.469555.801-01	Максимальная комплектация (Базовая комплектация с установленными радиоприемным и радиопередающим трактами)
ЮФКВ.469555.801-02	Базовая комплектация с установленным радиоприемным трактом
ЮФКВ.469555.801-03	Базовая комплектация с установленным радиопередающим трактом

1.5 Рекомендуемые требования к персональному компьютеру

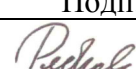
- Операционная система Windows или Linux;
- Двухъядерный процессор с частотой не менее 2 ГГц;
- ОЗУ объемом не менее 4 ГБ;
- Наличие не менее 3 ГБ свободного дискового пространства;
- Наличие портов USB, Ethernet, COM.

Основная часть вышеуказанных требований определена средой программной разработки ARM DS-5 ver.5.26. Более подробная информация приведена на сайте <https://developer.arm.com>

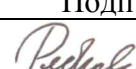
2 Технические данные

2.1 Основные параметры модуля

- Четыре приемных канала с системой автоматической регулировки усиления. Также предусмотрена возможность ручной регулировки;
- Типовая развязка между каналами – 40 дБ;

					ЮФКВ.469555.801РЭ			Лист
								6
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		 16.06.2017						

- Диапазоны входных частот для каждого приемного канала составляют: 1530 МГц – 1620 МГц (L1) и 1150 МГц – 1300 МГц (L2/L3/L5);
- Суммарный коэффициент усиления приемного тракта – 90 дБ;
- Точка компрессии -1дБ по входу приемника составляет – 40 дБм;
- Типовой коэффициент шума всего тракта РЧ приемника – 3,8 дБ;
- Полоса фильтра промежуточной частоты РЧ приемника по уровню – 3 дБ составляет не более 31 МГц;
- Возможность мультиплексирования тактового сигнала АЦП СНП-ВП между входом с внешнего генератора и комплементарным выходом с РЧ приемника;
- Частота дискретизации АЦП микросхемы СНП-ВП до 90 МГц;
- Одноканальный передающий тракт с квадратурным формированием полосового сигнала. Каждая из квадратурных составляющих формируется своим независимым цифро – аналоговым преобразователем (ЦАП) в двухканальной микросхеме прямого цифрового синтеза (DDS);
- Диапазон частот синтезируемого сигнала до 400 МГц;
- Максимальная тактовая частота синтезатора DDS не более 960 МГц;
- Диапазон перестройки частоты гетеродина в передающем тракте от 300 МГц до 4800 МГц;
- Типовое подавление паразитных составляющих в спектре передаваемого сигнала 45 дБ в широкой полосе частот;
- Точка компрессии -1дБ по выходу передатчика составляет 11 дБм;
- Максимальная системная частота СНП-ВП до 320 МГц;
- Наличие МЭМС датчиков: акселерометр, гироскоп и магнитометр;
- Широкий набор интерфейсов для обмена с периферийными устройствами;
- Рекомендуемое номинальное напряжение питания 7,5 В. Диапазон допустимых напряжений питания 6 В – 12 В;

					ЮФКВ.469555.801РЭ			Лист
								7
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		 16.06.2017						

- Максимальная потребляемая мощность по цепи питания с номинальным напряжением 7,5 В не превышает 22 Вт. Типовая потребляемая мощность для исполнения ЮФКВ.469555.801-01 составляет 7 Вт.

2.2 Рабочие условия эксплуатации

- Температура окружающей среды: 0°С...+70°С ;
- Относительная влажность воздуха: не более 80% при 25°С;
- Атмосферное давление: от 630 до 800 мм. рт. ст.

2.3 Конструкция и внешний вид модуля

Внешний вид модуля представлен на рисунках 1 и 2.

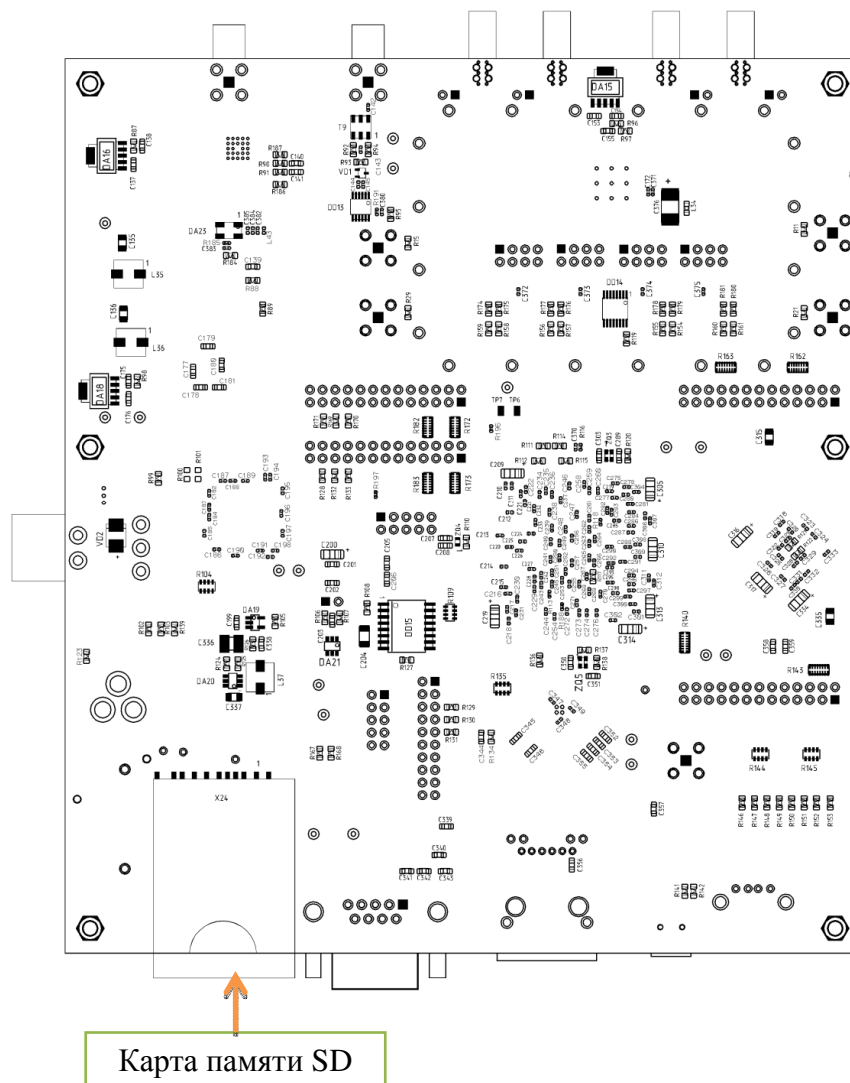


Рисунок 1 - Внешний вид модуля (Максимальная комплектация). Вид снизу.

					ЮФКВ.469555.801РЭ		Лист 8
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата	
32811		<i>Редюк</i> 16.06.2017					

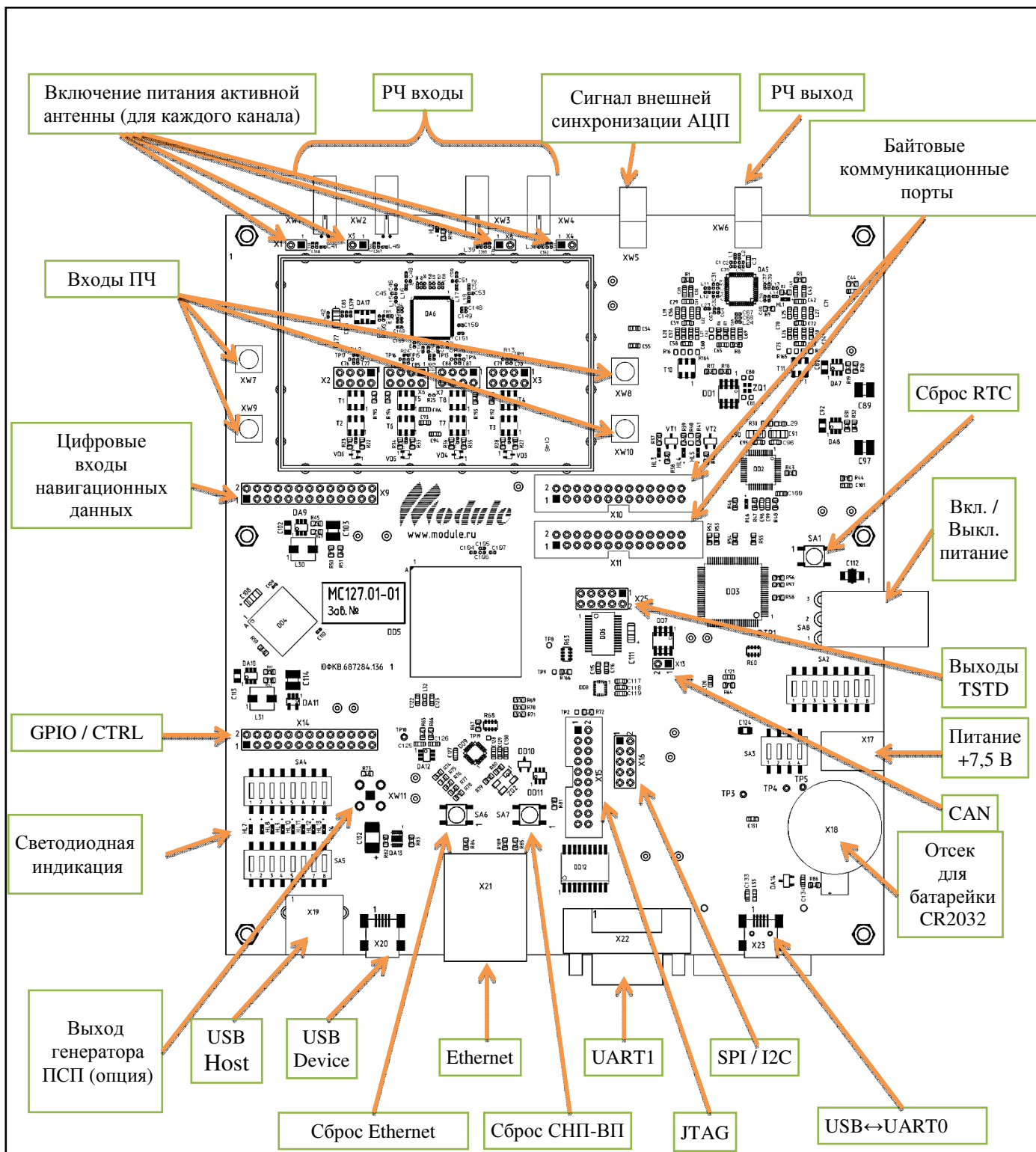


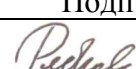
Рисунок 2 - Внешний вид модуля (Максимальная комплектация). Вид сверху.

Для обеспечения информационного взаимодействия с внешними устройствами, приема и передачи РЧ сигналов в модуле предусмотрены разъемы, описание и назначение которых приведено в таблице 2.

					Лист	
					9	
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.469555.801РЭ	
Инвар.№подл.	Подп. и дата		Взам.инв.№	Инвар.№подл.	Подп. и дата	
32811	<i>Редюк</i> 16.06.2017					

Таблица 2 Описание и назначение разъемов модуля

Позиционное обозначение разъема	Функциональное назначение	Примечание
XW1	RF IN 4	ВЧ вход (SMA) приемного тракта четвертого канала
XW2	RF IN 3	ВЧ вход (SMA) приемного тракта третьего канала
XW3	RF IN 2	ВЧ вход (SMA) приемного тракта второго канала
XW4	RF IN 1	ВЧ вход (SMA) приемного тракта первого канала
XW5	EXT CLK ADC	Вход (SMA) внешнего тактового сигнала для АЦП
XW6	RF OUT	Выход (SMA) передающего тракта
XW7	ADC3 IN	Вход (SMA) внешнего сигнала на промежуточной частоте для АЦП четвертого канала
XW8	ADC0 IN	Вход (SMA) внешнего сигнала на промежуточной частоте для АЦП первого канала
XW9	ADC2 IN	Вход (SMA) внешнего сигнала на промежуточной частоте для АЦП третьего канала
XW10	ADC1 IN	Вход (SMA) внешнего сигнала на промежуточной частоте для АЦП второго канала
XW11	TCOD	Опциональный выход (SMA) генератора псевдослучайной последовательности (по умолчанию разъем не установлен на плату модуля)
X1	PWR4	Разъем коммутации питания активной антенны четвертого канала
X2		Разъем коммутации входа АЦП четвертого канала при помощи джамперов
X3		Разъем коммутации входа АЦП первого канала при помощи джамперов

									Лист
									10
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.		Подп. и дата		
32811		 16.06.2017							

Позиционное обозначение разъема	Функциональное назначение	Примечание
X4	PWR1	Разъем коммутации питания активной антенны первого канала
X5	PWR3	Разъем коммутации питания активной антенны третьего канала
X6		Разъем коммутации входа АЦП третьего канала при помощи джамперов
X7		Разъем коммутации входа АЦП второго канала при помощи джамперов
X8	PWR2	Разъем коммутации питания активной антенны второго канала
X9	SIGN/MAGN	Цифровые входы навигационных данных
X10	C0	Коммуникационный порт C0
X11	C1	Коммуникационный порт C1
X13	CAN	Интерфейс CAN
X14	GPIO / CTRL	Сигналы GPIO и управления
X15	JTAG	Интерфейс программирования JTAG
X16	SPI / I2C	Интерфейс SPI / I2C
X17	DC IN	Разъем питания от адаптера AC/DC GS25E07-P1J (Mean Well);
X18	RTC VCC	Разъем для элемента питания CR2032
X19	HOST	Интерфейс USB в режиме работы модуля HOST
X20	DEVICE	Интерфейс USB в режиме работы модуля DEVICE
X21	Ethernet	Интерфейс Ethernet
X22	UART1	Интерфейс UART1
X23	USB↔UART0	Интерфейс USB↔UART0
X24	SD card	Разъем карты памяти формата SD
X25	TSTD	Разъем выходов TSTD

					ЮФКВ.469555.801РЭ			Лист
								11
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		<i>Редюк</i> 16.06.2017						

2.4 Маркировка

Модуль имеет маркировку содержащую:

- наименование изделия;
- заводской номер;
- обозначение изделия;
- название предприятия – изготовителя изделия «Module» со ссылкой на веб-сайт www.module.ru;
- позиционные обозначения элементов;
- краткое функциональное назначение разъемов.

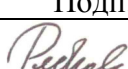
3 Устройство и принцип работы

3.1 Состав модуля

Основными составными частями модуля являются:

- микросхема четырехканального радиочастотного приемника (front end) NT1065 (далее по тексту РЧ ПРМ);
- микросхема сигнального навигационного процессора для высокопроизводительных профессиональных применений K1888BC018 (далее по тексту СНП-ВП) ЮФКВ.431268.008;
- цифровой синтезатор частот 1508ПЛ8Т АЕЯР.431320.596 (DDS);
- квадратурный модулятор TRF372017IRGZT;
- микросхема оперативного запоминающего устройства динамического типа MT42L256M32D2LG-25 WT:A (далее по тексту – SDRAM) емкостью 1 ГБ;

Упрощенная функциональная схема модуля в исполнении ЮФКВ.469555.801-01 представлена на рисунке 3.

					ЮФКВ.469555.801РЭ			Лист
								12
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		 16.06.2017						

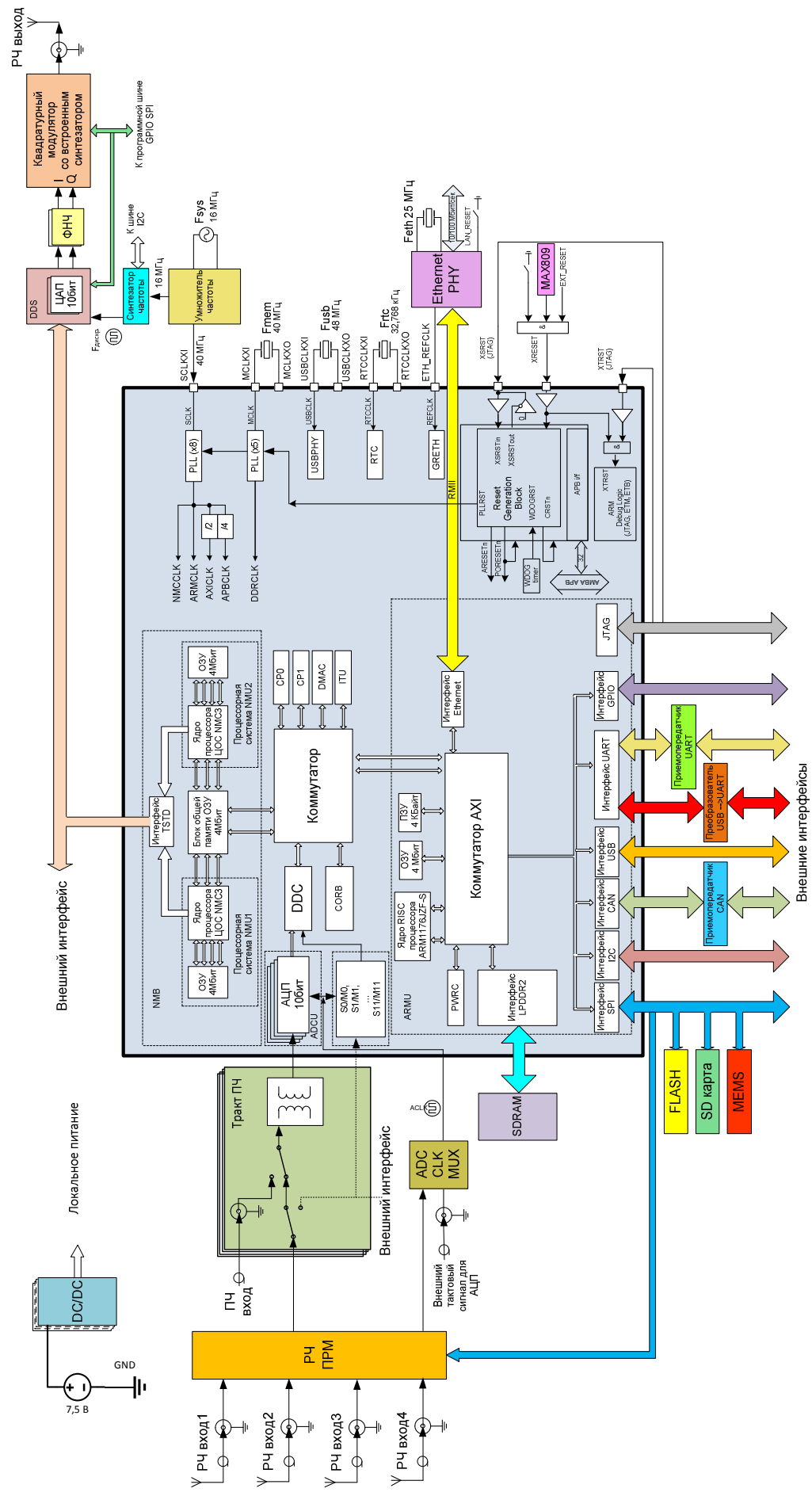


Рисунок 3 - Функциональная схема модуля

					ЮФКВ.469555.801РЭ		Лист
							13
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№подл.	Подп. и дата
		32811	<i>Редко</i>	16.06.2017			

3.2 Подключение питания, начальная загрузка и сброс

Питание модуля осуществляется от адаптера AC/DC GS25E07-P1J (Mean Well), поставляемого в составе комплекта модуля. Адаптер подключается к разъему X17. Для включения питания необходимо перевести переключатель SA8 в положение «ON», для выключения питания - в положение «OFF». В зависимости от исполнения платы при подаче напряжения питания загораются контрольные светодиоды, сигнализирующие об исправности источников питания. Варианты комбинаций индикации светодиодов показаны в таблице 3.

Таблица 3 – Индикация исправности системы питания модуля.

Версия исполнения модуля	HL3	HL4	HL5
ЮФКВ.469555.801	отсутствует	+	+
ЮФКВ.469555.801-01	+	+	+
ЮФКВ.469555.801-02	отсутствует	+	+
ЮФКВ.469555.801-03	+	+	+

Внимание! В том случае, если отсутствует светодиодная индикация, модуль подлежит возврату на предприятие – изготовитель для диагностики и последующего ремонта!

СБИС СНП-ВП имеет банк памяти ПЗУ объёмом 4 Кб, который содержит программу начального загрузчика. Начальная загрузка микросхемы возможна через интерфейсы SPI, UART0, UART1 и Ethernet. В штатном режиме при подаче питания на модуль начальный загрузчик СНП-ВП стартует программу загрузки по одному из интерфейсов в зависимости от состояния логических уровней на входах микросхемы BOOTM0, BOOTM1, BOOTM2.

Для смены уровня логических состояний в модуле предусмотрен движковый переключатель SA4 «BOOT_CFG», изображенный на рисунке 4. По умолчанию входы, отвечающие за загрузку, подтянуты к низкому логическому уровню (цепь «GND») и начальная загрузка выполняется по интерфейсу SPI. При загрузке по SPI максимальный объем программы, записанной в микросхему ПЗУ DD15 (M25P128-VMF6P) не должен превышать 16 МБ.

					ЮФКВ.469555.801РЭ			Лист
								14
Изм	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№подл.	Подп. и дата	
	32811		<i>Редюк</i>	16.06.2017				

В таблице 4 приведены значения логических состояний на управляющих входах микросхемы СНП-ВП для возможности выбора режима первоначальной загрузки. Переключение 1, 2 и 3 движков отвечает за загрузку согласно таблице 4.

Таблица 4 – Варианты начальной загрузки ядра ARM

BOOTM2	BOOTM1	BOOTM0	Интерфейс для первоначальной загрузки
0	0	0	SPI
0	0	1	UART0
0	1	0	UART1
1	X	X	Ethernet

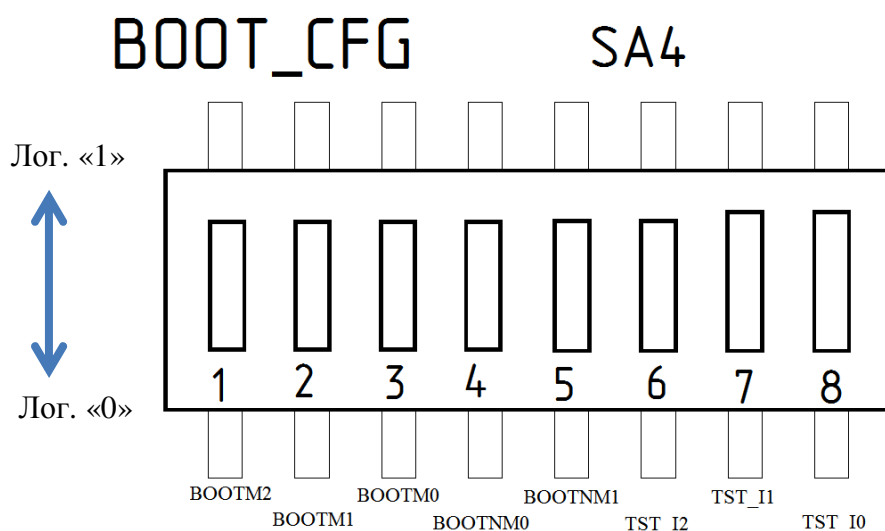


Рисунок 4 - Управление режимами загрузки СНП-ВП

В модуле предусмотрена светодиодная индикация состояния начального загрузчика СНП-ВП при помощи использования младших 8 разрядов портов GPIO[7:0]. Их состояние зависит от логического уровня внешних входов микросхемы TST_I2 и TST_I1 (6 и 7 движки, показанные на рисунке 4 соответственно). По умолчанию, в штатном режиме работы все входы TST_Ix подтянуты к цепи «GND». Если TST_I2 = 0, то загрузчик конфигурирует все разряды GPIO как входы, и индикации состояния начального загрузчика не происходит.

Если TST_I2 = 1, то в момент старта загрузчик конфигурирует разряды GPIO [7:0] как выходы. Остальные разряды GPIO конфигурируются как входы.

					ЮФКВ.469555.801РЭ			Лист
								15
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		<i>Редюк</i> 16.06.2017						

Если TST_I2 = 1, то значение 0x00 на GPIO[7:0] говорит о том, что процесс загрузки стартовал.

Если TST_I1 = 1, то значение 0xC0 говорит об успешном завершении загрузки, а значение 0xCe говорит об ошибке загрузки, где e – код ошибки.

При этом для обеспечения светодиодной индикации также необходимо перевести движки 1 – 8 в положение, указанное на рисунке 5. Переключатель SA5 представляет собой ключ, который замыкает/размыкает цепи индикации.

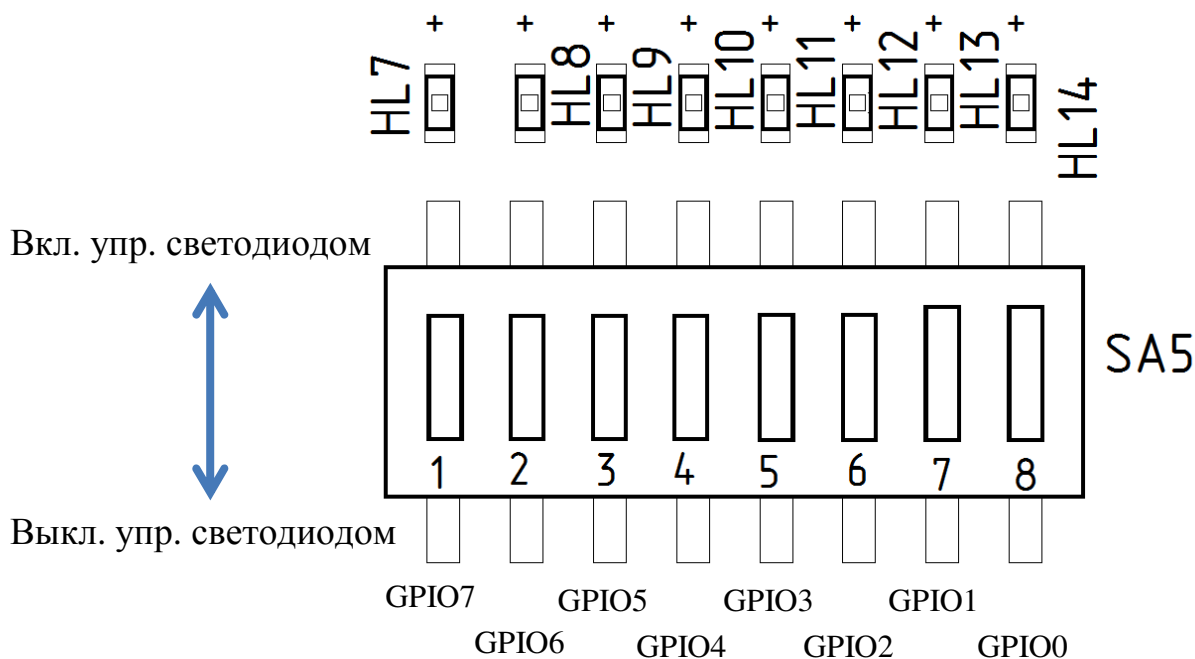


Рисунок 5 - Коммутация световой индикации модуля

Загрузка процессорной системы NMU0 и NMU1 определяется положениями движков 4 и 5 переключателя SA4, как показано на рисунке 4:

- Лог. «0» - загрузка процессорной системы NMU осуществляется процессорной системой ARMU;
- Лог. «1» - загрузка процессорной системы NMU через соответствующий коммуникационный порт;

При последующей работе режим загрузки процессорной системы может быть изменен программно.

Более подробно режимы загрузки описаны в руководстве по эксплуатации на СНП-ВП ЮФКВ.431268.008РЭ.

					ЮФКВ.469555.801РЭ			Лист
								16
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		<i>Редюк</i> 16.06.2017						

Сброс СМП-ВП осуществляется в следующих случаях:

- при выключении → включении питания;
- при нажатии тактовой кнопки SA7 «SoC_RST»;
- от внешнего сигнала с 16-го контакта разъема X14 «GPIO/CTRL»;
- программный сброс через JTAG программатор.

3.3 Конфигурирование приемного тракта модуля

В зависимости от исполнения модуля предусмотрено четыре варианта подачи входных сигналов на микросхему СМП-ВП:

1. Входной сигнал подается на входы промежуточной частоты (ПЧ) XW7 – XW10;
2. Входной сигнал подается на входы высокой частоты XW1 – XW4. Выходной сигнал на ПЧ – аналоговый;
3. Входной сигнал подается на входы высокой частоты XW1 – XW4. Выходной сигнал – цифровой;
4. Опциональное включение для тестирования работы РЧ ПРМ.

Каждый из вариантов детально описан далее по тексту. Для лучшего понимания работы АЦП и принципов согласования приемного тракта ниже приведены пояснения. На рисунке 6 приведены графики с указанием уровней входного сигнала по отношению к напряжению смещения средней точки на входе АЦП.

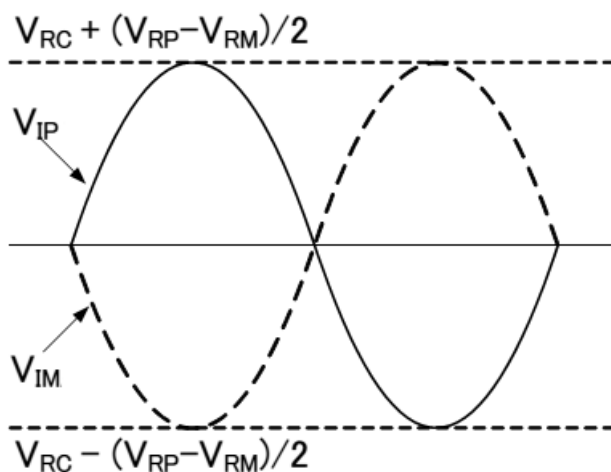


Рисунок 6 - Ожидаемый размах входного сигнала

					ЮФКВ.469555.801РЭ			Лист
								17
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		<i>Редюк</i> 16.06.2017						

Значения параметров V_{RP} , V_{RM} и V_{RC} приведены в таблице 5.

Таблица 5 Параметры напряжений АЦП

Параметр	Обозначение	Типовое значение	Единицы измерения
Справочное напряжение (высокое)	V_{RP}	0,91	В
Справочное напряжение (низкое)	V_{RM}	0,31	В
Напряжение средней точки	V_{RC}	0,61	В

Из графиков на рисунке 6 и параметров, приведенных в таблице 5 получаем значения напряжений (пик – пик) для V_{IP} и V_{IM} :

$$V_{IP} = \left(V_{RC} + \frac{(V_{RP} - V_{RM})}{2} \right) - \left(V_{RC} - \frac{(V_{RP} - V_{RM})}{2} \right) = V_{RP} - V_{RM} = 0,6 \text{ В}$$

$$V_{IM} = \left(V_{RC} - \frac{(V_{RP} - V_{RM})}{2} \right) - \left(V_{RC} + \frac{(V_{RP} - V_{RM})}{2} \right) = V_{RM} - V_{RP} = -0,6 \text{ В}$$

Поскольку АЦП имеет дифференциальный вход, то максимально допустимый дифференциальный размах V_{ADC} определяется как учетверенная амплитуда (V_{IP} или V_{IM}) входного синусоидального однофазного сигнала и равен $V_{ADC} = V_{IP} - V_{IM} = 0,6 - (-0,6) = 1,2 \text{ В}$. Пояснение приведено на рисунке 7.

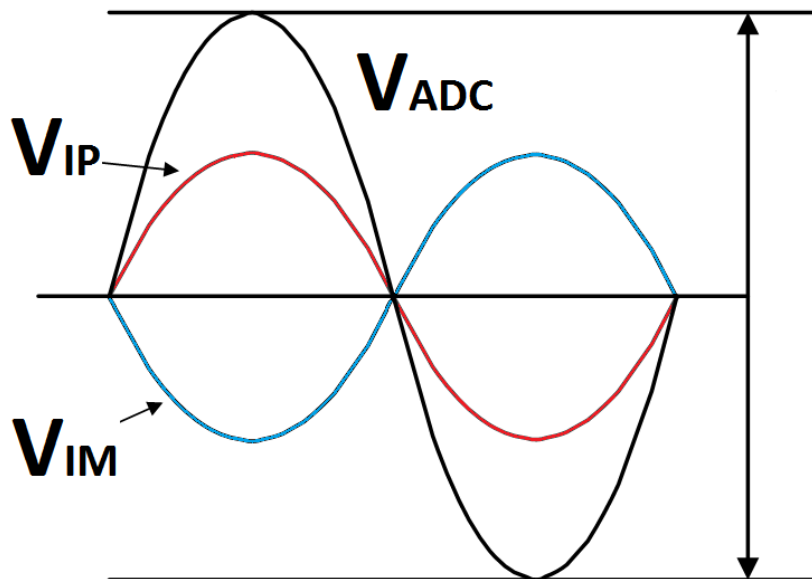


Рисунок 7 - Пояснение к предельному размаху сигнала на входе АЦП

					ЮФКВ.469555.801РЭ		Лист 18
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата	
32811		<i>Редюк</i> 16.06.2017					

В микросхеме СНП-ВП предусмотрена возможность усиления входного сигнала в два раза по амплитуде для входных сигналов с величиной размаха $V_{ADC} < 0,6$ В. При этом при установке соответствующего бита в регистре управления АЦП ADCCTRL усиление сигнала осуществляется попарно: АЦПО – АЦП1 и АЦП2 – АЦП3.

Вариант 1. Входной сигнал подается на входы промежуточной частоты (ПЧ) XW7 – XW10:

Соедините коаксиальный кабель от внешнего источника сигнала (например, генератора) с SMA разъемом (разъемами) на плате модуля XW7 – XW10. Установите джамперы, поставляемые в комплекте, в тракт ПЧ модуля на разъемах X2, X3, X6, X7 как показано на рисунке 8.

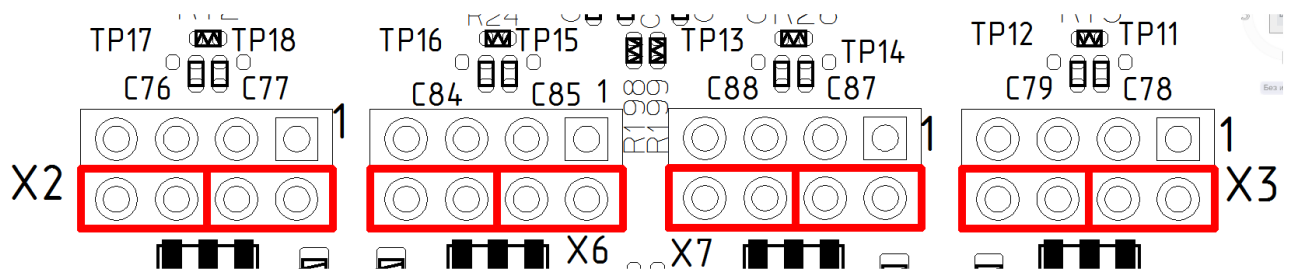


Рисунок 8 - Коммутация входов АЦП при входных сигналах на ПЧ

При этом эквивалентная схема тракта промежуточной частоты имеет вид, показанный на рисунке 9.

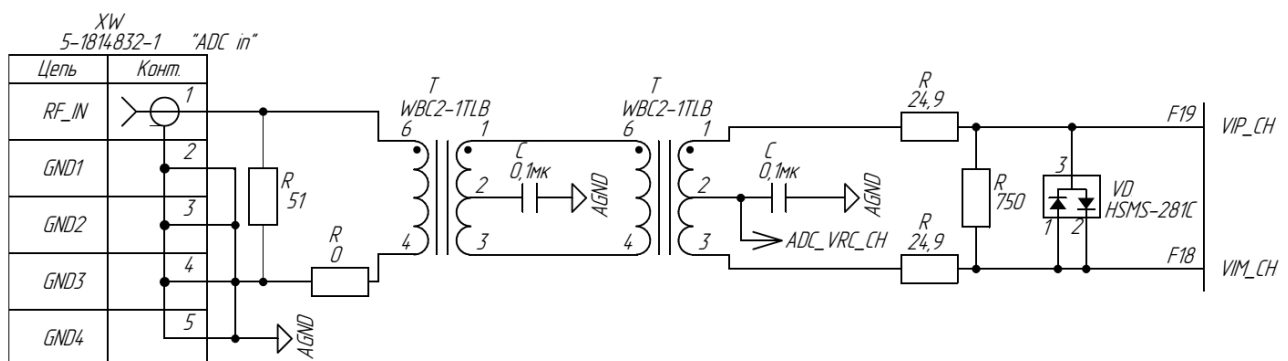


Рисунок 9 - Схема включения тракта ПЧ для варианта 1

Резистор на входе с сопротивлением 51 Ом согласует волновое сопротивление линии с выходным импедансом источника сигнала. Для обеспечения лучшей производительности при «относительно» высоких входных

					ЮФКВ.469555.801РЭ			Лист
								19
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.		Подп. и дата	
32811		<i>Редюк</i> 16.06.2017						

частотах два трансформатора соединены последовательно, чтобы минимизировать гармонические искажения четного порядка. Первый трансформатор преобразовывает асимметричный сигнал в дифференциальный сигнал, при этом заземленный вход на первичной обмотке ухудшает амплитудный баланс на вторичной обмотке из-за паразитной емкостной связи между обмотками. Второй трансформатор улучшает амплитудный баланс, и таким образом выравнивает гармонические искажения четного порядка. U-образный балансный дифференциальный аттенуатор между вторым трансформатором и входом АЦП вносит дополнительные 0,5 дБ потерь. Оба трансформатора на рисунке 9 в сочетании со встречно включенными диодами Шоттки исполняют роль ограничителя по мощности и напряжению. Соотношение импеданса вторичной обмотки к первичной каждого из трансформаторов составляет 2:1. Тогда напряжение на выходе первого трансформатора будет определяться как:

$$V_{T1_OUT} = V_{IN} \sqrt{\frac{Z_{T1_OUT}}{Z_{IN}}}$$

Переписав выражение для второго трансформатора, получаем:

$$V_{T2_OUT} = V_{IN} \sqrt{\frac{Z_{T1_OUT}}{Z_{IN}}} \cdot \sqrt{\frac{Z_{ADC}}{Z_{T1_OUT}}} = V_{IN} \sqrt{\frac{Z_{ADC}}{Z_{IN}}}$$

Где Z_{ADC} представляет собой комплексный импеданс, эквивалентная схема которого показана на рисунке 10.

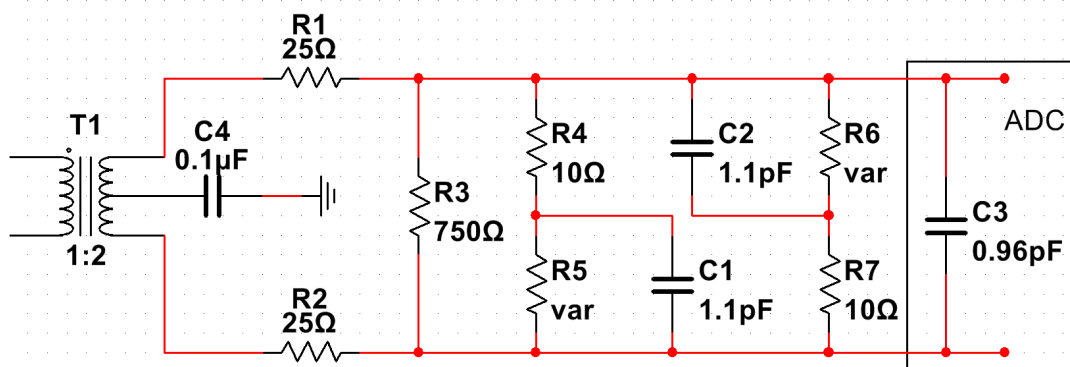


Рисунок 10 - Эквивалентная схема входа АЦП

					ЮФКВ.469555.801РЭ			Лист
								20
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		<i>Редюк</i> 16.06.2017						

Позиционные обозначения на рисунке проставлены в свободном порядке и не связаны с позиционными обозначениями схемы электрической принципиальной на модуль ЮФКВ.469555.801ЭЗ.

Соотношение импедансов обмоток 1:2 позволяет увеличить размах напряжения на выходе каждого из трансформаторов в 1,4 раза. Токоограничивающие последовательные резисторы R1 и R2 на входах АЦП подобраны для согласования с нагрузкой 50 Ом от внешнего источника сигналов. Резисторы R5 и R6 являются сопротивлениями р-п перехода встречно включенных диодов Шоттки и зависят от величины тока I протекающего через них:

$$R_j = \frac{26,54 \cdot 10^{-3}}{I + 4,8 \cdot 10^{-9}}$$

Для слабых сигналов диоды заперты и на выходе трансформатора нагрузка около 800 Ом. Выбор номинала параллельного сопротивления $R3 = 750$ Ом обусловлен другими вариантами использования тракта ПЧ. При повышении мощности входного сигнала диоды Шоттки открываются, шунтируя сопротивление R3 практически как короткое замыкание. При этом ухудшается параметр возвратных потерь входного сигнала. Можно улучшить согласование тракта путем увеличения номинала резистора в положительном плече и уменьшения сопротивления в отрицательном плече линии таким образом, чтобы их суммарное последовательное сопротивление было около 800 Ом. Но при этом чрезмерное увеличение сопротивления приведет к отражению части сигнала обратно на вход. Также не стоит забывать, что резисторы вносят дополнительный шум в сигнал, который влияет на возвратные потери.

В конечном итоге расчетная теоретическая полоса тракта ПЧ составляет около 300 МГц. Но поскольку предельная рекомендуемая частота полезного сигнала на входе АЦП составляет 60 МГц, то вышеописанное ограничение не сильно сказывается на характеристиках тракта ПЧ. На рисунке 11 приведен график теоретической АЧХ тракта ПЧ. Рекомендуется подавать на входы АЦП

					ЮФКВ.469555.801РЭ			Лист
								21
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		<i>Редюк</i> 16.06.2017						

сигнал в диапазоне 3 МГц – 60 МГц, т.к. данный диапазон имеет наименьшие потери.

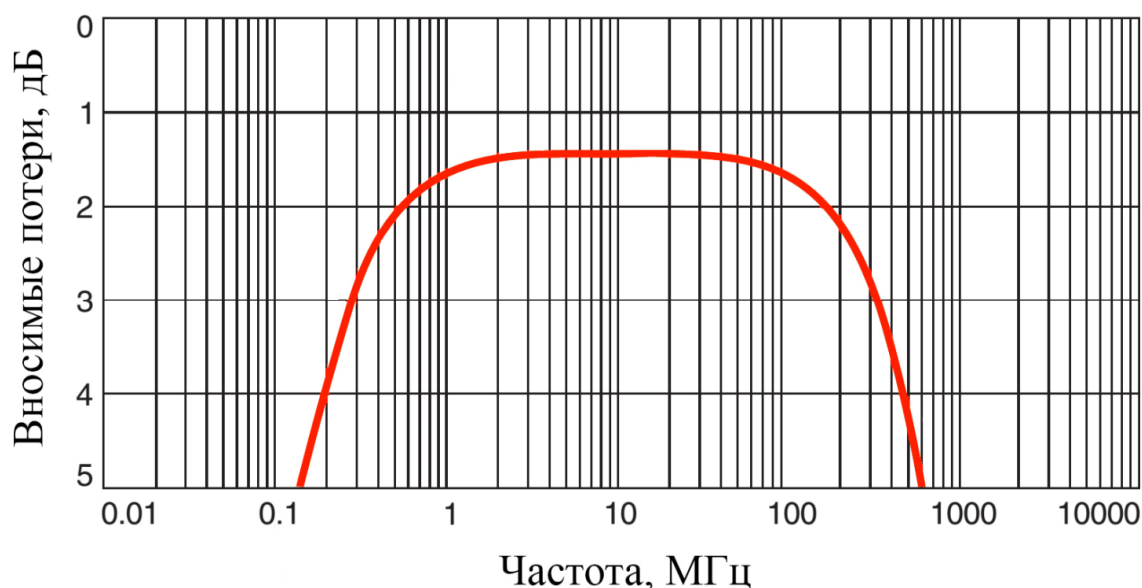


Рисунок 11 - Теоретическая АЧХ тракта ПЧ.

Вариант 2. Входной сигнал подается на входы высокой частоты XW1 – XW4. Выходной сигнал на ПЧ – аналоговый:

Для вариантов исполнений модуля ЮФКВ.469555.801-01 или ЮФКВ.469555.801-02 соедините коаксиальный кабель от внешнего источника ВЧ сигнала (например, антенны или генератора сигналов) с SMA разъемом (разъемами) модуля XW1 (RFin4) – XW4 (RFin1). Установите поставляемые в комплекте джамперы в тракт ПЧ модуля на разъемах X2, X3, X6, X7 как показано на рисунке 12.

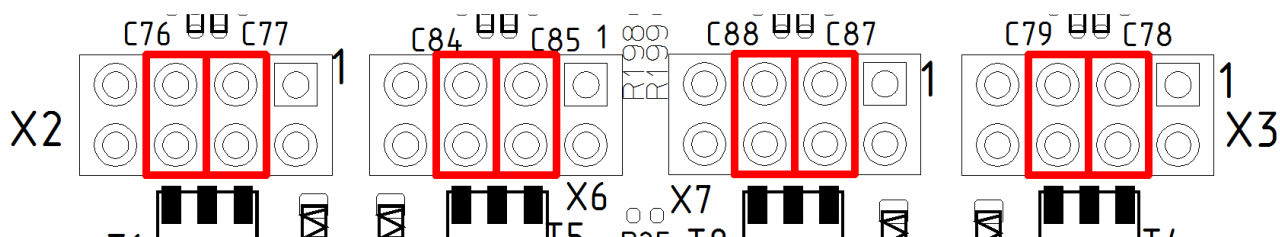


Рисунок 12 - Коммутация входов АЦП для подключения аналоговых сигналов с выходов РЧ ПРМ

					ЮФКВ.469555.801РЭ			Лист 22
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№подл.		Подп. и дата
32811		<i>Редюк</i> 16.06.2017						

При этом выходной сигнал РЧ ПРМ на промежуточной частоте подключается к входу АЦП в соответствии со схемой, показанной на рисунке 13.

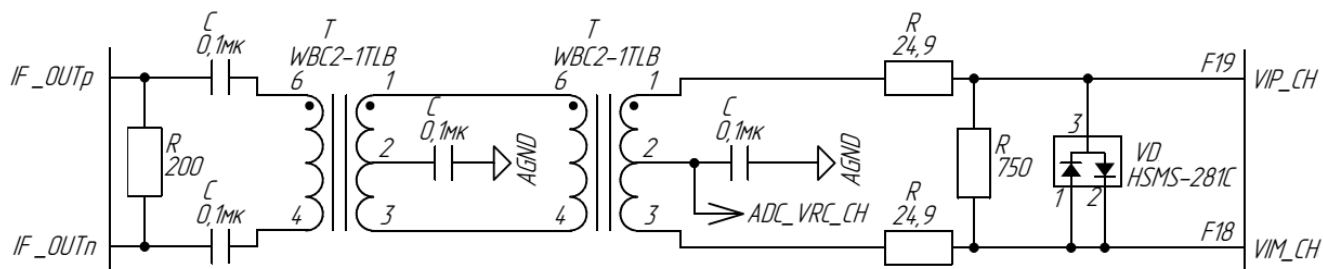


Рисунок 13 - Схема включения тракта ПЧ для варианта 2

Сопротивление $R3 = 750 \text{ Ом}$, показанное на рисунке 13 обеспечивает согласование импедансов, т.к. на выходе РЧ ПРМ установлено сопротивление номиналом 200 Ом. Принцип работы тракта ПЧ подробно описан в разделе «Вариант 1».

Модуль предусматривает возможность подключения до четырех активных антенн, при условии, что номинальное напряжение питания каждой из них составляет 5 В, а максимальный потребляемый ток не превышает 200 мА для одной антенны. Для подачи питания на активную антенну установите поставляемые в комплекте джамперы в тракт ВЧ модуля на разъемах X1, X4, X5, X8 как показано на рисунке 14.

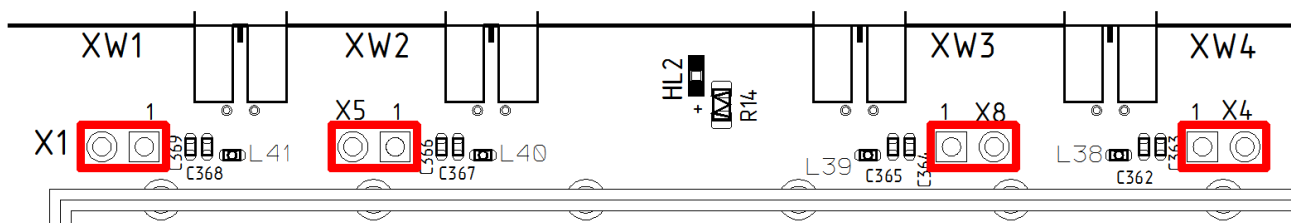


Рисунок 14 - Коммутация разъемов питания активной антенны

При первичном включении модуля в микросхеме РЧ ПРМ загружаются регистры с настройками по умолчанию, и в случае её исправности практически сразу загорается светодиод HL2, информирующий о статусе захвата гетеродинов в микросхеме – «PLL LD». При последующем перепрограммировании микросхемы РЧ ПРМ светодиод служит индикатором для оценки захвата PLL.

					ЮФКВ.469555.801РЭ			Лист 23
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.		Подп. и дата	
32811		<i>Редюк</i> 16.06.2017						

Вариант 3. Входной сигнал подается на входы высокой частоты XW1 –

XW4. Выходной сигнал – цифровой:

Для вариантов исполнений модуля ЮФКВ.469555.801-01 или ЮФКВ.469555.801-02 соедините коаксиальный кабель от внешнего источника ВЧ сигнала (например, антенны или генератора сигналов) с SMA разъемом (разъемами) модуля XW1 (RFin4) – XW4 (RFin1). Удалите джамперы с разъемов X2, X3, X6, X7 если они были установлены. Для работы с цифровыми навигационными данными SIGN/MAGN, получаемыми от микросхемы РЧ ПРМ, необходимо демонтировать резисторы R12, R13, R24, R26. Емкости C76 – C79, C84, C85, C88, C87 также необходимо демонтировать и распаять заново так, как показано на рисунке 15.

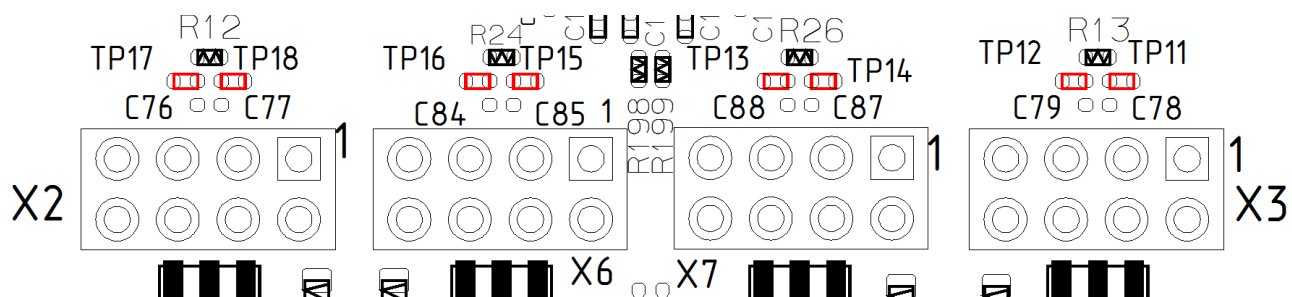


Рисунок 15 - Коммутация при использовании цифровых навигационных данных SIGN/MAGN с РЧ ПРМ

При этом выходные цифровые сигналы SIGN/MAGN подключается к входу блока предварительной обработки сигналов микросхемы СНП-ВП в соответствии со схемой, показанной на рисунке 16. Используются выводы SIGN/MAGN с нулевого по третий разряды. Сигналы по умолчанию подтянуты к низкому логическому уровню через pulldown резисторы 10 кОм. В случае исправной работы РЧ ПРМ точно также, как и для варианта 2 будет гореть светодиод HL2.

					ЮФКВ.469555.801РЭ		Лист
							24
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата	
32811		<i>Редюк</i> 16.06.2017					

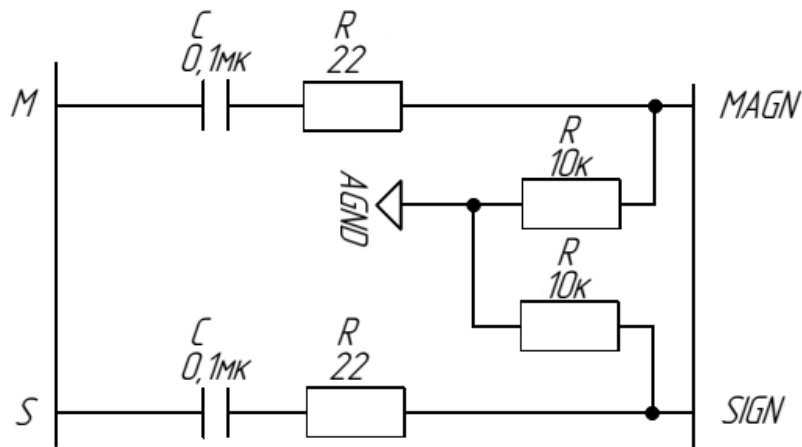


Рисунок 16 - Схема включения приемного тракта для варианта 3

Вариант 4. Опциональное включение для тестирования работы РЧ

ПРМ:

Для тестирования и настройки приемного тракта в модуле предусмотрена возможность коммутации выхода РЧ ПРМ на разъемы входов ПЧ XW7 – XW10. Данный вариант включения не является штатным и служит исключительно в отладочных целях для проверки параметров сигнала на выходе микросхемы NT1065. Установите поставляемые в комплекте джамперы в тракт ПЧ модуля на разъемах X2, X3, X6, X7, как показано на рисунке 17.

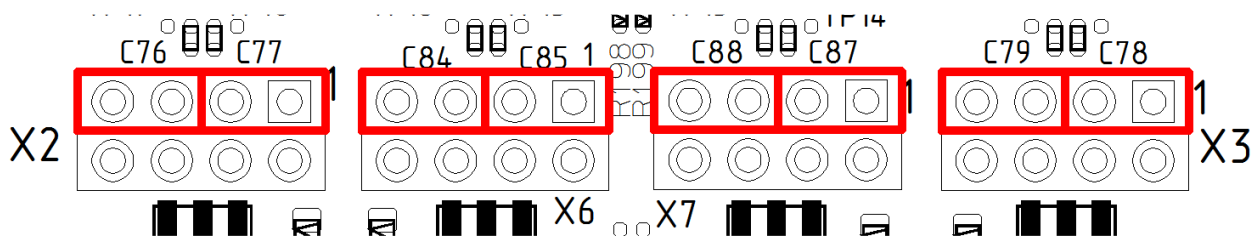


Рисунок 17 - Коммутация выходов РЧ ПРМ для проверки параметров сигналов

Схема подключения показана на рисунке 18. По умолчанию данный вариант включения не имеет корректного согласования и служит исключительно для оценки наличия сигнала на выходе NT1065. В случае проверки РЧ ПРМ в режиме аналогового выхода оценить параметры сигнала можно только по одному плечу дифференциального выхода – IF_OUTp. При этом рекомендуется демонтировать резисторы R11, R15, R21, R29 51 Ом. Для проверки фазового и амплитудного дисбалансов комплементарного сигнала необходимо дополнительно выпаять

					ЮФКВ.469555.801РЭ		Лист
							25
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата	
32811		<i>Редюк</i> 16.06.2017					

резисторы R192 – R195 0 Ом. В таком случае появляется возможность тестирования цепи IF_OUTn при помощи осциллографического измерительного щупа. При тестировании РЧ ПРМ в режиме цифрового выхода необходимо в дополнение к вышеприведенным операциям демонтировать резисторы R12, R13, R24, R26.

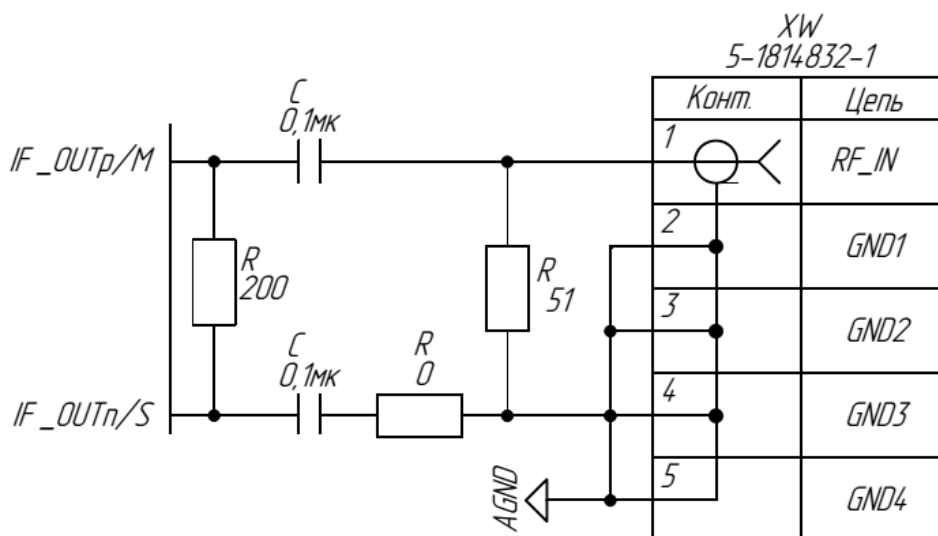


Рисунок 18 - Схема включения тракта ПЧ для варианта 4

Более подробную информацию о режимах работы РЧ ПРМ, его параметрах и программных настройках можно найти в техническом описании на микросхему NT1065 на диске, входящем в состав комплекта поставки, либо на сайте официального производителя <http://ntlab.com/>

3.4 Система синхронизации приёмного тракта модуля

Для тактирования АЦП (ADC0 - ADC3) и входов SIGNx/MAGNx в микросхеме СНП-ВП предназначен отдельный тактовый сигнал ACLK с частотой, значение которой не должно превышать 90 МГц. При этом опорный сигнал, используемый для формирования основных тактовых сигналов микросхемы (SCLKXI), формируется независимо и не привязан к генератору, который формирует опорный сигнал для РЧ ПРМ.

По умолчанию для всех исполнений предусмотрена возможность подачи тактового сигнала на АЦП с внешнего генератора через разъем XW5. При этом

					ЮФКВ.469555.801РЭ		Лист
							26
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата	
32811		<i>Редюк</i> 16.06.2017					

для вариантов исполнений модуля ЮФКВ.469555.801-01 и ЮФКВ.469555.801-02 предусмотрены два варианта тактирования АЦП:

- выходной тактовый сигнал от РЧ ПРМ (NT1065);
- внешний тактовый сигнал.

По умолчанию для АЦП выбирается дифференциальный тактовый сигнал уровня LVDS с радиочастотного приёмника. Для возможности тактирования АЦП с внешнего тактового генератора необходимо передвинуть пятый движок на переключателе SA2 в положении «Вкл.», как показано на рисунке 19. Возврат в положении «Выкл.» возвращает выбор тактового сигнала с РЧ ПРМ.

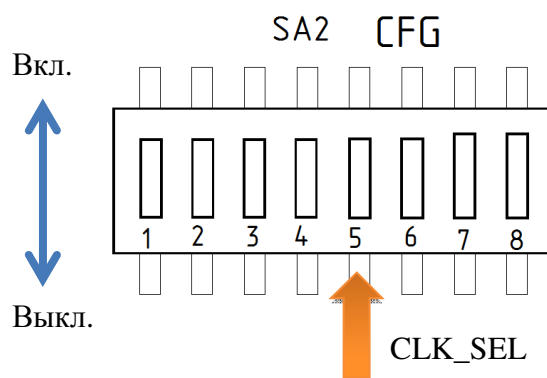


Рисунок 19 - Выбор внешнего или внутреннего тактового сигнала

Как было сказано ранее, для вариантов исполнений ЮФКВ.469555.801 и ЮФКВ.469555.801-03 возможность выбора отсутствует и необходимо всегда тактировать АЦП с внешнего генератора, поэтому движок 5 переключателя SA2 всегда должен быть в положении «Вкл.»

Входные блоки АЦП СНП-ВП очень требовательны к качеству тактового сигнала. Даже небольшие фазовые шумы приводят к джиттеру, при увеличении величины которого уменьшается значение сигнал/шум, определяемого выражением:

$$SNR_{jitter} = -20 \lg(2\pi \cdot F_{in} \cdot t_{jitter})$$

Для улучшения качества тактового сигнала в модуле реализована схема, показанная на рисунке 20. Схема во многом схожа со схемой включения тракта ПЧ для варианта 1. Генератор подключается к разъему XW5. Входной сигнал

					ЮФКВ.469555.801РЭ		Лист
							27
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата	
32811		<i>Редюк</i> 16.06.2017					

может быть, как синусоидальным, так и в виде меандра. Входная мощность внешнего тактового сигнала должна быть в диапазоне от -10 дБм до 24 дБм (не более 3,5 В на нагрузке 50 Ом).

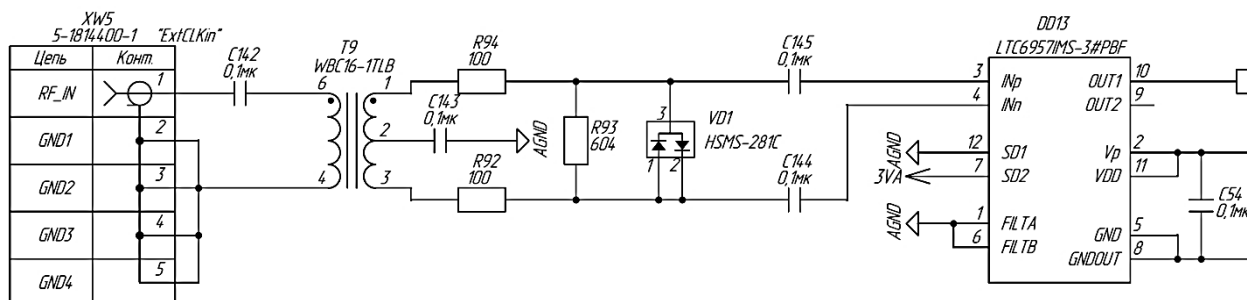


Рисунок 20 - Схема тактирования АЦП

Диапазон допустимых значений напряжения входного сигнала для LTC6957 составляет от 0,2 В до 2 В на нагрузке 50 Ом. Трансформатор способен выдерживать сигналы мощностью до 0,25 Вт (3,5 В на нагрузке 50 Ом). Трансформатор также гальванически развязывает «земли» источника тактового сигнала (генератора) и модуля, уменьшая взаимное влияние паразитных составляющих.

За счет соотношения импедансов вторичной обмотки к первичной 16:1, зависимость напряжений составляет 4:1 соответственно, что позволяет обеспечивать на выходе трансформатора сигнал с крутыми фронтами. Это особенно важно при слабых сигналах, т.к. возникает фазовый шум при преобразовании амплитудной модуляции в фазовую модуляцию (AM-PM conversion). Микросхема LTC6957-3 позволяет преобразовывать входные сигналы синусоидальной и логической формы в КМОП уровень. Аддитивный джиттер, вносимый микросхемой при этом составляет порядка 150 фемтосекунд. Выходной КМОП сигнал поступает на вход буфера – мультиплексора ICS8305 с низким уровнем аддитивного джиттера равным 40 фс. Общее значение вносимого джиттера зависит от ряда параметров, основными из которых являются фазовый шум источника тактового сигнала и собственный апертурный джиттер АЦП. Суммарная величина джиттера рассчитывается как среднеквадратичное значение джиттеров всех элементов в цепи тактового сигнала.

									Лист
									28
Изм.	Лист	№ докум.	Подп.	Дата					
					ЮФКВ.469555.801РЭ				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата				
32811	<i>Редюк</i> 16.06.2017								

$$t_{jitter} = \sqrt{(t_{j1})^2 + (t_{j2})^2 + \dots + (t_{jN})^2}$$

Суммарное значение SNR зависит от соотношения сигнал/шум по шумам квантования SNR_{QN} , соотношения сигнал/шум SNR_{TN} по температурным шумам и от соотношения сигнал шум, зависящего от джиттера SNR_{jitter} . На рисунке 21 приведены графики зависимостей суммарного SNR от частоты входного сигнала и джиттера. Предельно достижимое значение SNR для данного АЦП составляет около 56 дБ.

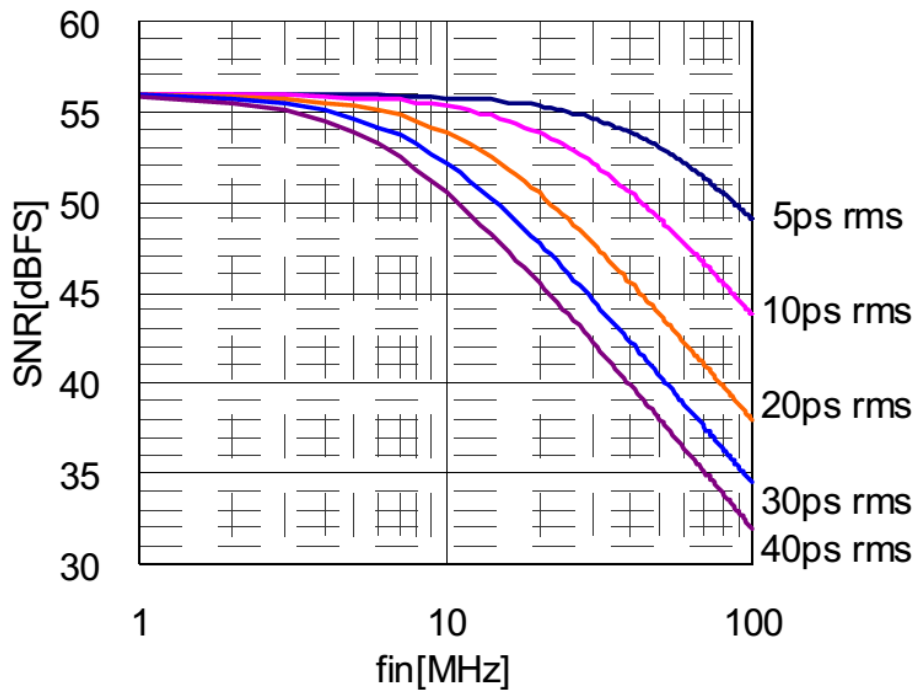


Рисунок 21 - Суммарный SNR от частоты входного сигнала и джиттера

Справочные результаты измерений параметров АЦП в составе модулей приведены в таблице 6. В качестве источников тактового и полезного сигналов использовались внешние генераторы. Частота полезного сигнала 10 МГц, амплитуда - 400 мВ.

					ЮФКВ.469555.801РЭ			Лист
								29
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		<i>Редюк</i> 16.06.2017						

Таблица 6 – Справочные результаты измерений параметров АЦП

		SNR, дБ	SFDR, дБ	ENOB, бит	SINAD, дБ	THD, дБ
Модуль № 1	ADC_0	55.84	67.70	8.92	55.49	-65.12
	ADC_1	56.08	65.16	8.97	55.77	-66.20
	ADC_2	55.70	63.71	8.91	55.43	-65.53
	ADC_3	55.60	69.28	8.91	55.39	-66.30
Модуль № 2	ADC_0	54.87	64.54	8.77	54.58	-64.67
	ADC_1	55.17	67.98	8.75	54.48	-63.80
	ADC_2	54.73	62.54	8.73	54.36	-63.85
	ADC_3	55.14	70.17	8.83	54.90	-65.54

3.5 Контроллер LPDDR2

На плате модуля установлена микросхема динамической памяти MT42L256M32D2LG-25 WT:A производства фирмы Micron.

Интерфейс с внешней памятью LPDDR2 управляется двумя контроллерами СМП-ВП:

- Контроллер логического уровня (EMIC)
- Контроллер физического уровня и DLL (PHYC)

Ниже приведены основные параметры контроллеров:

- Тип поддерживаемой памяти LPDDR2 SDRAM;
- Частота шины 200 МГц;
- Разрядность внешней шины данных, бит – 32;
- Количество сигналов выбора микросхемы (chip select) – 2;
- Количество банков в микросхеме памяти – 8;

Программирование контроллеров осуществляется процессорным ядром ARM. Перед тем, как производить обращения к внешней памяти, необходимо инициализировать оба контроллера.

					ЮФКВ.469555.801РЭ		Лист
							30
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата	
32811		<i>Редюк</i> 16.06.2017					

Более подробное описание работы контроллера динамической памяти можно найти в руководстве по эксплуатации на СНП-ВП ЮФКВ.431268.008РЭ.

3.6 Ethernet

Для возможности обмена по Ethernet необходимо подключить кабель («патч-корд») в разъем X21 «Ethernet». Сброс контроллера физического уровня осуществляется нажатием на кнопку SA6 «LAN_RST». Микросхема СНП-ВП содержит MAC контроллер, соединенный с внешним устройством физического уровня (PHY) LAN8720Ai. На рисунке 22 приведена схема взаимодействия контроллеров MAC и PHY стандарта Ethernet. Обмен данными между контроллерами осуществляется по интерфейсу RMII. Тактовые сигналы Ethernet приемопередатчика генерируются устройством PHY. Скорость передачи данных контроллера составляет 10/100 Мбит/сек в полудуплексном и дуплексном режимах. Модуль поддерживает прямое и перекрестное включение кабеля.

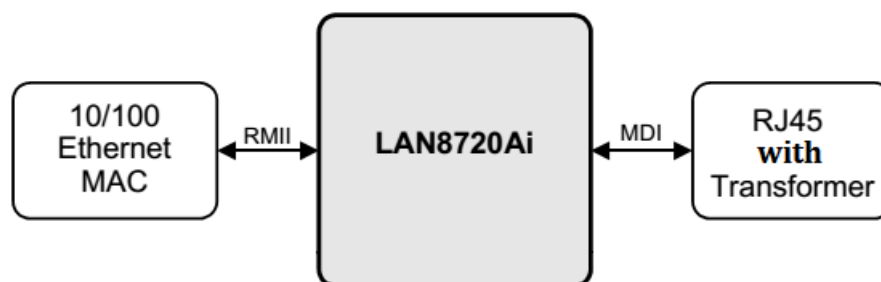


Рисунок 22 – Схема обмена данными по Ethernet

3.7 Последовательные шины данных SPI и I2C

Для возможности обмена по последовательным шинам данных SPI и I2C на плате модуля предусмотрен разъем X16 «SPI/I2C».

Последовательный порт SPI в микросхеме СНП-ВП имеет следующие характеристики:

- формат данных – Motorola SPI в режиме master;
- поддержка полнодуплексного SPI mode 0,1,2 и 3;
- программируемая частота обмена, максимальная частота обмена 40 МГц (T=25 нс);

					ЮФКВ.469555.801РЭ			Лист
								31
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		<i>Редюк</i> 16.06.2017						

- поддержка до 3 подключенных ведомых SPI устройств в режиме разделения времени;
- программируемая длина SPI фрейма от 4 до 16 бит.

К аппаратной шине SPI подключены микросхемы: ПЗУ M25P128-VMF6PB, МЭМС (3D акселерометр/гироскоп/магнетометр) LSM9DS1, карта памяти SD и РЧ ПРМ NT1065.

Блок контроллера интерфейса I2C в микросхеме СНП-ВП имеет следующие характеристики:

- Ведущий может выступать как в роли ведущего-передатчика, так и в роли ведущего-приемника;
- Ведомый может выступать как в роли ведомого-передатчика, так и в роли ведомого-приемника;
- Для устранения коллизий, которые могут возникать при подключении более одного ведущего, разработана процедура арбитража;
- Поддерживается процедура синхронизации устройств;
- Обнаружение адреса Slave-устройства;
- Опознавание направления передачи;
- Обнаружение ошибок на шине;
- Поддерживаются два режима: 100 кбит/с и 400 кбит/с.

В таблице 7 приведено описание сигналов и назначение контактов для четырёхпроводного последовательного синхронного интерфейса SPI и для двунаправленной шины I2C с последовательной передачей данных.

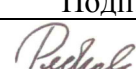
					ЮФКВ.469555.801РЭ			Лист
								32
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		 16.06.2017						

Таблица 7 - Сигналы последовательных шин данных в модуле

Контакт на разъеме	Вывод СМП-ВП	Тип буфера	Примечание
9	SPICLK	выход	выход тактового сигнала SPI порта
2	SPITXD	выход	выход данных SPI порта
4	SPIRXD	вход	вход данных SPI порта
6,5,3	SPI_CS5...SPI_CS7	выход	выбор ведомого SPI устройства (сигнал с активным низким уровнем)
8	SCL	вход/выход	тактовый сигнал
7	SDA	вход/выход	обмен данными
1, 10	GND	-	общий

Для вариантов исполнений ЮФКВ.469555.801-01 и ЮФКВ.469555.801-03 предусмотрена возможность программирования микросхемы генератора тактовых сигналов DD2 (8V43FS92432PRG) по интерфейсу I2C. Данная микросхема формирует тактовый сигнал с уровнем LVPECL для микросхемы DDS 1508ПЛ8Т. По умолчанию первоначальная загрузка микросхемы осуществляется по параллельной шине, и синтезатор формирует сигнал с частотой 960 МГц. Чтобы изменить частоту выходного сигнала необходимо программно переключиться с параллельного типа загрузки на последовательный по шине I2C. Для этого необходимо перевести 1 и 2 движки переключателя SA3 «I2C_CTRL» в положение «Вкл.», как показано на рисунке 23. Движки 3 и 4 задают адрес микросхемы генератора тактовых сигналов. Программирование возможно, как с микросхемы СМП-ВП, так и с внешнего устройства, поддерживающего передачу данных по последовательной шине I2C. На плате модуля предусмотрен светодиод HL6, сигнализирующий о захвате частоты синтезатора 8V43FS92432PRG.

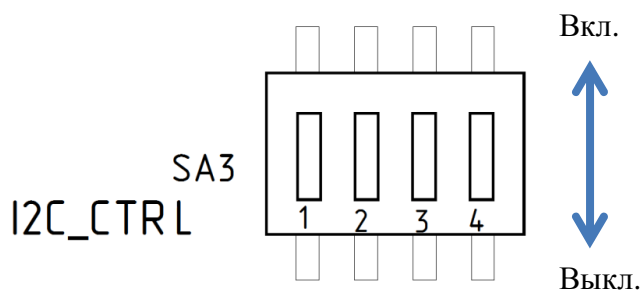


Рисунок 23 - Коммутация последовательной шины I2C с синтезатором 8V43FS92432PRG

					ЮФКВ.469555.801РЭ		Лист 33
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата	
32811		<i>Редюк</i> 16.06.2017					

Более подробное описание работы последовательных интерфейсов, включая временные диаграммы, можно найти в руководстве по эксплуатации на СНП-ВП ЮФКВ.431268.008РЭ.

3.8 JTAG

JTAG – интерфейс с 5-выводным тестовым портом, реализованным согласно стандарту IEEE Std. 1149.1-1990. Порт JTAG в микросхеме используется для двух целей:

- для контроля на этапе производства микросхем в режиме тестирования (вход TSTMODE=1);
- для отладки программ ARM в рабочем режиме (вход TSTMODE=0).

Для возможности тестирования и отладки по JTAG на плате модуля предусмотрен разъем X15 «SoC_JTAG».

В качестве аппаратного отладчика рекомендуется использовать RealView ICE (далее RVI) или другой аналог, эквивалентный по функционалу. Аппаратный отладчик подключается к плате через 20-пиновый IDC разъем с шагом выводов 2,54 мм.

В СНП-ВП используется расширенный вариант порта JTAG. Описание выводов JTAG приведено в таблице 8.

Таблица 8 - Выводы микросхемы, используемые для отладки

Вывод	Тип буфера	Примечание
TDI	вход	вход данных тестового порта
TDO	выход	выход данных тестового порта
TMS	вход	выбор режима тестирования
TCK	вход	тактовый сигнал тестового порта
RTCK	выход	выход синхросигнала TCK тестового порта
XTRST	вход	сброс тестового порта
XSRST	вход/выход	сброс программный от отладчика

На рисунке 24 приведены цепи и типовая схема подключения JTAG разъема к микросхеме СНП-ВП.

					ЮФКВ.469555.801РЭ			Лист
								34
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		<i>Редюк</i> 16.06.2017						

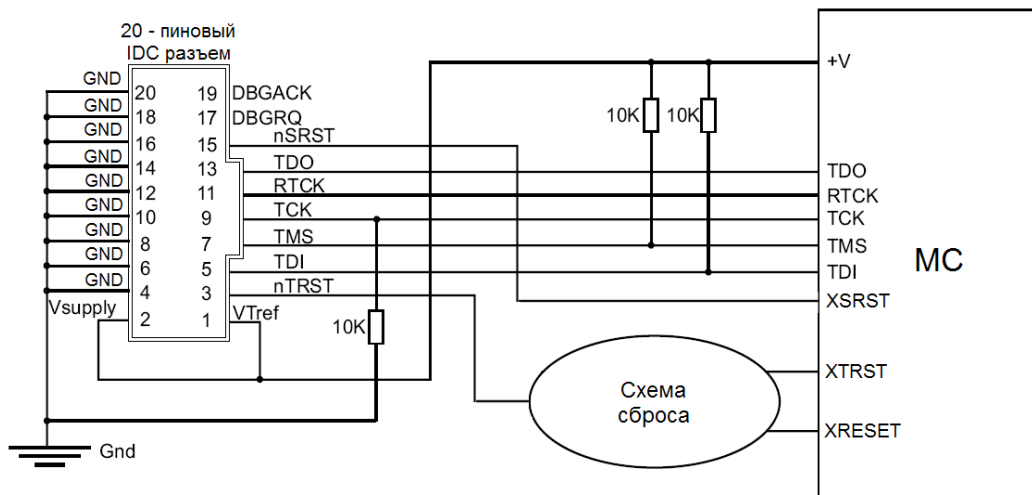


Рисунок 24 - Подключение JTAG программатора к модулю

Более подробное описание работы интерфейса JTAG можно найти в руководстве по эксплуатации на ЧНП-ВП ЮФКВ.431268.008РЭ.

3.9 USB

Контроллер USB в микросхеме ЧНП-ВП обеспечивает аппаратную поддержку обмена данными по шине USB и соответствует спецификации устройства типа USB 2.0 High-speed. Аппаратная реализация модуля позволяет использовать его как хост-контроллер (USB host), так и как конечное устройство (USB device). Контроллер поддерживает режимы скорости High-speed (480 Мбит/с) и Full-speed (12 Мбит/с). В режиме работы хост контроллера максимальный ток периферийного устройства не должен превышать 1 А по цепи питания постоянного тока с номинальным напряжением 5 В.

Сигнальная цепь USBID определяет, в какой роли должен выступать USB контроллер при подключении к другому устройству USB. Для выбора режима работы необходимо передвинуть первый движок переключателя SA2 CFG. По умолчанию используется режим DEVICE.

При подключении кабеля с разъемом типа USB mini-B в разъем X20 «USB_DEVICE» на плате модуля необходимо передвинуть движок в положении «Вкл. DEVICE», как показано на рисунке 25.

									Лист
									35
Изм.	Лист	№ докум.	Подп.	Дата	ЮФКВ.469555.801РЭ				
Инь.№подл.	Подп. и дата		Взам.инв.№	Инь.№подл.	Подп. и дата				
32811	<i>Редюк</i> 16.06.2017								

При подключении кабеля с разъемом типа USB A в разъем X19 «USB_HOST» на плате модуля необходимо передвинуть движок в положении «Вкл. HOST», как показано на рисунке 25.

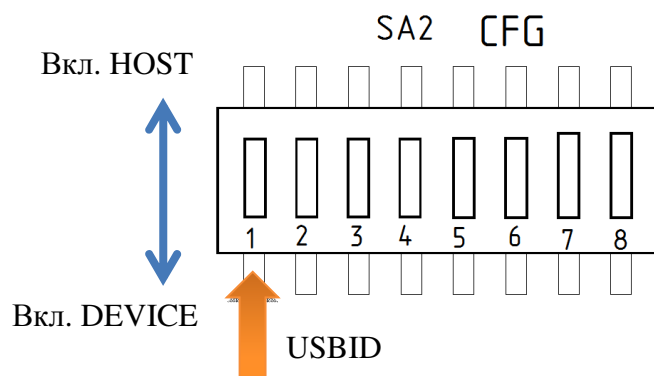


Рисунок 25 - Выбор режима работы USB контроллера

Более подробное описание работы интерфейса USB можно найти в руководстве по эксплуатации на СНП-ВП ЮФКВ.431268.008РЭ.

3.10 UART

В микросхеме СНП-ВП аппаратно реализованы два контроллера асинхронного последовательного порта UART. Программируемая скорость обмена до 460800 бод из стандартного ряда скоростей.

Нулевой порт UART СНП-ВП через преобразователь интерфейса FT232RL подключен к разъему USB (mini-B) X23 «USB→UART» на плате модуля.

Первый порт UART СНП-ВП подключен к девяти контактному разъему D-SUB (DRB-9MA) X22 «UART» на плате модуля через приемопередатчик SP3222EBET-L стандарта RS-232.

Более подробное описание работы интерфейса UART можно найти в руководстве по эксплуатации на СНП-ВП ЮФКВ.431268.008РЭ.

3.11 CAN

В микросхеме СНП-ВП аппаратно реализован контроллер стандартизированной последовательной шины CAN. Модуль может взаимодействовать с периферийными устройствами через приемопередатчик

					ЮФКВ.469555.801РЭ			Лист
								36
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		<i>Редкол</i> 16.06.2017						

ТJA1051T/3. Для этого на плате предусмотрен штыревой разъем X13 «CAN». Коммутация к разъему осуществляется при помощи розетки BLS-2 из комплекта поставки модуля. Для корректного согласования в режиме работа «точка – точка» в модуле предусмотрены терминирующие резисторы R106 и R107 по 60 Ом каждый. В случае использования модуля в качестве промежуточного звена в цепи шины CAN возможно потребуются осуществить демонтаж резисторов.

Контроллер интерфейса CAN в СНП-ВП имеет следующие характеристики:

- Поддерживает CAN протокол версии 2.0 часть А и В;
- Программируемая частота передачи данных до 1МБит/с;
- Каждому сообщению (а не устройству) устанавливается свой приоритет;
- Каждый объект сообщений имеет свой собственный идентификатор;
- Допустимость нескольких ведущих устройств в сети;
- Способность к обнаружению ошибок и сигнализации об их наличии.

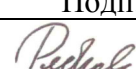
Более подробное описание работы интерфейса CAN можно найти в руководстве по эксплуатации на СНП-ВП ЮФКВ.431268.008РЭ.

3.12 Байтовый коммуникационный порт

Синхронные байтовые коммуникационные порты ввода/вывода предназначены для высокоскоростного обмена данными между СНП-ВП и внешним устройством по типу «точка – точка». Микросхема СНП-ВП в своем составе содержит два коммуникационных порта (СОМ0 и СОМ1). По устройству и функциональным возможностям оба порта идентичны.

Основные характеристики каждого из коммуникационных портов:

- полудуплексная побайтная передача 64-разрядных слов;
- передача в обе стороны с производительностью до 160 Мбайт/сек (при тактовой частоте работы процессора равной 320 МГц);
- формирование сигнала готовности от приёмника передатчику для синхронизации их работы.

					ЮФКВ.469555.801РЭ			Лист
								37
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		 16.06.2017						

Для обмена данными необходимо подключить жгут с разъемом IDC-26F к одному из разъемов на плате X10 «C0_PORT» или X11 «C1_PORT».

По умолчанию сигнальные цепи обоих портов подтянуты к высокому логическому уровню, за исключением CxIS и nCxHOLDO. Направление обмена данными порта определяется логическим уровнем на входе CxIS и меняется путем переключения второго и третьего движков на переключателе SA2 «CFG» в требуемое положение, как показано на рисунке 26. По умолчанию оба порта после первоначальной загрузки находятся в режиме приема. Режим работы коммуникационных портов 0 и 1 после системного сброса задается движковыми переключателями 2 и 3 соответственно, как показано на рисунке 26:

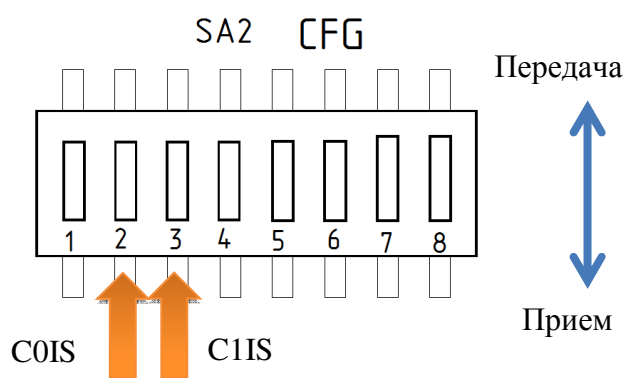


Рисунок 26 - Выбор направления обмена данными

В каждый момент времени коммуникационный порт может находиться в одном из двух состояний: в режиме приема или в режиме передачи. В режиме передачи порт является активным устройством, выдающим на шину данные и стробирующие сигналы. В режиме приема порт является пассивным устройством, ожидающим прихода данных.

Более подробное описание работы байтовых коммуникационных портов можно найти в руководстве по эксплуатации на СНП-ВП ЮФКВ.431268.008РЭ.

3.13 Входы навигационных данных

В модуле предусмотрены входы блока предварительной обработки сигналов микросхемы СНП-ВП для возможности работы непосредственно с навигационными данными.

					ЮФКВ.469555.801РЭ			Лист
								38
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		<i>Редюк</i> 16.06.2017						

SIGN – цифровые входы навигационных данных (знаковый разряд).

MAGN – цифровые входы навигационных данных (значимый разряд).

С нулевого по третий входы задействованы для коммутации с РЧ ПРМ, и их применение подробно описано в пункте 3.3. С четвертого по одиннадцатый входы выведены на разъем X9 «SIGN/MAGN» и доступны пользователю. Для передачи данных необходимо подключить жгут с разъемом IDC-26. Все входы навигационных данных подтянуты к цепи «GND» через 10 кОм.

Более подробное описание работы блока предварительной обработки сигналов можно найти в руководстве по эксплуатации на СНП-ВП ЮФКВ.431268.008РЭ.

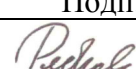
3.14 GPIO

Блок портов общего назначения GPIO в СНП-ВП имеет следующие характеристики:

- 16 портов общего назначения, разделенных на две группы по 8 разрядов;
- максимальная частота работы $F_{sys}/2$.

СНП-ВП имеет 16 портов GPIO, но реально биты порта разбиты на группы по 8 разрядов, т.е. за одно обращение по шине возможна запись или чтение значений только 8 старших или 8 младших портов. Подключив жгут с разъемом IDC-26 к разъему X14 «GPIO/CTRL» пользователю будут доступны 8 младших разрядов GPIO[0:7] и сигналы управления TST_Ix. Старшие 8 разрядов GPIO[8:15] задействованы для загрузки и управления микросхемами DDS и квадратурным модулятором по программной шине SPI. При корректной загрузке регистров квадратурного модулятора со встроенным синтезатором с последующим захватом частоты ГУН загорается светодиод HL1. Возможность использования GPIO для индикации состояния начального загрузчика подробно описана в пункте 3.2.

Также в модуле предусмотрена световая индикация для визуального контроля и тестирования. Для этого необходимо передвинуть требуемые разряды движков GPIO [7:0] переключателя SA5 «GPIO» в положении «ВКЛ.». Светодиод

					ЮФКВ.469555.801РЭ			Лист
								39
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		 16.06.2017						

загорается при установке на выходе порта GPIO низкого логического уровня. Нумерация разрядов GPIO идет в обратном порядке по отношению к разрядам движкового переключателя, как показано на рисунке 27.

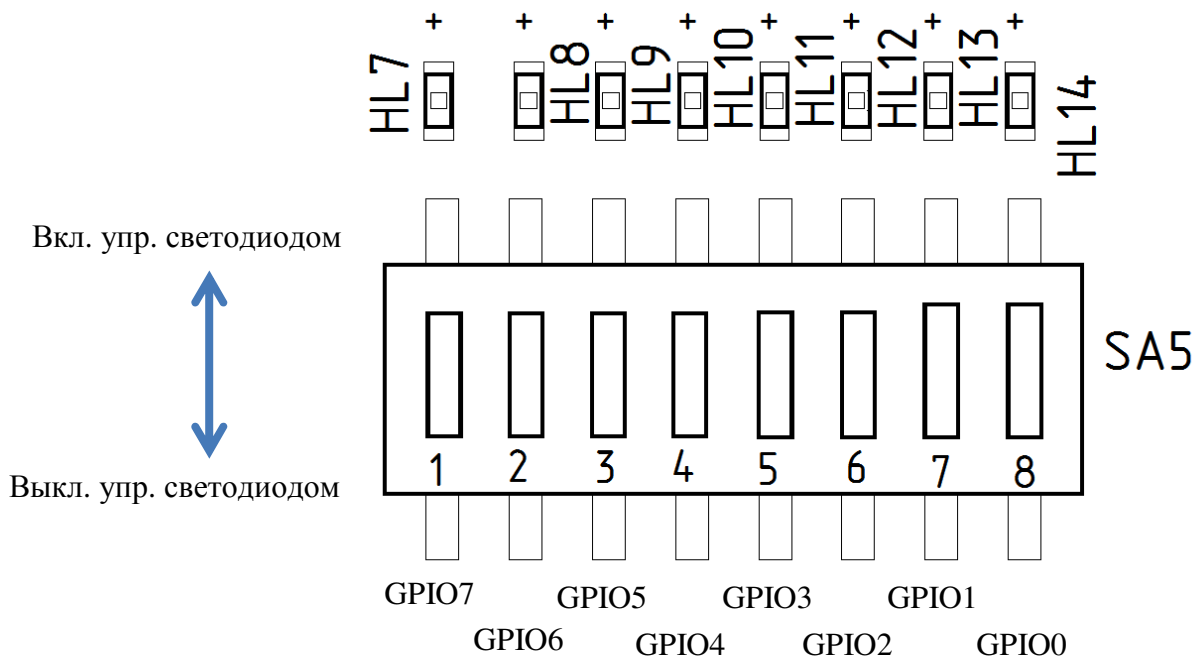


Рисунок 27 - Включение световой индикации модуля

Более подробное описание работы портов GPIO можно найти в руководстве по эксплуатации на СНП-ВП ЮФКВ.431268.008РЭ.

3.15 RTC

Блок RTC в СНП-ВП предназначен для счёта реального времени. В блоке имеются регистр текущего времени, в котором хранятся секунды, минуты, часы и дни недели, регистр текущей даты, содержащий число, месяц, год и столетие, регистр будильника, содержащий секунду, минуту, час и день недели срабатывания будильника. Для обеспечения возможности работы с блоком необходимо вставить элемент питания CR2032 (входит в комплект поставки) в отсек для батарейки X18. Сброс таймера осуществляется нажатием кнопки SA1 «RTC_RST». Также на разъем X14 «GPIO/CTRL» выведен сигнал RTCINT – выход прерывания по будильнику.

					ЮФКВ.469555.801РЭ			Лист
								40
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		<i>Редкол</i> 16.06.2017						

3.16 Конфигурирование частоты процессора

В модуле предусмотрена возможность смены тактовой частоты СНП-ВП при помощи смены коэффициентов умножения микросхемы DD1. Коэффициент умножения определяется состояниями на входах S0 и S1 переключателя SA2 «CFG». На вход DD1 поступает частота 16 МГц. Множитель выбирается в соответствии с таблицей 9. Допускаются два режима: x2 и x2,5.

Таблица 9 - Выбор тактовой частоты СНП-ВП

Движок			Множитель опорной частоты 16 МГц	Входная тактовая частота, МГц	Системная тактовая частота, МГц	Примечание
6	7	8				
Выкл.	Выкл.	Выкл.	x3,33	53,3	426,67	Недопустимый режим
Выкл.	Выкл.	Вкл.	x2,5	40	320	Штатный режим
Выкл.	Вкл.	X	x5	80	640	Недопустимый режим
Вкл.	Выкл.	Выкл.	x3	48	384	Недопустимый режим
Вкл.	Выкл.	Вкл.	x4	64	512	Недопустимый режим
Вкл.	Вкл.	X	x2	32	256	Экономичный режим

Примечание: X – любое положение.

По умолчанию вход S0 подтянут к высокому логическому уровню. Поэтому для формирования тактовой частоты 40 МГц необходимо передвинуть 6, 7 и 8 разряды переключателя, так как показано на рисунке 28.

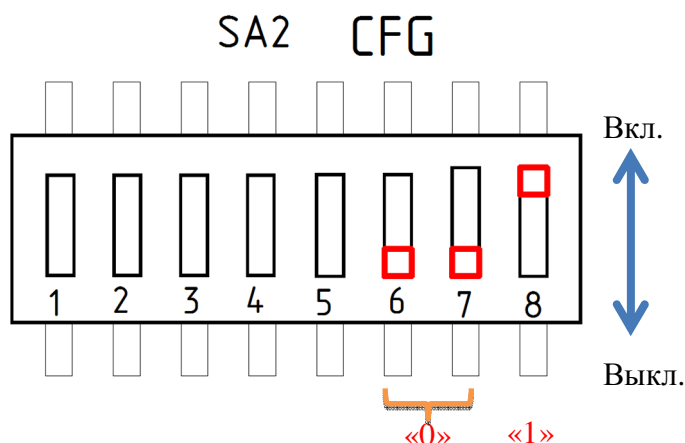


Рисунок 28 - Выбор штатного режима работы СНП-ВП

					ЮФКВ.469555.801РЭ		Лист
							41
Изм	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата	
32811		<i>Редюк</i> 16.06.2017					

Внимание!!! Недопустимые режимы работы предназначены для тестирования микросхемы СНП-ВП, не гарантируют корректную работу и могут привести к выходу микросхемы из строя.

В модуле предусмотрена возможность выбора режима работы ФАПЧ микросхемы СНП-ВП в зависимости от состояния уровня на входе SPLLBYPASS. Блок управления сигналами сброса и синхросигналами CRGS содержит схему управления ФАПЧ и генерацией внутренних синхросигналов (Clock Generation Block). Опорный сигнал SCLK попадает на этот блок, умножается на схеме ФАПЧ на 16 до частоты $16 \cdot F_{SYS}$ и затем делится на 2 для достижения хорошей скважности сигнала. Большая часть внутренней логики блока CRGS, работает от синхросигнала CCLK с частотой $8 \cdot F_{SYS}$ (максимально 320МГц). Подача логической «1» на вход SPLLBYPASS выключает схему ФАПЧ, и в этом случае синхросигнал CCLK идентичен синхросигналу SCLK (см. рисунок 29).

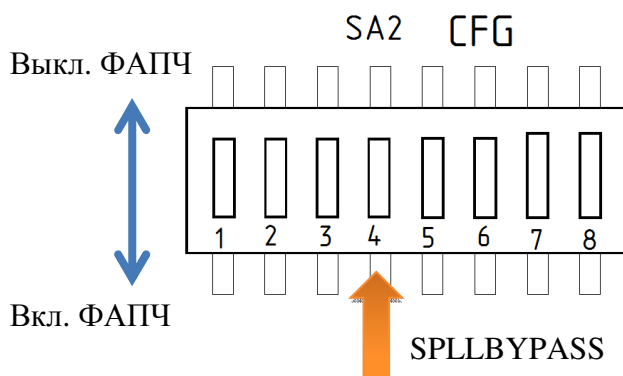


Рисунок 29 Выбор режима работы ФАПЧ СНП-ВП

3.17 Сигналы блока интервальных таймеров

В модуле предусмотрено взаимодействие с блоком интервальных таймеров микросхемы СНП-ВП через разъем X14 «GPIO/CTRL». Подключив жгут с разъемом IDC-26 к разъему пользователю будут доступны следующие сигналы:

- ITSTROB – вход строба записи значения интервального таймера;
- IT_1SO – выход программируемого генератора импульсов;
- ITO – выход сигнала дополнительного временного интервала;

					ЮФКВ.469555.801РЭ			Лист
								42
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		<i>Редюк</i> 16.06.2017						

- TCOD_NULL – выход генератора ПСП для калибровки;
- TCOD – выход генератора ПСП для калибровки.

Сигнал TCOD также продублирован на опциональный SMA разъем XW11 «TCODEout», который по умолчанию не установлен. В случае необходимости рекомендуется установить разъем 5-1814400-1 (Tyco Connectivity) или его конструктивный аналог.

3.18 Прочие сигналы управления

При подключении жгута с разъемом IDC-26 к разъему X14 «GPIO/CTRL» на плате модуля пользователю будут доступны следующие сигналы:

- EXT_RESET – вход системного сброса СНП-ВП;
- XINT3 – вход внешнего прерывания СНП-ВП;
- WDT – выход сторожевого таймера СНП-ВП.

4 Подготовка модуля к использованию

4.1 Указание мер безопасности

К работе с модулем допускаются лица, полностью изучившие настоящее РЭ, конструкторскую документацию на модуль, техническое описание (datasheet) на микросхемы, инструкцию по технике безопасности при работе с оборудованием до 1000 В, а также прошедшие местный инструктаж по безопасности труда.

Во избежание выхода из строя микросхем модуля при эксплуатации, не следует касаться руками их выводов.

4.2 Подготовка модуля к работе

1. Выдержать модуль в упаковке после транспортирования в зимнее время года в течение 2 часов в помещении, где он будет эксплуатироваться, а затем распаковать.

2. Произвести внешний осмотр модуля. Убедиться в отсутствии визуальных замыканий выводов микросхем, посторонних предметов на плате, а также механических повреждений отдельных элементов и всего изделия в целом.

					ЮФКВ.469555.801РЭ			Лист
								43
Изм	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		<i>Редюк</i> 16.06.2017						

3. Установить корректное положение всех конфигурационных движковых переключателей.

4. Установить джамперы в приемных трактах модуля.

5. Подключить адаптер AC/DC GS25E07-P1J к разъему X17. Перевести переключатель SA8 в положение «ON». Убедиться в наличии контрольной светодиодной индикации по питанию, описанной в пункте 3.2.

Внимание! В случаях если контрольные светодиоды не загорелись, обнаружены механические повреждения модуля или при возникновении нештатных режимов работы модуль подлежит возврату предприятию – изготовителю для диагностики и последующего ремонта.

					ЮФКВ.469555.801РЭ			Лист
								44
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата		
32811		<i>Редкол</i> 16.06.2017						