

УДК 621.37
ББК 32.84
В38

Вестник УГТУ–УПИ. Сер. радиотехн., Теория и практика радиолокации В38 земной поверхности. 2005. № 19 (71). 235 с.

УДК 007: 681.14

Л.И. Пономарев, Ю.Г. Нестеров, В.М. Адодин,
В.В. Мухин, Н.А. Лукин, Н.А. Дядьков

КОНЦЕПЦИЯ ПОСТРОЕНИЯ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ БОРТОВЫХ РАДИОЛОКАЦИОННЫХ СРЕДСТВ МАЛОРАЗМЕРНЫХ БЕСПИЛОТНЫХ ЛЕТАТЕЛЬНЫХ АППАРАТОВ

В работе формулируется концепция построения вычислительных систем бортовых радиолокационных средств малоразмерных беспилотных летательных аппаратов в виде древовидной структуры, отображающей информационно-логические связи компонент комплекса бортового оборудования и пути ее реализации на основе кластеров процессоров цифровой обработки сигналов, имеющих развитую систему внешних шин, обеспечивающих работу над общей памятью и организацию межпроцессорных связей.

Creating conception for small-sized pilotless aircraft board radiolocation computing systems is formulated in the paper. The system is represented by a tree structure, which maps both board equipment components informational and logical relations and the ways of its implementation. It's based on DSP clusters with developed external bus system which helps to process the common memory and DSP interconnection design.

В настоящее время в состав комплекса бортового оборудования (КБО) малоразмерных беспилотных летательных аппаратов (МБЛА) входит целый комплекс радиолокационных средств (БРЛС), предназначенных для формирования образа фоновой обстановки и вектора навигационных параметров ЛА, обеспечивающих выполнение полетного задания. К ним относятся РЛС автономного измерения навигационных параметров (высоты полета, составляющих вектора скорости), многодиапазонные, многоканальные и многорежимные РЛС обзора внешнего пространства, земной поверхности, в том числе с синтезированной апертурой антенн, системы радиоразведки и т.д. По насыщенности радиолокационными средствами КБО МБЛА в настоящее время сопоставимы с КБО пилотируемых ЛА. В то же время к ним предъявляются более жесткие требования по потребляемой мощности, массогабаритным и эксплуатационным характеристикам – времени готовности к работе, минимальным объемам регламентных работ, обслуживания и т.д., что

накладывает существенные ограничения на выбор архитектуры и путей реализации специализированных вычислителей БРЛС МБЛА.

В последнее время опубликован целый ряд работ, посвященных принципам построения интегрированных комплексов бортового оборудования (КБО), обеспечивающих навигацию, пилотирование и управление бортовыми системами новых поколений летательных аппаратов [1 – 5]. Во всех этих работах вычислительная часть КБО рассматривается как распределенная информационно-вычислительная система и в качестве наиболее перспективного пути ее реализации предлагается использование унифицированных вычислительных модулей, связанных программируемой коммутационной средой на основе стандартных интерфейсов. В качестве примера в [4] приводится следующая архитектура ИВС КБО (рис. 1) на основе коммутируемых высокоскоростных каналов *SpaceWire* [6].

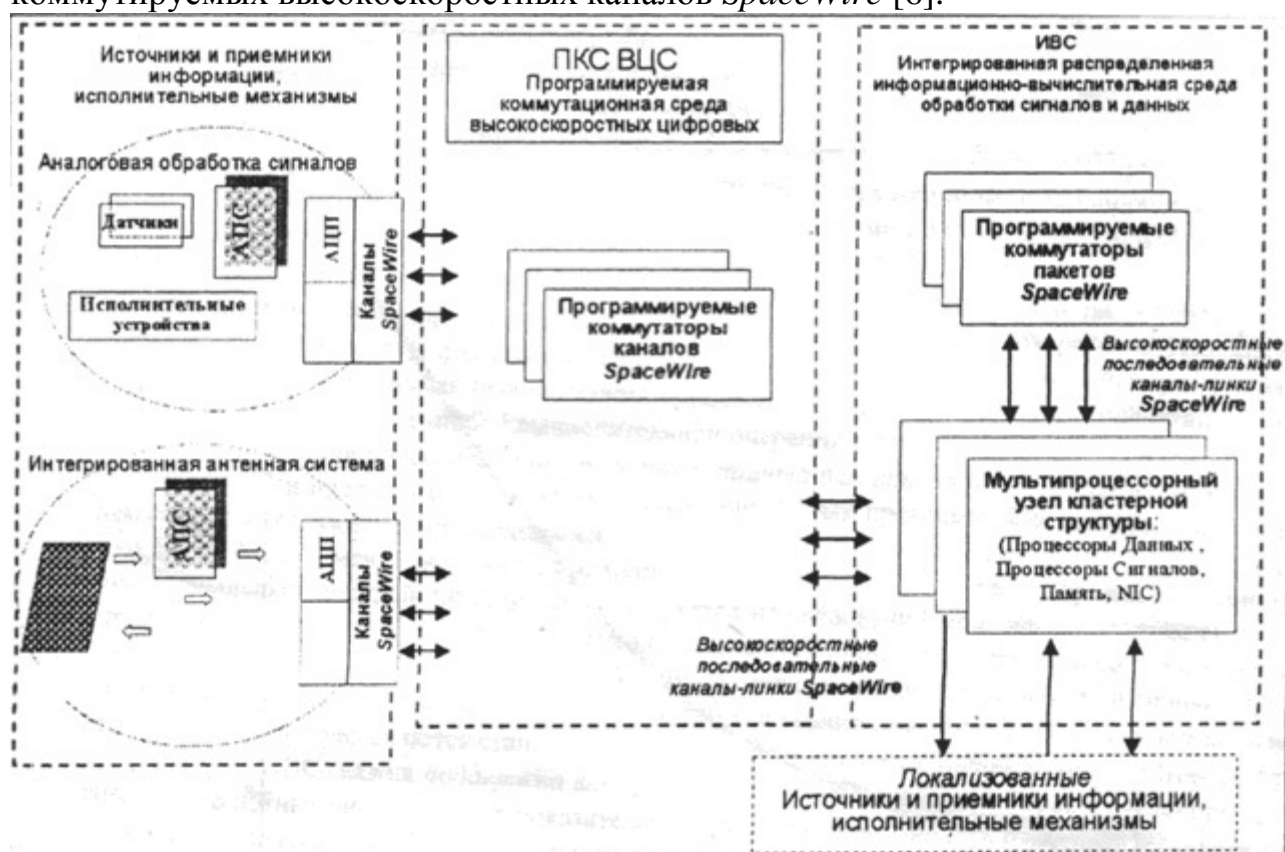


Рис. 1. Архитектура распределенной ИВС

В настоящей работе эта концепция развивается и конкретизируется применительно к архитектуре ВС БРЛС МБЛА.

Основными предпосылками, на которых базируется предлагаемая концепция, являются:

- компактность расположения компонент КБО МБЛА;
- наличие мощных микропроцессоров цифровой обработки сигналов, имеющих встроенные средства создания многопроцессорных вычислительных систем.

Эти обстоятельства позволяют создать интегрированную коммутационно-вычислительную среду, использующую встроенные высокоскоростные параллельные интерфейсы процессоров ЦОС.

Из современных процессоров ЦОС встроенными средствами создания многопроцессорных вычислительных систем обладают процессоры семейств *SHARC* и *TIGER SHARC* фирмы *Analog Devices* и процессоры семейства 1879 (*NeuroMatrix*) разработки НТЦ «Модуль», г. Москва [7, 8]. Причем процессоры семейства 1879 с точки зрения создания многопроцессорных структур имеют преимущество, поскольку в их состав входят две независимые параллельные 64-разрядные шины, обеспечивающие работу нескольких процессоров над общей памятью, в то время как процессоры *Analog Devices* имеют только одну аналогичную шину. По этой причине, несмотря на меньшую производительность операционных устройств, использование процессоров семейства 1879 в многопроцессорных системах может оказаться предпочтительнее.

На рис. 2 приведена укрупненная структура процессора 1879BM2, выпуск опытных образцов которого ожидается в 2006 г. В процессоре сохранены архитектура и система команд предыдущей модели 1879BM1 [7], но в отличие от предыдущей модели тактовая частота процессора и внешних шин памяти увеличена до 150 МГц и, что самое существенное, появилось 4 банка внутренней памяти с независимым доступом к каждому банку как со стороны процессора, так и со стороны внешних устройств в режиме ПДП с двух независимых параллельных синхронных 64-разрядных шин. На каждой из внешних шин над общей памятью могут работать до 4 процессоров [7, 8]. Коммуникационные порты процессора обеспечивают межпроцессорный обмен блоками не менее чем по 4 байта со скоростью до 100 Мбайт/с.

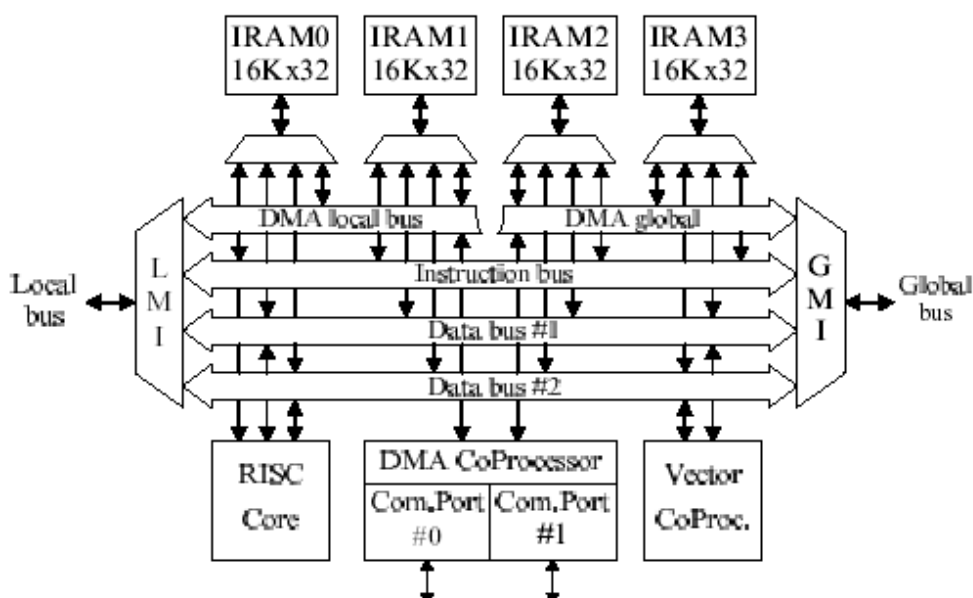


Рис. 2. Укрупненная функциональная схема 1879BM2

Архитектура процессора 1879BM2 [8] соответствует принципам построения систем на кристалле в виде иерархической структуры, содержащей:

- одно или несколько микропроцессорных ядер;
- оболочку, встраивающую ядро в данную систему;
- периферийные устройства,

что позволяет использовать четко определенные и отлаженные *IP*-ядра не только в составе процессора 1879BM2, но и в различных системах на кристалле, выполненных по технологии заказных и полузаказных СБИС (*ASIC* и *Gate Array*), и использовать для создания контроллеров внешних устройств на основе программируемых логических интегральных схемы ПЛИС достаточной емкости (*FPGA*).

Таким образом, использование процессоров 1879BM2 позволяет создавать многопроцессорные вычислительные системы, а использование *IP*-ядер устройств ввода-вывода создавать контроллеры связи с внешними объектами, сопряженные с шинами и коммуникационными портами процессора.

Рассмотрим возможную архитектуру вычислительной системы на базе процессоров семейства 1879.

В общем алгоритме функционирования БВС можно выделить алгоритмы «сигнальной» и «логической» обработки информации.

К первой группе относятся алгоритмы, обеспечивающие формирование радиолокационного изображения в заданной системе координат путем обработки сигналов с выходов приемных устройств, датчиков положения антенной системы и инерциальных датчиков. К этой же группе алгоритмов можно отнести и алгоритмы, реализующие контур управления положением АС. Алгоритмы этой группы имеют регулярную структуру, детерминированную (для заданного режима работы) последовательность отдельных этапов обработки сигналов и конвейерный характер обработки информации, т.е. выход одной процедуры является входом следующей. Характерной является совместная обработка нескольких потоков сигналов – многоканальных и многодиапазонных РЛС, сигналов РЛС обзора и измерения навигационных параметров и т.д. Таким образом «сигнальная» часть ВС должна обеспечивать многопоточную обработку входной информации, причем параллельные потоки должны иметь возможность работы над общими данными.

Алгоритмы «логической» обработки информации в конечном итоге обеспечивают формирование законов управления функционированием изделия, обеспечивающих решение конечной задачи на основе оценки текущей ситуации и полетного задания. Эти алгоритмы, как правило, имеют сложный разветвленный, слабо детерминированный характер.

В соответствии с этим целесообразно выделить в структуре БВС две подсистемы – «сигнальную» и «логическую».

Основу БВС – ее «логическую» (управляющую) часть целесообразно строить по принципу классических магистрально-модульных систем на основе стандартного интерфейса.

«Сигнальную» часть БВС целесообразно организовать в виде модулей цифровой обработки сигналов, обеспечивающих выполнение параллельных потоков, связанных скоростной магистралью, обеспечивающей конвейерную передачу информации от модуля к модулю. Связь «сигнальной» и «логической» подсистем БВС возможно организовать через ОЗУ с двухсторонним доступом со стороны «сигнальной» и «логической» подсистем.

Используя возможности архитектуры процессоров 1879 в качестве основной структурной единицы «сигнальной» подсистемы, целесообразно использовать кластер, образуемый процессорами или контроллерами ввода-вывода, работающими над общей памятью. На рис. 3 изображен один из возможных вариантов структуры на основе кластеров процессоров 1879.

Верхний уровень предлагаемой структуры образует центральный процессор, глобальное ОЗУ, модуль связи с комплексом бортового оборудования и контроллер связи с нижним уровнем (на рисунке для простоты изображен один контроллер связи с нижним уровнем, хотя в принципе их может быть несколько).

Основу всех остальных уровней иерархии составляет процессор 1879ВМ2 и его глобальная шина с глобальным (по отношению к данному уровню и локальным – по отношению к вышестоящему иерархическому уровню) ОЗУ. Связь с верхним уровнем иерархии осуществляется путем соединения глобальной шины рассматриваемого уровня с локальной шиной процессора 1879ВМ2 вышестоящего иерархического уровня. К глобальной шине каждого уровня возможно подключение еще двух устройств – процессоров 1879ВМ2 или контроллеров каких-либо локальных устройств. Реализация контроллеров внешних устройств, как указывалось выше, существенно облегчается возможностью портирования *IP*-ядра устройств ввода-вывода процессора 1879 в контроллер внешнего устройства. Такая организация иерархических уровней возможна благодаря тому, что устройства управления внешними шинами памяти процессоров 1879ВМ2 обеспечивают совместную работу на одной шине до 4 процессоров, причем при включении глобальная шина процессора является «чужой», а локальная – «своей». Поскольку процессоры одного уровня связаны по глобальным шинам, а связь с верхним уровнем осуществляется через локальную шину вышестоящего процессора, конфликты при включении системы исключаются и обеспечивается последовательная «вертикальная» загрузка и запуск процессоров. Не исключается и подключение РПЗУ к глобальным шинам любого или всех иерархических уровней, что обеспечивает их одновременную загрузку и старт.

Таким образом, предложенная архитектура представляет собой древовидную структуру достаточно однородных ветвей, причем возможно подключение нескольких «деревьев» к системной магистрали верхнего уровня.

Приведенная выше структура не исчерпывает возможностей процессоров 1879ВМ2 для создания многопроцессорных систем. Использование скоростных коммуникационных портов процессора с пропускной способностью до 100 Мбайт в секунду дает дополнительные возможности как для организации прямых каналов передачи информации между различными ветвями и «деревьями», входящими в БВС, так и подключения интерфейсных модулей для связи с внешними устройствами.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Канащенков А.И. Облик перспективных бортовых радиолокационных систем. Возможности и ограничения / А.И. Канащенков, В.И. Меркулов, О.Ф. Самарин. М: ИПРЖР, 2002. 176 с.

2. Авиационные системы радиуправления. В 3 т. Т.2. Радиоэлектронные системы самонаведения. Изд.2-е, перераб. и доп. / под ред. А.И. Канащенкова и В.И. Меркулова. М.: Радиотехника, 2003. 390 с.
3. Павлов А.М. Принципы организации бортовых вычислительных систем перспективных летательных аппаратов / А.М. Павлов // Мир компьютерной автоматизации. 2001. № 4. С. 25 – 35.
4. Архитектура вычислительных систем для интегрированной модульной авионики перспективных летательных аппаратов / А.А. Турчак [и др.] // Радиотехника. 2001. № 8. С. 87 – 95.
5. Принципы построения бортовых информационно-управляющих систем высокоточного оружия нового поколения / Г.В. Анцев [и др.] // Радиотехника. 2001. № 8. С. 81 – 86.
6. SpaceWire – Links, Nodes, Routers and Networks. ECSS – Space Engineering, ESA-ESTEC, Requirements & Standards Division. Noordwijk, the Netherlands, 2001. 131 p.
7. NeuroMatriix @ NM6403. Руководство пользователя Версия 1.0. М.: НТЦ «Модуль», 1999.
8. Панфилов А.П. Опыт проектирования и изготовления СБИС и «систем на кристалле» по схеме «fables» / А.П. Панфилов // Материалы семинара. М.: НТЦ «Модуль», 2002.