

## АРХИТЕКТУРА ПРОЦЕССОРА Л1879ВМ1 (NM6403)

Процессор Л1879ВМ1 представляет собой высокопроизводительный специализированный микропроцессор, сочетающий в себе черты двух современных архитектур: VLIW (Very Long Instruction Word) и SIMD (Single Instruction Multiple Data) (рис. 1). Тактовая частота - 40 МГц; напряжение питания - от 3,0 до 3,6 В; потребляемая мощность - 1,3 Вт. Основные вычислительные узлы процессора - управляющее RISC-ядро и векторный сопроцессор. **RISC-ядро** - это центральный процессорный узел, выполняющий все основные функции по управлению работой кристалла. Кроме того, RISC-процессор производит арифметико-логические и сдвиговые операции над 32-разрядными скалярными данными и формирует 32-разрядные адреса команд и данных при обращениях к внешней памяти. Длина команды - 32 и 64 разряда (обычно в команде выполняются две операции). Процессор реализует пятиступенчатый 32-разрядный конвейер. Адресное пространство - 16 Гбайт, два адресных генератора, восемь регистров общего назначения и восемь адресных регистров. Любая инструкция выполняется за один такт. Векторный сопроцессор предназначен для арифметических и логических операций над 64-разрядными векторами данных программируемой разрядности. Обмен данными между основными узлами процессора происходит по трем внутренним шинам, двум входным и одной выходной.

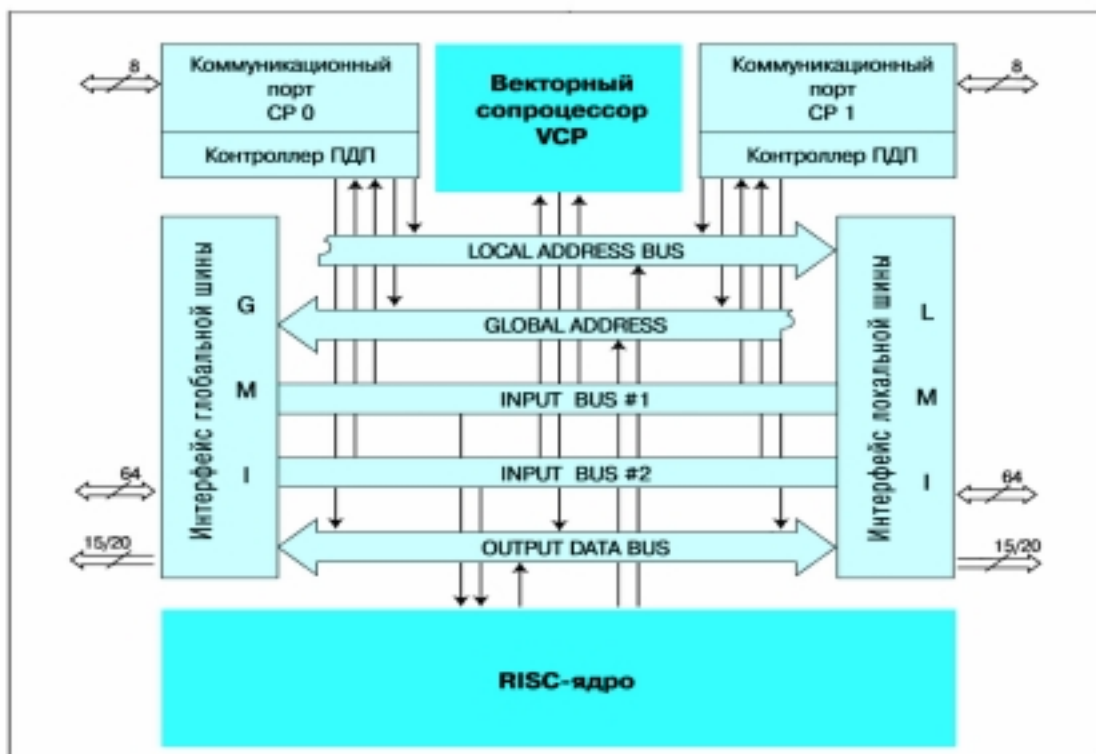


Рис. 1. Архитектура процессора NM6403

**GMI** и **LMI** - два одинаковых блока программируемого интерфейса с локальной и глобальной 64-разрядными внешними шинами. К каждой из них может быть подключена внешняя память, содержащая до  $2^{31}$  32-разрядных ячеек. Обмен данными с внешней памятью осуществляется как 32-, так и 64-разрядными словами (NM6403 одновременно выбирает две соседние ячейки памяти). Каждый блок программируемого интерфейса позволяет работать с двумя банками внешней памяти различного объема, типа (DRAM, SRAM, Flash ROM, EDO DRAM и т.д.) и быстродействия без дополнительного оборудования. Предусмотрена аппаратная поддержка режима разделяемой памяти для различных мультипроцессорных конфигураций внешних шин.

**CP1** и **CP2** - идентичные коммуникационные порты, обеспечивающие информационный обмен по двунаправленной восьмиразрядной шине. Они предназначены для построения высокопроизводительных мультипроцессорных систем и полностью совместимы с коммуникационными портами процессора TMS320C4x. Каждый коммуникационный порт имеет встроенный контроллер прямого доступа к памяти (ПДП, DMA), позволяющий обмениваться 64-разрядными данными с памятью на внешних шинах.

### ВЕКТОРНЫЙ СОПРОЦЕССОР

Векторный сопроцессор - основной функциональный элемент Л1879ВМ1. Структурно он представляет собой матрично-векторное операционное устройство и набор регистров различного назначения.

Операционное устройство (ОУ) - регулярная матричная структура  $64 \times 64$  ячейки (рис. 2). Матрица может быть произвольно разделена на столбцы и строки. В образовавшиеся после деления макроячейки загружаются весовые коэффициенты  $W_{ij}$ . На вход матрицы подается вектор входных данных  $\vec{X} = (X_1, X_2, \dots, X_n)$ , каждому элементу которого соответствует строка матрицы. Ширина строки (в битах) - разрядность данного элемента входных данных. В макроячейках происходит умножение элемента вектора входных данных на весовой коэффициент и сложение со значением верхней ячейки (либо значений входов  $U_i$ ). Таким образом, для каждого столбца вычисляется скалярное

произведение  $y_i = U_i + \sum_j W_{ij} X_j$ . Для снижения разрядности выходных данных и защиты от арифметического переполнения используется программируемая функция насыщения (рис. 3).

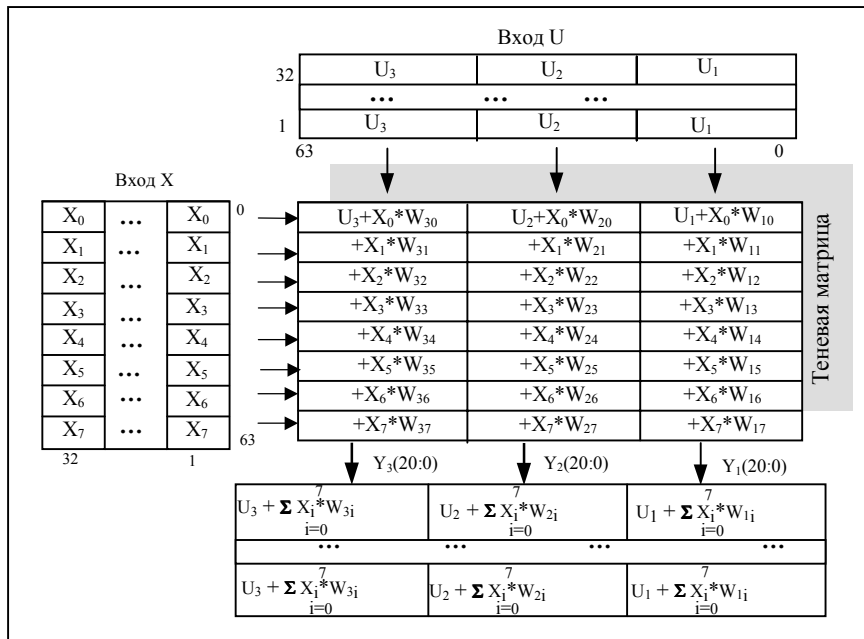


Рис. 2. Структура операционного устройства векторного сопроцессора

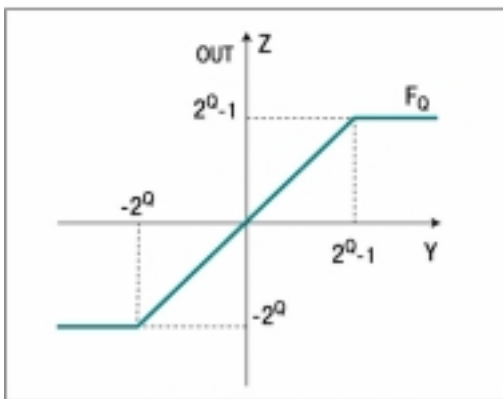


Рис. 3. Программируемая функция насыщения

Операнды и выходные значения упаковываются в 64-х разрядное слово. Все операции в матрице ОУ производит параллельно, за один такт. Загрузка весовых коэффициентов происходит за 32 такта. В векторном сопроцессоре есть “теневая” матрица, в которую весовые коэффициенты можно загружать в фоновом режиме. Переключение “теневой” и рабочей матриц занимает один такт. Важнейшая особенность векторного сопроцессора – работа с операндами произвольной длины (даже не кратной степени двойки) в диапазоне 1-64 бит. Этим достигается оптимальное соотношение между скоростью и точностью вычислений: при однобитовых операндах на тактовой частоте 40 МГц производительность составит 11 520 ММАС (миллионов операций умножения с накоплением) или 40 000 MOPS (миллионов логических операций в секунду), при 32-битовых операндах и 64-бит результате она станет номинальной - 40 ММАС. Умение динамично, в процессе вычислений изменять разрядность операндов позволяет повысить производительность в тех случаях, когда обычные процессоры работают “вхолостую”, с избыточной точностью.

тех случаях, когда обычные процессоры работают “вхолостую”, с избыточной точностью.