

# Эквалайзеры семейства FUL DFE(N,M) на процессоре NeuroMatrix NM6403

Осипов В.Г

"НТЦ Модуль" Москва 4-я улица Восьмого Марта дом 3, 125190, а/я 166  
 тел +7-095-152-9335 факс +7-095-152-4661,  
 E-mail: osipov@module.vympel.msk.ru

## АННОТАЦИЯ

К настоящему времени изучено и построено множество различных устройств, предназначенных для выравнивания амплитудно-частотной характеристики канала связи. Такие устройства называются Эквалайзерами. Ниже будет приведён пример такого устройства, известного по принятой классификации как FUL DFE(2,4) и используемого в сотовой телефонии, как один из вариантов для стандарта GSM, а так же рассмотрены режимы его работы. Далее будут рассмотрены реализации счётных алгоритмов для процессора NM6403, а так же будут получены особенности, связанные с построением подобных структур более высокого порядка применительно к NM6403.

## ВВЕДЕНИЕ

В данной статье рассматривается применение NM6403 [5], процессора поддерживающего матричные операции, в качестве адаптивного эквалайзера, причём рассмотрены все режимы работы Эквалайзера. Приведен пример составления матрицы соответствующей FUL DFE(2,4) для NM6403 и принципы формирования аналогичных матриц для эквалайзеров большего порядка, применяемых в проводных и беспроводных модемах.

## 1. КРАТКОЕ ОПИСАНИЕ СТРУКТУР ТИПА FUL DFE(N,M)

Устройство соответствующее классификации FUL DFE(N,M) представляет схему, состоящую из двух трансверсальных фильтров рис 1.1 прямого и обратного. Прямой фильтр состоит из "N" триггеров, а обратный из "M". Для описания прямого фильтра требуется  $M_1$ , а для обратного  $M_2$  коэффициентов, причём имеют место следующие выражения.

$$M_1=N+1, M_2=M$$

1.1

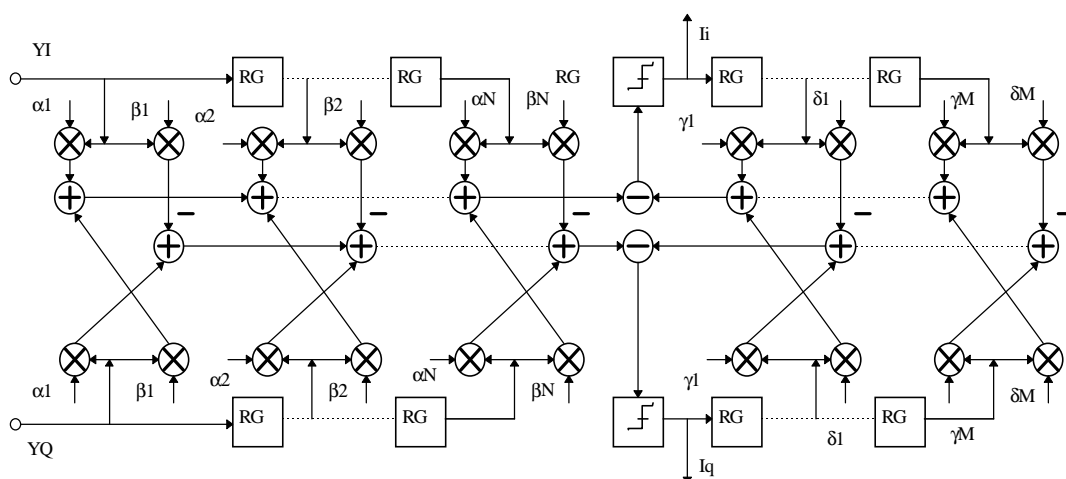


Рис 1.1

Где RG P-разрядный регистр, YI, YQ входы 1-го и 2-го канала, Iq, Ii выходы символа,  $\alpha_1+i\beta_1, \dots, \alpha_N+i\beta_N, \gamma_1+i\delta_1, \dots, \gamma_M+i\delta_M$  коэффициенты прямого и обратного трансверсальных фильтров соответственно.

Прямой фильтр и обратный фильтры включены в сумматор, выход которого подаётся на детектор, сигнал с которого подаётся на вход обратного фильтра тем самым замыкая обратную связь. Детектор в самом простом случае представляет пороговое устройство, формирующее уровни цифрового сигнала по знаку входного аналогового сигнала. Введём обозначение аналогового сигнала на входе детектора как "I1", а на выходе цифрового как "I2". Входной сигнал эквалайзера будем обозначать посредством переменной "x", а коэффициенты фильтров переменными  $\alpha$  для прямого и  $\beta$  для обратного. Описанную выше схему поясняет уравнение 1.2

$$I1 = \sum_{j=1}^{M1} \alpha_j x_k - \sum_{j=1}^{M2} \beta_j I2_{k-d-j} \quad 1.2$$

Где индекс "d" определяет задержку относительно k-го отсчета входного сигнала, причём для индекса "d" имеет место неравенство 1.3.

$$0 < d < M1 + M2 \quad 1.3$$

## 2. РЕЖИМЫ РАБОТЫ ЭКВАЛАЙЗЕРА

Приведённая выше структура может работать в нескольких режимах: обучение 2.1, прямая фильтрация 2.2 и адаптивная фильтрация 2.3. На практике имеет смысл сочетание этих режимов работы причём, интересны следующие сочетания: сначала 2.1, потом 2.3 или 2.1 потом 2.2 Эти сочетания могут образовывать последовательности и комбинироваться друг с другом в любом порядке. Прямая фильтрация входного сигнала производится с постоянными коэффициентами прямого и обратного фильтров и замкнутой петлёй обратной связи в цепи детектора.

2.1 Для обучения эквалайзера в выше описанной структуре разрывается обратная связь в цепи детектора и на вход обратного трансверсального фильтра подаётся известная, эталонная последовательность. Она же принимается в канале связи и поступает на вход эквалайзера, при этом важно выполнение неравенства 1.3. С каждым новым отсчетом входного сигнала меняются коэффициенты двух фильтров эквалайзера согласно выбранного адаптивного алгоритма [3]. Будем рассматривать только "Steepest descent" метод. Обычный "Steepest descent" метод представляется следующим итерационным процессом:  $C_k = C_{k-1} - \Delta \Gamma_k$ ,  $\Gamma_k = -\epsilon_k X_{k-1}^* X_k$  (2.2.1) где сигнал ошибки:  $\epsilon_k = I_k - C_{k-1,t} X_k$  (2.2.2)  $C_k = (c_1, c_2 \dots c_N, b_1, b_2 \dots b_M)$  обобщённые коэффициенты фильтров  $X_{k,t} = (x_k, \dots, x_{k+N}, I_{k-1}, \dots, I_{k-M})$  обобщённый сигнал в фильтрах а,  $X_{k,t}^*$  комплексно-сопряженный с  $X_{k,t}$  Обучение эквалайзера требует применения эталонных последовательностей так, например, в стандарте GSM таких последовательностей восемь длиной по двадцать шесть бит. Результатом процесса обучения будут слабо меняющиеся коэффициенты фильтров и при выполнении условия (1.3) будет точно установлена позиция катого символа его задержка- "d". Поскольку метод "Steepest descent" даёт сходимость от ста итераций, а входной сигнал, необходимый для обучения имеет длину равную эталонному, он запоминается и закликивается в месте с эталонным необходимое число раз для установления обобщённых коэффициентов.

2.2 Прямая фильтрация показана на рис. 1.1, где коэффициенты фильтров постоянны.

2.3 Адаптивная фильтрация производится с изменением коэффициентов фильтров согласно метода "Tracking Algorithm"[3] в этом случаи обратная связь в цепи детектора не разрывается. Поскольку в этом случаи выходной сигнал эквалайзера служит в качестве эталонного количество ошибок отнесённое к числу принятых бит должно быть на уровне двух процентов. Отслеживать эту величину можно двумя способами: первый состоит в совпадении принятой и обучающей последовательностей, второй в маленькой поправке в коэффициентах фильтров на нескольких десятках итераций. Если поток ошибок, принятых бит, не нарастает слишком быстро, а его величина ограничена условием, приведённым выше, эквалайзер сам подстраивается потоком данных к изменениям среды существования канала связи, уменьшая поток бит неправильно принятых из-за частотных искажений. Так же следует считаться с шумом в канале, который искажает принятые биты сигнала. Этот недостаток исправляется более сложным детектором, который детектирует несколько символов, здесь такой детектор рассматриваться не будет, однако, это обстоятельство добавляет рассмотрение нового параметра, что позволяет эффективней сочетать режимы работы эквалайзера. Когда шум в канале большой то целесообразно сначала обучить эквалайзер, потом использовать режим простой фильтрации в случае медленно меняющегося канала связи или адаптивную фильтрацию для канала,

меняющегося за время одного тайм слота. В случае хорошего канала связи есть возможность обучать устройство одним циклом тренировочной последовательности с последующей прямой фильтрацией.

### 3. ОСОБЕННОСТИ ИСПОЛЬЗОВАНИЯ NM6403

Особенности использования NM6403 связанные с быстрым выполнением матричных операций таких как умножение матрицы на вектор. На примере эквалайзера FULDFE(2,4) будет получен алгоритм для NM6403, которой будет приведен ниже, использующий такое матричное умножение. Эквалайзер для своей работы требует перемножения входного комплексного вектора, принятого сигнала с количеством элементов- 14, на матрицу размера- 14 на 2. Перейдём к рассмотрению организации такой матрицы. Так как в NM6403 выполняется программное разбиение основной матрицы размера 64 на 64 на матрицы меньшего размера и допускается работа с векторами разрядность элементов которых больше или равна двум но меньше или равна 64-рём, то нам удобно использовать ниже приведённую структуру рис. 3.1. Где все элементы "X" и "Y" восьмиразрядные а элементы "I", "Q" имеют минимальную из возможных разрядностей два бита. Четырнадцать элементный вектор с выше указанной разрядностью полностью занимает 64 разрядное слово в памяти процессора. Минимальная разрядность элементов столбца матрицы выбирается из условия, что суммы всех произведений компонентов вектора на соответствующие им числа записанные в элементах столбца помещаются в элементе столбца без его переполнения. Для восьми разрядных коэффициентов матрицы столбцы могут быть разбиты, как 24+24 и плюс 16 битовый остаток, но так как матрица заполняется построчно удобнее её представить двумя столбцами по 32 бита.

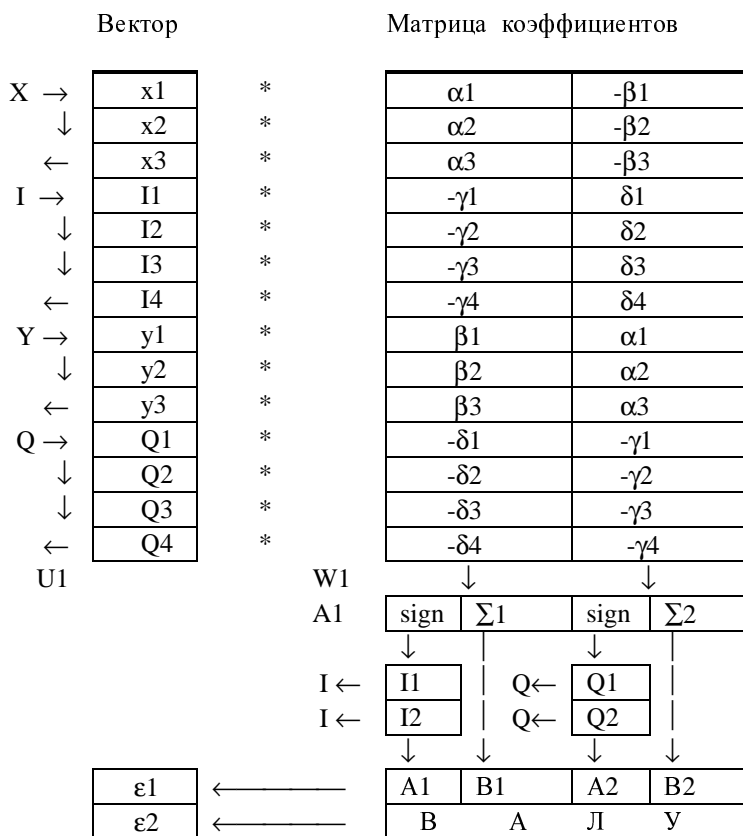


Рис 3.1

На рисунке 3.1 показаны регистры  $I_1, I_2, Q_1, Q_2, \epsilon_1, \epsilon_2, U_1$ , матрица коэффициентов  $W_1$ , векторный аккумулятор  $A_1$  и векторное АЛУ. Заполнение регистра  $U_1$  поясняют стрелки на рисунке, показывающие циклическую перестановку элементов вектора  $X_{k,t}$ . Регистры  $I_1$  и  $Q_1$  хранят знаки первого и второго результатов суммирования, а в регистры  $I_2$  и  $Q_2$  поступают значения эталонной тренирующей последовательности. В зависимости от режима работы

эквалайзера на вход ВАЛУ поступает содержимое первой или второй пары регистров эти же данные участвуют в заполнении U1. Регистры  $\epsilon_1$  и  $\epsilon_2$  сохраняют промежуточный результат вычисления необходимый для поправки коэффициентов матрицы W1, это необходимо в режимах 2.2 и 2.3. Рассмотрим режим 2.1 в этом режиме значения матрицы W1 не меняются, а обновляются только компоненты вектора U1. В режиме 2.2 содержимое аккумулятора A1 вычитается из значения эталонного сигнала тренировочной последовательности в векторном АЛУ процессора, результатом будут  $\epsilon_1$  и  $\epsilon_2$  знак которых пойдёт на формирование вектора U1. Матрица W1 заполняется построчно с обновлёнными коэффициентами в соответствии с уравнением 2.2.1, где  $\Delta$  константа  $\approx 0.007$ , обеспечивающая сходимость алгоритма, умножение на которую реализовано сдвигом на семь двоичных разрядов. Процесс продолжается до тех пор пока, поправка к коэффициентам W1 не станет нулевой. В режиме 2.3 вместо значений эталонной последовательности для формирования вектора U1 поступают знаки чисел содержащихся в A1. На рисунке 3.2 приведена схема отображающая все описанные состояния.

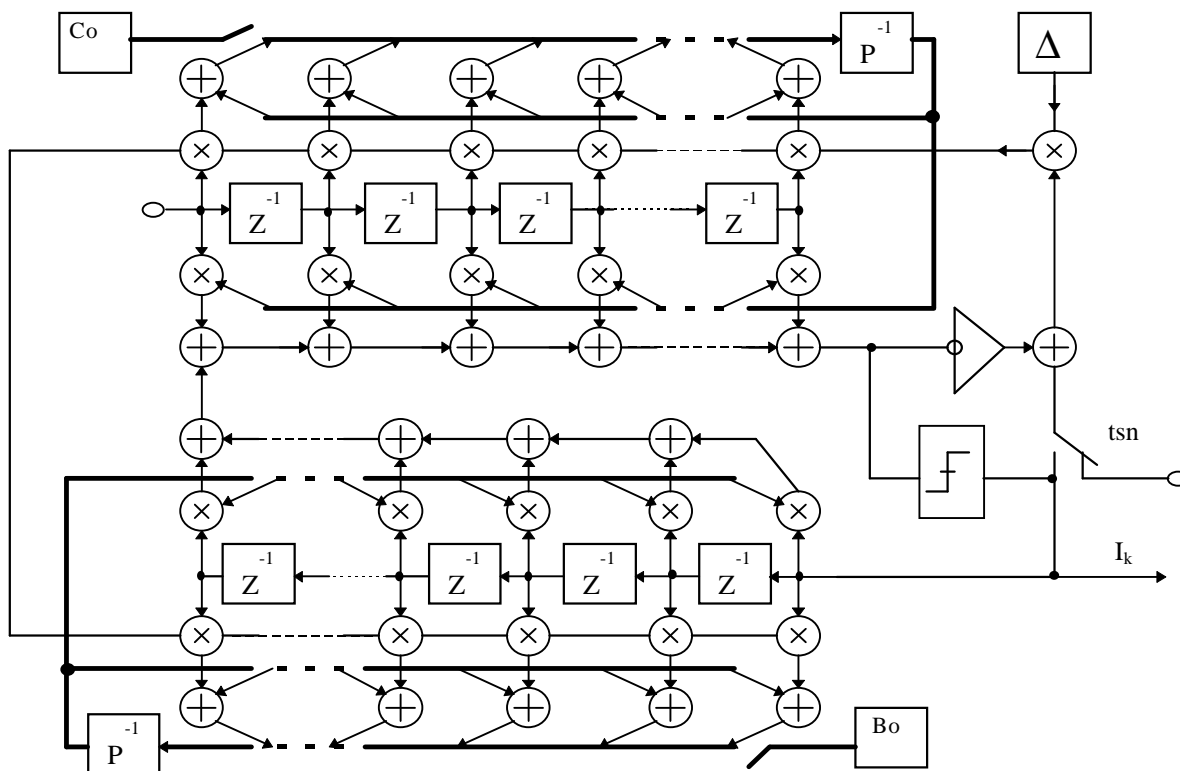


Рис 3.2

$I_k$  - выходная последовательность символов, tsc - тренировочная последовательность где  $Z^{-1} = T$  задержка связанная с частотой символов и сверточным фактором  $\beta$  соотношениями:

$$2F_{\max} = (1 + \beta) / T, \quad \beta \in (0, 1) \quad 3.1$$

Ниже приводятся графики средней квадратичной ошибки и ошибочных битов принятого сигнала в канале с дисперсией 3.4

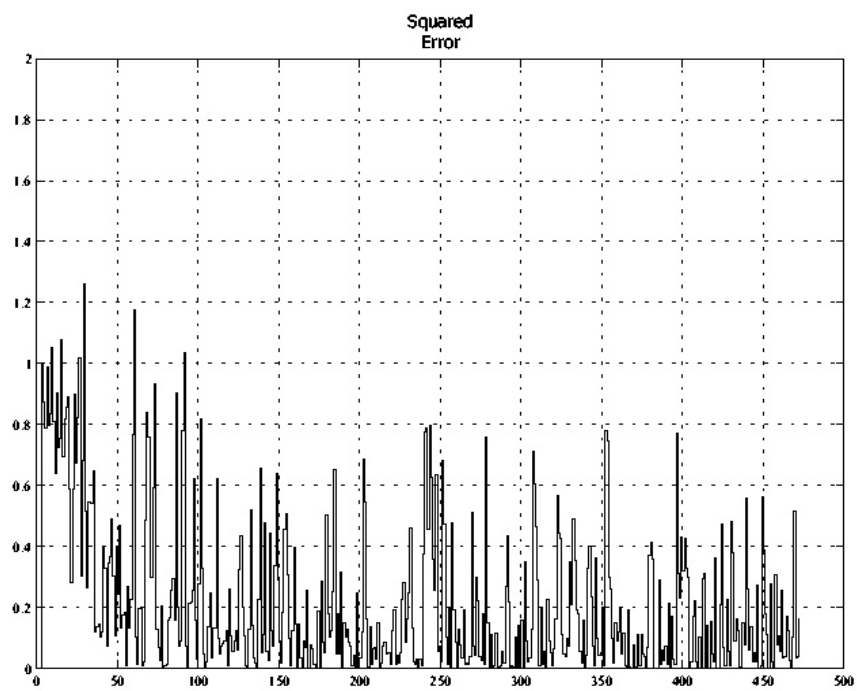


Рис 4.1

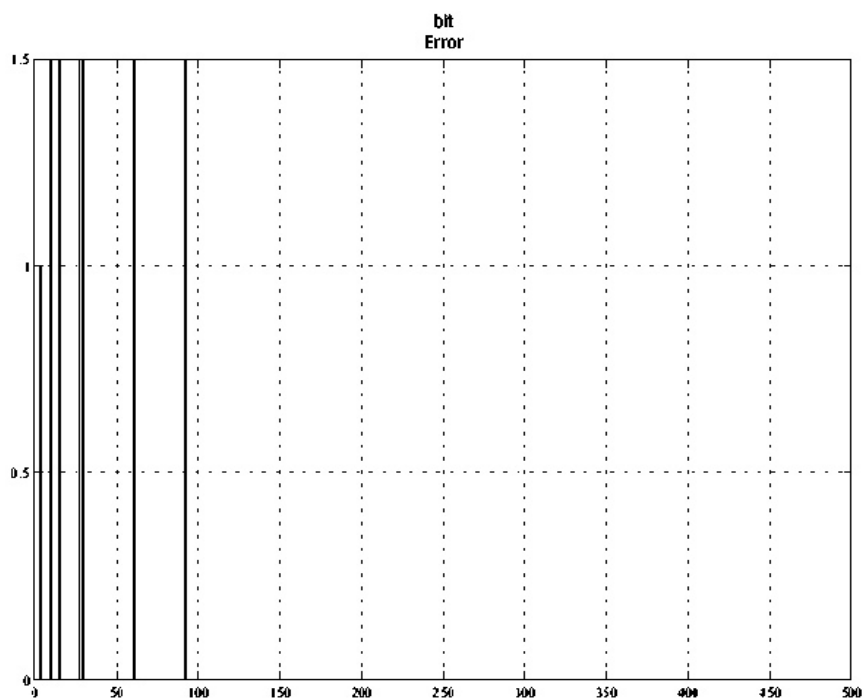


Рис 4.2

## 4. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ

Вышеприведённый алгоритм был промоделирован в системе "MATLAB" в результате: первое, сходимость наблюдается в пределе ста итераций рис 4.2 для диапазона дисперсией каналов от 1 до 3,5, и второе ограничения разрядности входного сигнала затягивает итерационный процесс и ограничивает диапазон допустимых дисперсией пригодных для правильной работы такого Эквалайзера. Однако, в описанной выше структуре снижение разрядности входного сигнала можно использовать для наращивания порядка эквалайзера без снижения разрядности коэффициентов фильтров [4], что в условиях медленно меняющейся дисперсии канала или в условиях сотовой телефонии на характерном времени одного тайм слота[1] даёт возможность работать с дисперсиями канала в несколько раз большими. На предыдущей странице представлен график квадратичной ошибки рис 4.1 в испытаниях FUL DFE(2,4) в условиях дисперсии равной 3,4 и шумом мощность которого -6ДБ. В этих условиях сходимость наблюдается после восьмидесяти итераций, а для дисперсии 2,5 достаточно 40 итераций.

## ЗАКЛЮЧЕНИЕ

NM6403 на одну итерацию в режиме 2.1 тратит один такт. В режиме 2.3 требуется тридцать два такта на одну итерацию. На обучение для структуры FUL DFE(2,4) требуется около тысячи двухсот тактов [2], что на рабочей тактовой частоте процессора 40 МГц будет соответствовать длительности обучающей последовательности для стандарта GSM примерно равной 26 мкс. Так же возможно практическое применение комплексных эквалайзеров FUL DFE(5,4) и FUL DFE(4,6), реализуемых на NM6403 с коэффициентами фильтров разрядностью не менее восьми бит и разрядностью входного сигнала равную четырём битам. Данные структуры являются граничными по числу коэффициентов в прямом и обратном фильтре эквалайзера, в смысле максимального приближения N к M. Другие реализации можно найти из целочисленного соотношения 4.0, где "а" разрядность входного сигнала.

$$a(N+1)+2M \leq 32 \quad 4.0$$

Эти устройства работают с комплексными сигналами. Эквалайзеры для действительного сигнала на NM6403 получаются согласно выражению 4.1 аналогичному 4.0.

$$a(N+1)+2M \leq 64 \quad 4.1$$

Интересно подчеркнуть, что переход от одного эквалайзера одной размерности к эквалайзеру другой размерности осуществляется подходящим разбиением матрицы NM6403, что реализуется программно.

## ВЫВОДЫ

NM6403 позволяет создавать высоко эффективные поточные фильтры различного порядка способные выдавать результат на тактовой частоте процессора.

## ЛИТЕРАТУРА

1. 1982 IEEE Anderson, et. ,reference 6-6.
2. Adaptive Equalization for TDMA Digital Mobile Radio, Jon G. Proakis, Fellow, IEEE.
3. Least Square Estimation with Applications to Digital Signal Processing, A. Giordano, M. Hsu.
4. IEEE transaction on VEHICULAR TECHNOLOGY /may 1991 volume №2.
5. NM6403 "Architectural Overview". <http://www.module.vympel.msk.ru>