



Der folgende Artikel beschreibt den von RC Module entwickelten 64-bit-Prozessor NM6404, welcher derzeit in Fujitsu's 0,25- μ m-Technologie implementiert wird. Die Architektur eignet sich für die Portierung in Traffic Monitor Systeme, die die Grundlage für komplexe Anwendungen bei Fahrerassistenzsystemen und Telematikapplikationen darstellen.

NEUROMATRIX CORE VON FUJITSU/RC MODULE

Verkehrsüberwachungssystem

Der 0,25- μ m-Prozess CS70 von Fujitsu bildet die Basis für die Implementierung des von RC Module entwickelten NeuroMatrix Core NM6404. Die aus dem Prozess entwickelten Produkttechnologien CE71 und CS71 (Embedded Array und Standardzelle) eignen sich besonders für ASIC-Projekte, die hohe Komplexität, hohe Geschwindigkeit und niedrige Verlustleistung erfordern. 37 unterschiedlich komplexe Frames von 167 000 BCs bis zu 8 096 000 BCs (BC= Basic Cell, entspricht einem 2-Input NAND Gate) stehen dem Anwender zur Verfügung. Die Anzahl der Metallisierungsebenen beträgt drei oder vier bei den Embedded Arrays und bis zu fünf bei Standard Cell Applikationen. Für den Core stehen Versorgungsspannungsoptionen zwischen 1,5 V und 3,3 V zur Verfügung.

Die erlaubte Junction Temperatur liegt zwischen -40°C und $+125^{\circ}\text{C}$, so dass Betriebstemperaturen bis $+85^{\circ}\text{C}$ bei entspre-

chender Gehäuseauswahl auch bei höheren Taktraten ohne Probleme realisierbar sind. Die Laufzeitverzögerung eines schnellen Inverters liegt bei 29 ps (ohne Last bei einem F/O von 1) bei einer Verlustleistung von $0,06 \mu\text{W}/\text{MHz}$ ($0,049 \mu\text{W}/\text{MHz}$ bei Standardzelle).

RAMs und ROMs sowie Analogzellen (AD-Wandler, DA-Wandler, Operationsverstärker und Komparatoren) stehen als sogenannte Hardmacros zur Verfügung. Für

RC MODULE

RC Module ist ein in Moskau (Russland) ansässiges Unternehmen, welches vor allem langjährige Erfahrung in der Entwicklung von Prozessorarchitekturen und deren Anwendungen in der mobilen Kommunikation und Bildverarbeitung besitzt. Fujitsu Mikroelektronik Europe und RC Module arbeiten seit 1997 auf der Basis eines Design Haus Vertrages zusammen.

die Speicherzellen gibt es Single, Dual und Triple Port Optionen mit einer großen Auswahl an Worte/Bit Konfigurationen. Ebenso als Hardmacro bietet Fujitsu Analoge PLLs zur Clock Skew Kontrolle innerhalb des Chips an. Um den Clock Skew zu minimieren, empfiehlt es sich die von Fujitsu unterstützte CDDM (Clock Distribution Design Methodology) anzuwenden. Die Delay Berechnung basiert auf RC-Modellen. Als Testunterstützung stehen RAM-BIST, RAM-SCAN, MUX-D-FlipFlop-Scan sowie Boundary Scan zur Verfügung. Die Gehäuseauswahl reicht vom preiswerten QFP über Standard BGAs bis hin zu High Pin Count TAB BGAs.

NeuroMatrix Core NMC

Der NMC ist ein Hochleistungs-DSP Core mit einer zusätzlichen VLIW/SIMD Architektur (**Bild 1**). Diese Architektur unterstützt eine skalare Datenverarbeitung von 1 bis 64 bit. Somit eignet sich der Core für typische DSP-Anwendungen wie Bildverarbeitung, Sprachkomprimierung und Verarbeitung von 3G Wireless Protokollen.

Der NMC umfasst die folgenden funktionalen Einheiten:

- ▷ 32-bit-RISC-Prozessor: Ermöglicht 32 bit arithmetische und logische sowie Shift Operationen und Kontrollfunktionen.

- ▷ 64-bit-Vektor-Coprozessor Ermöglicht 64 bit arithmetische und logische Operationen (die Vektordatenlänge ist variabel zwischen 1 und 64 bit).

- ▷ GMI und LMI

Zwei globale und lokale programmierbare Speicherschnittstellen (GMI= Global Memory Interface, LMI= Interface) welche die Anbindung an den On Chip Memory ermöglichen.

RISC Prozessor

Die RISC Einheit besteht aus einer 5stufigen Pipeline mit 32-bit-Architektur. Es sind so-

wohl 32-bit- als auch 64-bit-Befehle möglich (normalerweise werden zwei Operationen mit einem Befehl ausgeführt). Die interne Struktur des RISC ist 32 bit breit.

derliche Länge der Operanden und die Genauigkeit des Ergebnisses eingestellt werden. Die Anzahl der MACs ist abhängig von Länge und Anzahl der Operanden. Die höchste

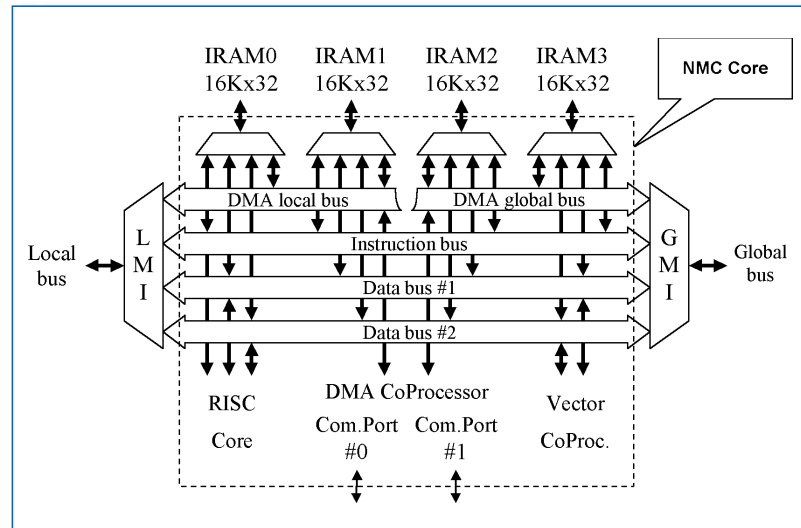


Bild 1: Blockschaltbild des NeuroMatrix Core

Die NeuroMatrix Architektur ermöglicht die Wahl der erforderlichen Verarbeitungsleistung und Genauigkeit für 2-D MAC Anwendungen:

$$Y_m = U_m + \sum_{n=1}^N X_n \times W_{n,m}$$

Entsprechend den Anforderungen der Applikation können die erforderliche

Performance – 38000 MMACs – wird mit 1-bit-Operanden bei 133 MHz erreicht. Die Genauigkeit der Berechnung kann durch Erhöhung der Wortlänge der Operanden bis 32 bit entsprechend erhöht werden. In diesem Falle sind dann 50 MMAC bei einem 64-bit-Ergebnis möglich. Die Vektor-Coprozessor-Einheit beinhaltet eine aktive Matrix, die einem Multiplizier Array ähnelt (**Bild 2**).

Die Matrixstruktur besteht aus einer Anordnung von 64 X 64 Makrozellen. Die Anzahl der für die Multiplikation zu verwendenden Makrozellen entspricht der Bitlänge der Datenwörter und werden vom Anwender definiert. Dazu bedient sich der Entwickler zweier 64 bit programmierbarer Register: DB= Data Boundary, MB=MAC Boundary). Diese beiden Register definieren die maximale Anzahl der in der entsprechenden Applikation zu verwendenden Reihen und Spalten der matrixförmig angelegten Makrozellen (**Bild 3**). Jede Makrozelle bewerkstelligt eine Multiplikation eines va-

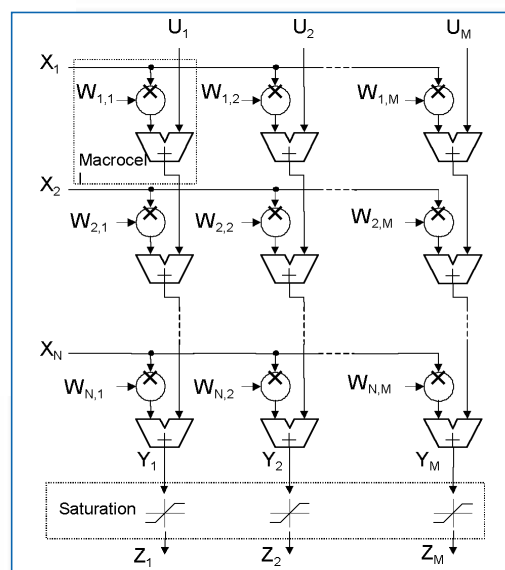


Bild 2: Die Vektor-Coprozessor-Einheit beinhaltet eine aktive Matrix, die Struktur besteht aus einer Anordnung von 64 x 64 Makrozellen.

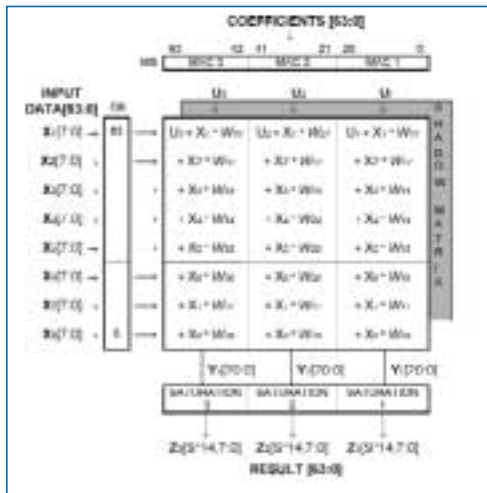


Bild 3: Die beiden Register DB (= Data Boundary) und MB (=MAC Boundary) definieren die maximale Anzahl der in der entsprechenden Applikation zu verwendenden Reihen und Spalten der matrixförmig angelegten Makrozellen.

riablen Eingangswortes mit einem vorgeladenen Koeffizienten (W_i) und akkumuliert das Ergebnis in der Makrozelle der vorhergehenden Spalte). Das folgende Beispiel zeigt eine Vektorcoprozessoranwendung mit einem 8 bit großem Datenwort. Das Ergebnis zeigt eine Performance von 3192 MMACs durch eine gleichzeitige Ausführung von 24 Multiplikationen/Akkumulationen mit 21 bit Ergebnis in einem 7,5-ns-Prozessorzyklus:

Der VCP kann ebenfalls als Bit Router (Switch) verwendet werden, falls die Koeffizienten ausschließlich binären Charakter (alle 0 oder 1) haben. Das Remappen aller Bitpositionen eines 64-bit-Eingangswortes wird in einem Prozessorzyklus ausgeführt.

Die Anzahl der auszuführenden Multiplikationen/Akkumulationen hängt von der Bitlänge und Anzahl der Datenwörter ab, wobei sich die Prozessorkonfiguration dynamisch während des Rechenganges ändern kann: Eine Anwendung kann am Anfang mit höchster Genauigkeit/minimaler Leistung konfiguriert sein, um dann später die Leistung dynamisch zu erhöhen, wobei sich gleichzeitig die Genauigkeit verringert (Abnahme der Datenwortlänge). Bild 4 zeigt die Per-

fomance bei einem 133-MHz-Takt:

Durch die Matrixstruktur des VCPs ergibt sich eine hervorragende Rechenleistung bei der Anwendung von Bool'scher Algebra. Eine 1 bit x 1 bit Multiplikation erlaubt 136 200 MOPs bei einem 133-MHz-Takt.

Das Laden von neuen Koeffizienten in die aktive Matrixstruktur des VCPs benötigt 32 Taktzyklen. Um entsprechende Verzögerungen während eines Koeffizienten Refreshs zu vermeiden, enthält der VCP zusätzlich eine sogenannte Shadow Matrix, welche eine Zwischenspeicherung von neuen Koeffizienten ermöglicht. Bei einem Refresh werden diese Koeffizienten dann in die aktive Matrix während eines Zyklus geladen.

Ein arithmetischer Overflow kann vermieden werden durch die Benutzung der sogenannten Saturation-Funktion (Bild 5). Hierbei kann der Anwender die Begrenzung selber definieren. Die Saturation-Funktion reduziert die Anzahl der Significant Bits der MAC Produkt:

Befehlssatz

Der Befehlssatz besteht aus zwei Haupttypen: Skalare Befehle und

Vectorbefehle. Die skalaren Befehle unterstützen ähnlich wie RISC Befehle "Conditinal Branchs", "Calls" und "Return Instructions". Die Vektorbefehle haben ein spezielles Feld, das die Anzahl (1-32) der Wiederholungen der "Executions" festlegt. Diese Lösung erlaubt die Unterstützung von kurzen "Hardware Loops" und erhöht effektiv die Code-Dichte. Der Prozessor benutzt Vektorbefehle von bis zu 32 64-bit-Worten für effektives Arbeiten. Dieser Befehlstyp ist am besten geeignet für Matrix- Matrix-, Matrix-Vektor- oder Vektor-Vektor- Multiplikationen. Genauso lässt sich dieser Befehl für Vektor-Vektor -Additionen und Subtraktionen verwenden.

Pipeline Struktur

Der Pipeline Struktur sind einige Sub-Pipelines untergeordnet. Jeder Skalar- oder Vektor-Befehl kann eine oder mehrere Sub-Pipelines zur gleichen Zeit benutzen. Im Falle von frei verfügbaren Sub-Pipelines kann der nächste Befehl geholt, dekodiert und ausgeführt werden (jeweils ein Befehl/Cycle). Bei der Benutzung eines Mehrfach-Vektorbefehls können vier Vektorbefehle und ein skalarer Befehl gleichzeitig ausgeführt werden. Die Synchronisation von unterschiedlichen Sub-Pipelines erfolgt durch entsprechende "Locks": Falls ein Befehl auf Sub-Pipelines zurückgreift, welche gerade durch den Lock-Mechanismus nicht zu-

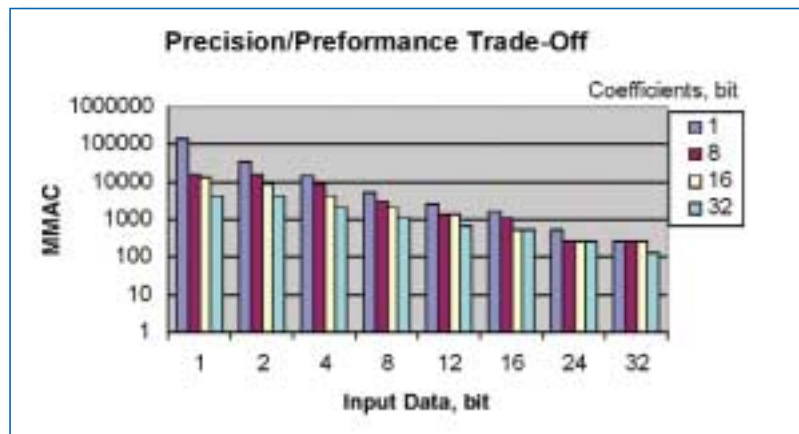


Bild 4: Performance bei einem 133-MHz-Takt, eine Anwendung kann am Anfang mit höchster Genauigkeit/minimaler Leistung konfiguriert sein, um dann später die Leistung dynamisch zu erhöhen

greifbar sind, wird dieser Befehl zurückgestellt (stalled). Durch diese Befehlsverarbeitungsstruktur erreicht der NMC die Performance eines Superskalarrechners. Ebenso unterstützt werden "Out of Order Execution". Ein wesentlicher Vorteil des NMC liegt jedoch in der optimalen Ausnutzung der Hardware, d.h., dass sowohl skalare als auch Vektorbefehle mit der gleichen Re-

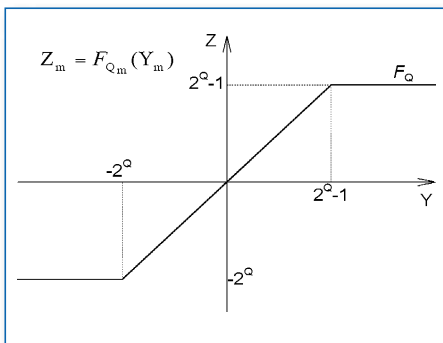


Bild 5: Saturation Function

cheneinheit ausgeführt werden. Dadurch sinkt die Gatteranzahl auf nur 80 000 Basic Cells.

Traffic Monitor System

Durch die programmierbare Bitbreite des Operanden, eignet sich der NMC wie bereits beschrieben hervorragend für alle Aufgaben mit sehr hohem algorithmischem Aufwand. Deshalb erscheint der NMC auch als Basis für das von RC Module entwickelte Traffic Monitor System (Traffic Monitor). Der Traffic Monitor ist ein Stand Alone Real Time System zur Straßenüberwachung und Darstellung der Verkehrscharakteristik.

Folgende Informationen können mit dem Traffic Monitor erfasst werden:

- ▷ Straßenausnutzung und Stauererkennung
- ▷ Flexible Zuschaltung von Ampeln, je nach Verkehrslage
- ▷ Fahrzeugarterkennung

Das analoge Eingangssignal wird am Eingang des Traffic Monitors di-

gitalisiert, wobei anschließend die folgenden Bilddaten errechnet werden:

- ▷ Fahrzeugbewegungserkennung in einem vordefiniertem Bereich.
- ▷ Identifizierung ein und desselben Fahrzeuges in unterschiedlicher Umgebung
- ▷ Fahrzeugklassifizierung

Um die Daten berechnen zu können, müssen folgende Verkehrscharakteristika überwacht werden: Verkehrsfluss (Anzahl der Fahrzeuge pro Spur und Zeiteinheit) Fahrzeuggeschwindigkeit und Fahrzeugdurchschnittsgeschwindigkeit pro Spur, Durchschnittsabstand von zwei Fahrzeugen pro Spur und Fahrzeugklassifizierung, d.h. Anzahl der Fahrzeuge einer Klasse pro Spur.

Augenblicklich kann der Traffic Monitor die folgende Klassifizierung vornehmen: Motorräder, Pkws und Kombis, Busse, Kleinlastwagen und Lastwagen.

Der Traffic Monitor lässt sich jederzeit erweitern, so dass auch andere Fahrzeuge klassifiziert werden können.



Bild 6: Der Traffic Monitor von RC Module ist ein "Stand Alone Real Time System zur Straßenüberwachung und Darstellung der Verkehrscharakteristik."

Der für den Traffic Monitor notwendige NMC befindet sich zu Zeit bei Fujitsu in Entwicklung. Die ersten Funktionsmuster werden noch im 4. Quartal 2001 erwartet. Ebenfalls in Entwicklung (bei RC Module) befindet sich eine komplette Systemlösung, welche aus einem PCI

Compact Board und einem Frame Grabber Board besteht. Eine entsprechende Kamera und eine PC Control Unit können ebenfalls über RC Module bezogen werden. Die ersten Einsätze des Traffic Monitors werden in Verkehrsleitzentralen zu finden sein, welche für die Verkehrsüberwachung zuständig sind. Die zukünftige Hauptanwendung allerdings wird jedoch im Fahrzeug selber sein, wobei der Traffic Monitor das als Basisprozessor eines Fahrerassistenzsystemes fungieren wird. Ausschließlich Prozessoren mit der Rechenleistung des NMCs werden in der Lage sein, Aufgaben von Navigationssystemen

zu übernehmen, wobei gleichzeitig das Verarbeiten von Straßenzustandsinformationen notwendig ist. Das Verarbeiten all dieser Daten und die audiovisuelle Darstellung sollen dem Fahrer die Möglichkeit geben, in kritischen Situationen richtig und rechtzeitig zu reagieren. Das somit "intelligent" gewordene Fahrzeug kann durch diese integrierte "Fahrerassistenz" auch zum Umweltschutz beitragen, indem Staus umfahren werden können oder eben durch rechtzeitiges "informiert sein" gar nicht entstehen können. Als einer der wichtigsten Aufgaben eines Fahrerassistenzsystemes soll am Schluss noch das "Collision Avoidance System" erwähnt werden, welches höchste Anforderungen an Informationserfassung, Informationsverarbeitung und das Einleiten von entsprechenden Maßnahmen erfordert. Auch hierfür eignet sich die Architektur des NMC. Weitere Informationen erhalten Sie über die Kennziffer.

