

Семейство процессоров NeuroMatrix® - архитектура, кросс-средства разработки программ, перспективы развития

Черников В.М., к.т.н., ЗАО НТЦ «Модуль», Москва,

Виксне П.Е., ЗАО НТЦ «Модуль», Москва, pvixne@module.ru,

Шелухин А.М., ЗАО НТЦ «Модуль», Москва, sheluhin@module.ru,

Шевченко П.А., ЗАО НТЦ «Модуль», Москва, pshevch@module.ru,

Панфилов А.П., к.т.н., ЗАО НТЦ «Модуль», Москва, panfilov@module.ru,

Бирюков А.А., ЗАО НТЦ «Модуль», Москва, LeshaBirukov@yandex.ru,

Рузавин А.Н., ЗАО НТЦ «Модуль», Москва, aruzavin@module.ru

В докладе изложены результаты разработки отечественных процессоров семейства NeuroMatrix®, ориентированных на матрично-векторную обработку большого потока данных относительно небольшой разрядности (от 2 до 32 бит) в реальном масштабе времени. Приводится состав кросс-средств разработки программ для процессоров данного семейства, включающие и оптимизирующий компилятор Си++. Излагается перспектива развития архитектуры процессоров семейства NeuroMatrix® и использования существующих наработок в новых проектах систем на кристалле.

1. Введение

Научно-техническим центром “Модуль” разработано семейство цифровых процессоров сигналов NeuroMatrix, в том числе, Л1879ВМ1 (NM6403) и 1879ВМ2 (NM6404). Дальнейшее развитие семейства связано с завершением разработки и запуском на изготовление в 2006 году процессора третьего поколения 1879ВМ4 (NM6405). Особенностью данного семейства является оригинальная, запатентованная векторно-матричная архитектура, обеспечивающая высокое соотношение производительности к цене устройств. Следует особо подчеркнуть, что семейство процессоров NeuroMatrix и соответствующие кросс-средства разработки программ это полностью отечественная разработка.

2. Описание архитектуры процессоров семейства NeuroMatrix®

Процессоры семейства NeuroMatrix® (1879ВМх) представляют собой высокопроизводительные вычислительные устройства, имеющие

RISC-архитектуру с элементами VLIW (Very Long Instruction Word), SIMD (Single Instruction Multiple Data) и суперскаляра. Архитектура и структура обеспечивает: аппаратную поддержку матричных и векторных операций над векторами, представляющими собой 64-разрядные слова, в которых упакованы данные, представленные в дополнительном коде с фиксированной точкой; программную настройку исполнительных узлов для работы с векторами данных, содержащих необходимое количество элементов требуемой разрядности (в общем случае количество элементов в векторе и их разрядность должны принимать любое значение в пределах от 1 до 64, суммарная разрядность всех элементов каждого вектора должна составлять 64 разряда); исполнение векторных команд в течение нескольких процессорных тактов, число которых (от 1 до 32) определяется специальным полем команды.

2.1. Процессор Л1879ВМ1

В течение уже более 7-ми лет выпускается и широко применяется цифровой микропроцессор сигналов Л1879ВМ1. Этот процессор изготавливается по КМОП технологии 0,5 мкм фирмой Samsung. Он работает на частотах до 40 МГц в диапазоне температур от -40°C до $+85^{\circ}\text{C}$ и напряжений от 3,0 до 3,6 В. Количество операций “умножение с накоплением”, выполняемых за один процессорный такт, от 2 (32-разрядные данные), до 224 (2-разрядные данные), поэтому пиковая производительность процессора в указанных условиях составляет 8,96 миллиардов умножений с накоплением (GMAC). В 1999 году лицензия на использования микропроцессорного ядра этого процессора была приобретена фирмой Fujitsu.

Л1879ВМ1 поддерживает работу с 32-разрядными скалярными данными и векторными данными программируемой разрядности от 1 до 64, упакованными в 64-разрядные блоки данных.

2.2. Процессор Л1879ВМ2

В настоящее время разработана и запущена в промышленное производство микросхема процессора цифровой обработки сигналов Л1879ВМ2. Этот процессор изготавливается по КМОП технологии 0,25 мкм на фирме Fujitsu. Он работает на частотах до 80 МГц в диапазоне температур от -40°C до $+85^{\circ}\text{C}$ и напряжений для ядра процессора от 2,3 до 2,7 В и периферии от 3,0 до 3,6 В. Пиковая производительность процессора в указанных условиях составляет 17,92 миллиардов умножений с накоплением (GMAC). Новый процессор имеет в своем

составе внутреннюю память объемом 2Мбит и богатый набор периферийных блоков различного назначения.

По структурной организации и программным моделям отдельных узлов 1879BM2 практически идентичен процессору Л1879BM1.

2.3. Процессор Л1879BM4

Дальнейшее развитие процессоров NeuroMatrix® связано с завершением разработки и запуском на изготовление в 2006 году процессора третьего поколения, являющегося дальнейшим развитием семейства. Он будет изготовлен по той же технологии, что и 1879BM2, но за счёт более глубокого конвейера достигнет частоты 150 МГц в диапазоне температур от -40°C до $+85^{\circ}\text{C}$ и напряжений для ядра процессора от 2,3 до 2,7 В и периферии от 3,0 до 3,6 В. Пиковая производительность процессора в указанных условиях составляет 33,6 миллиардов умножений с накоплением (GMAC). Микросхема 1879BM4 имеет процессорное ядро усовершенствованной архитектуры, ряд отличий которой позволяет увеличить производительность устройства при той же частоте тактового сигнала.

Процессор 1879BM4 имеет минимальные отличия по системе команд по сравнению с процессорами Л1879BM1 и 1879BM2. Это позволяет использовать в новом процессоре созданное для Л1879BM1 и 1879BM2 системное и прикладное программное обеспечение после перекомпиляции программ, написанных на ассемблере.

Ниже приводятся основные архитектурные и структурные особенности 1879BM4, отличающие его от своих предшественников:

- Процессор 1879BM4 содержит внутреннюю оперативную память статического типа (SRAM) общим объемом 2 Мбит, расположенную на одном кристалле с процессорными узлами. Внутренняя память состоит из четырёх одинаковых банков памяти, каждый из которых представляет собой однопортовую синхронную память (SRAM), имеющую организацию 8К x 64 бит, и может использоваться для оперативного хранения 32- и 64-разрядных слов данных, коэффициентов и команд. Все банки памяти работают как псевдодвухпортовые, что позволяет одновременно производить доступ к памяти как со стороны процессорного ядра, так и со стороны каналов ПДП. Любой цикл обращения к внутренней памяти процессора выполняется за один процессорный такт. В каждом такте происходит до четырех обращений к внутренней памяти и до двух обращений к внешней памяти.

- Два банка внутренней памяти расположены в адресном пространстве локальной шины, остальные два – в адресном пространстве глобальной шины. Любое активное внешнее устройство, подключенное к локальной или глобальной шине и захватившее управление данной шиной, может адресовать любую ячейку внутренней памяти, расположенной в соответствующем адресном пространстве, и выполнить операцию чтения или записи.
- Процессор 1879BM4 имеет внутрикристальный кэш команд (ICACHE) объёмом 8Кбит (1К×64) с организацией 8-way и с отсутствием блокировок при промахах. При обращении во внешнюю память выбранные команды попадают одновременно в процессорное ядро (PROCESSOR CORE) и в кэш. При повторном обращении по тому же адресу команды будут выбираться из кэша, а не из внешней памяти. Программы, расположенные во внутренней памяти, не кэшируются.
- Процессор 1879BM4 содержит аппаратные средства, позволяющие без использования дополнительного внешнего контроллера подключить к любой внешней шине (локальной или глобальной) ещё один процессор NM6405, работающий с общей памятью, подключенной к данной шине, в режиме “Shared Memory”.
- Блоки программируемого интерфейса 1879BM4 позволяют использовать в качестве внешней памяти микросхемы SRAM, ROM, Flash ROM и микросхемы синхронной памяти (SSRAM, SDRAM).
- Процессор 1879BM4 имеет развитую систему внутренних шин, что позволяет увеличить количество одновременно выполняемых циклов обращения к памяти.
- Количество генераторов адреса (блок AGU) увеличено до семи (один для команд и шесть для данных), что позволяет в одном такте формировать до семи запросов на работу с памятью: на выборку команды, на чтение и запись скалярных данных, на чтение до трёх данных для векторного сопроцессора и на запись результата работы векторного сопроцессора. Все семь запросов могут быть обслужены одновременно, если адресуются различные банки внутренней памяти и различные внешние памяти (локальная или глобальная), а команда выбирается из кэш команд.
- Предусмотрена загрузка матрицы весов по принципу один вектор весов – за один такт.
- Введена аппаратная вершина системного стека. Она копирует содержимое ячейки памяти системного стека, хранящей последний адрес возврата из подпрограммы или прерывания и значение регистра PSWR при входе в подпрограмму/прерывание.

- Добавлены два программируемых канала ПДП типа «память-память».
- Используются два коммуникационных порта синхронного типа, что позволит поднять скорость обмена до 75-150 Мбайт/с по каждому порту вместо 20 Мбайт/с у Л1879ВМ1 и 1879ВМ2.
- Введены 8 программируемых входов/выходов.
- Добавлены немаскируемое прерывание, 4 внешних прерывания вместо одного, а также прерывания от каналов ПДП.
- Имеется JTAG-порт, позволяющий существенно упростить процедуры тестирования аппаратных средств.

Благодаря аппаратной поддержке матрично-векторных операций и возможности увеличения производительности при обработке данных меньшей разрядности, процессоры NeuroMatrix® находят применение для решения широкого класса задач в таких областях, как видеобработка, распознавание образов, сигнальная обработка, радиолокация, телекоммуникация, навигация и многих других. Благодаря встроенным средствам для построения многопроцессорных систем, они используются как базовые блоки для создания параллельных вычислительных систем.

Более детальную информацию о процессорах NeuroMatrix® можно почерпнуть на сайте www.module.ru и в статье [1].

3. Кросс-средства разработки программ для процессоров семейства NeuroMatrix®

Кросс-средства разработки программ, предназначенные для создания пользовательских программ, состоят из следующих отдельных программ:

- компилятор Си++;
- препроцессор;
- компилятор переднего плана;
- кодогенератор;
- оптимизирующий компилятор С++;
- ассемблер;
- редактор связей.

Состав и порядок взаимодействия компонентов кросс-средств разработки программ для процессоров семейства NeuroMatrix® поясняется на Рис.1.

Особо важную роль при автоматизации программирования играет оптимизирующий компилятора Си++ семейства NeuroMatrix®.

Оптимизирующий компилятор Си++ - полноценный компилятор, транслирующий Си/Си++ программы в исходные тексты на языке ассемблера.

Оптимизирующий компилятор используется вместо компилятора С++. Ключевые характеристики данного компилятора:

- Более строгое следование стандарту С++, включая шаблоны;
- Продвинутое алгоритмы оптимизации.

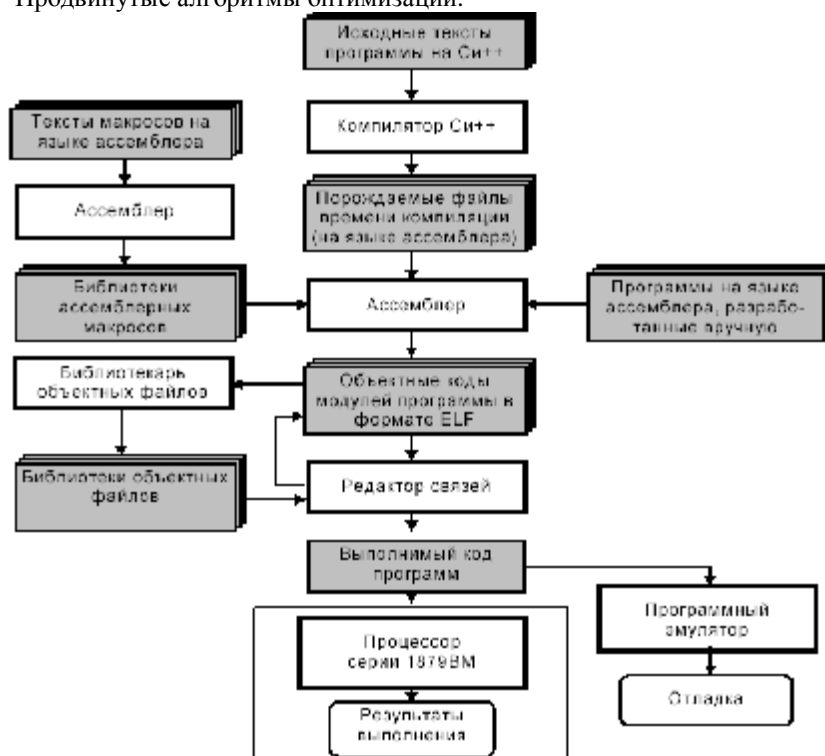


Рис.1. Структура взаимодействия компонентов кросс-средств разработки программ для процессоров семейства NeuroMatrix®

Описание кросс-средств разработки программ для процессоров семейства NeuroMatrix® приведено в документе [2].

4. Современные проекты систем на кристалле

В НТЦ «Модуль» ведутся два проекта по разработке систем на кристалле, с использованием программно-аппаратных решений ранее выполненных разработок.

Первый проект – для решения задач спутниковой навигации. В составе системы микропроцессорное ядро ARM1176JZF-S, два процессора семейства NeuroMatrix®, контроллеры ПДП, JTAG, SPI, АЦП/ЦАП и др.

Второй проект – декодер для цифрового телевидения высокого разрешения. Задачей декодера является прием (декодирование) сигнала цифрового телевидения в реальном времени, либо отображение (декодирование) видеозаписей, в том числе высокой четкости, в реальном времени. Необходимо поддержать распространенные и перспективные стандарты декодирования данных.

Помимо основной задачи, устройство должно решать набор задач предварительной и постобработки данных.

В составе системы микропроцессорное ядро ARM1176JZF-S, два блока векторной обработки, аналогичных векторным блокам семейства NeuroMatrix®, контроллеры ПДП, JTAG, SPI, USB и др.

5 Заключение

Для решения задач разработки современных программно-аппаратных средств создания встроенных компьютерных систем необходимо готовить соответствующих специалистов, при совместном участии представителей ИТ-индустрии и ИТ-образования. Примером такой подготовки является еженедельный семинар «Программное обеспечение систем на кристалле», организованный ВКШ МГУ им. М.В. Ломоносова и НТЦ «Модуль», проводимый под руководством проф. Сухомлина В.А.

Литература

1. Черников В.М., Виксне П.Е., Шелухин А.М., Шевченко П.А., Панфилов А.П., Косоруков Д.Е., Черников А.В. Семейство процессоров обработки сигналов с векторно-матричной архитектурой NeuroMatrix®. Компоненты и системы №8, 2006, с.78-88.
2. ЮФКВ.30047-01 95 01. Микросхема интегральная 1879ВМ2. Кросс-средства разработки программ. Руководство пользователя.