



Ядро процессора NeuroMatrix[®] NMC 3

СФ-блок

Основные характеристики

- Синтезируемая RTL-модель процессорного ядра на языке Verilog
- Тактовая частота – 150 МГц (технология изготовления – 0,25 мкм КМОП), 320 МГц (технология изготовления – 90 нм КМОП)
- 225.000 экв. вентиляей
- Ускоренная загрузка матрицы весовых коэффициентов в векторный операционный узел в темпе один вектор за один процессорный такт
- Одновременное выполнение до шести операций ввода/вывода за один процессорный такт
- Аппаратная вершина системного стека ускоряет процесс возврата из подпрограммы (процедуры обработки прерывания).
- Ядро ориентировано на выполнение многотактовых векторных операций.
- Конвейер переменной длины для эффективной работы с памятью как внутренней, так и внешней

Краткое описание

NeuroMatrix[®] Core 3 – ядро высокопроизводительного процессора цифровой обработки сигналов с векторно-конвейерной VLIW/SIMD архитектурой, которое является дальнейшим развитием семейства NeuroMatrix[®] отечественных процессорных ядер (NMC и NMC2).

Процессорное ядро NMC3 ориентировано на предварительную и первичную обработку малоразрядных данных. Данное ядро NMC3 может поставляться по договоренности с заказчиком в виде hard СФ-блока или в виде RTL кода на языке Verilog в комплекте с функциональными тестами и набором документации.

Для ядра поставляются кросс средства разработки и отладки программ SDK30, включая компилятор языка программирования С++, ассемблер, редактор связей, дизассемблер, отладчик. Разработана инструментальная однопроцессорная плата с PCI интерфейсом для разработки программ на процессоре NM6406 (1879ВМ5Я), спроектированном на базе ядра NMC3.



Модуль[®] и NeuroMatrix[®] являются зарегистрированными товарными знаками ЗАО НТЦ «Модуль». Все остальные торговые марки являются собственностью их владельцев.

ЗАО НТЦ «Модуль», Россия, Москва, 125190, а/я 166, 4-я ул. 8-го Марта д. 3.
Тел.: +7 499 152 96 98, факс: +7 499 152 46 61, e-mail: rusales@module.ru

Ядро процессора NeuroMatrix® NMC 3

СФ-блок

Преимущества

RISC процессор:

- Разрядность данных – 32 бита
- Разрядность команд – 32 и 64 бита
- Размер адресного пространства – 4Гх32 бит
- Выполнение трех скалярных операций за такт (АЛУ-операция, модификация адреса и операция ввода/вывода)
- Производительность – 1 MIPS / 1 МГц или 3 MOPS/ 1 МГц

Векторный сопроцессор:

- Разрядность данных – программно задается от 2 до 64 бит (все данные упакованы в 64-разрядные слова)
- Базовая операция – умножение матрицы целочисленных данных на матрицу целочисленных данных
- Одновременное выполнение двух функций насыщения над потоком входных данных
- Производительность (MAC – количество операций умножение с накоплением, выполняемых за один процессорный такт) – 2 MAC для 32-разрядных данных, 4 MAC для 16-разрядных данных, 24 MAC для 8-разрядных данных, 80 MAC для 4-разрядных данных, 224 MAC для 2-разрядных данных

Область применения

- Гидро- и радиолокация
- Обработка ИК и видеоизображений
- Навигационные приемники
- CDMA и TDMA базовые станции
- Векторно-матричные вычислители

Комплект поставки

- Исходный Verilog код
- NMSDK – средства подготовки и отладки программ
- Ассемблер
- Компилятор C/C++
- Стандартная библиотека C-функций
- Редактор связей
- Дизассемблер
- Отладчик
- Симулятор
- Другие утилиты



Контакты

Site: www.module.ru

E-mail: rusales@module.ru

Tel: +7 (926) 215-15-38

Fax: +7 (499) 152-46-61

Адрес: Россия, 125190, г. Москва, а/я166