

# Комплексный подход к верификации в процессе разработки отечественной СБИС Декодера цифрового телевизионного сигнала К1879ХБ1Я

В.Ю. Залётов, Е.А. Янкевич, П.А. Шевченко

ЗАО НТЦ «Модуль», [vzaletov@module.ru](mailto:vzaletov@module.ru)

## I. ВВЕДЕНИЕ

Важным этапом развития современного телевидения является переход к новым, цифровым форматам вещания.

Согласно государственной программе развития цифрового телевидения, к концу 2014 года принимать программы в новом цифровом формате вещания сможет не менее 80% общего населения России, для чего, по приблизительным расчетам, потребуется, порядка, 30 млн. цифровых телевизионных приставок (из расчета использования по одной приставке на семью). В 2015 году планируется окончательный переход на цифровое вещание и прекращение аналогового.

Основой элементной базы любой современной цифровой телевизионной приставки является микросхема декодера цифрового телевизионного сигнала класса системы на кристалле. Система на кристалле (СнК) декодера цифрового телевизионного сигнала, разработанная в ЗАО НТЦ «Модуль», допускает возможность создания различных конфигураций телевизионной приставки, от бюджетной до hi-end класса.

## II. СТРУКТУРА И ХАРАКТЕРИСТИКИ СБИС ДЦТС

### A. Структура СБИС.

В основе системы на кристалле декодирования и обработки аудио и видео информации для устройств цифрового телевидения лежит центральный процессор ARM1176JZF-S (см. рисунок 1). Обмен данными в системе осуществляется по шинам данных в соответствии со спецификацией AMBA 3.0 AXI.

Основными преимуществами ядра ARM1176JZF-S являются: производительная архитектура версии v6, наличие интегрированных в ядро кэшей команд и данных и сверхоперативной памяти команд и данных TCM (Tight Coupled Memory), поддержка новейшего формата шины – AMBA 3.0 AXI, наличие сопроцессора для работы с данными в формате с плавающей точкой. Ядро поддерживает работу с 64-разрядными данными.

Взаимодействие между отдельными устройствами системы обеспечивается настраиваемой матрицей коммутации (interconnect matrix unit). Матрица коммутации осуществляет возможность одновременной передачи данных от нескольких источников к нескольким приемникам. В том числе, используется пакетный режим передачи данных и возможность одновременной передачи нескольких пакетов данных с чередованием данных из разных пакетов от разных источников.

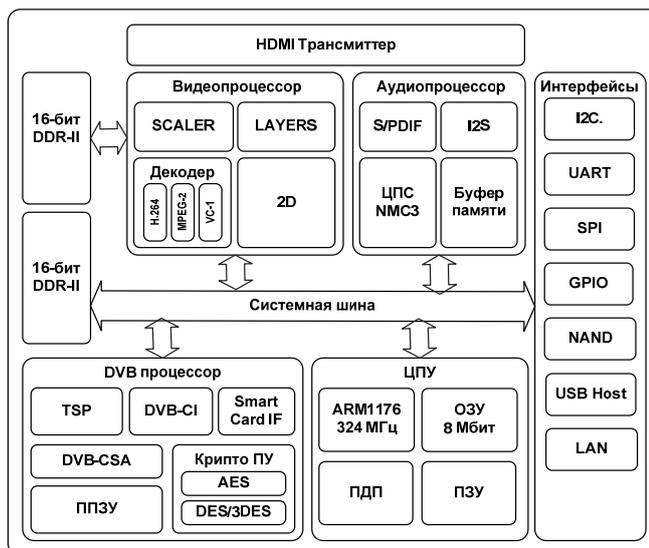
Многоканальный контроллер прямого доступа в память (ПДП) обеспечивает загрузку данных в требуемые области памяти. Система использует иерархическую многоуровневую систему памяти для максимальной загрузки данными всех вычислительных устройств системы.

Система памяти содержит четыре банка внутренней памяти общим объемом 8 Мбит, два интерфейса с внешней динамической памятью типа DDR2, интерфейсы с

внешней flash памятью. Такая конфигурация в сочетании с кэшем команд и данных, памятью TCM процессора ARM обеспечивает иерархическую систему памяти с высокой пропускной способностью.

Видеопроцессор включает мультистандартный блок декодирования видео сигнала, 2D графический ускоритель и видеоконтроллер высокого разрешения с поддержкой функций масштабирования и наложения графических и видео слоев.

Аудиопроцессор содержит ЦПС на основе ядра NeuroMatrix, позволяющий программно решать задачи декодирования аудио сигнала. Многоканальный аудиоконтроллер поддерживает выдачу аудио сигнала по интерфейсам I2S и S/PDIF.



**Рис. 1. Структура СБИС ДЦТС**

Цифровой интерфейс HDMI с поддержкой функции HDCP обеспечивает возможность построения устройств без использования дополнительных внешних компонент в аудио и видео тракте.

Система содержит DVB процессор, включающий: демультиплексор транспортного потока TSP, осуществляющего разбор транспортного потока от нескольких источников, криптопроцессор, поддерживающий основные алгоритмы условного доступа, в том числе, CSA, DES, 3DES. Возможно подключение внешних модулей условного доступа по интерфейсу DVB-CI и работа со смарт-картами. Уникальные для микросхемы ключи хранятся в однократно программируемом ПЗУ.

Многочисленные коммуникационные интерфейсы обеспечивают возможность построения на базе описываемой микросхемы линейки устройств с различными потребительскими свойствами используя, при этом, минимальное количество дополнительных микросхем.

*Б. Формирование системы из набора IP блоков*

Система на кристалле построена на основе готовых функциональных блоков. Такой подход обеспечивает возможность максимальной унификации системы и значительно упрощает адаптацию необходимого программного обеспечения. Собственно говоря, большая часть программного обеспечения для процессоров ARM из имеющегося на рынке, может исполняться системой без внесения каких-либо изменений, либо с минимальной адаптацией.

СБИС включает в свой состав IP блоки многих известных производителей, таких как: ARM, Silicon Image, Fujitsu, Aeroflex Gaisler, Takumi.

В то же время, микросхема включает набор IP блоков собственной разработки: видео и аудио контроллеры, контроллер NAND Flash памяти, ЦПС на основе ядра NMC3, блок декодирования транспортного потока и криптопроцессор.

Использование IP блоков различных поставщиков порождает потенциальные проблемы согласования их работы в составе системы.

Типичными задачами интеграции сторонних IP блоков в систему являются:

Согласование интерфейсов блоков, как на физическом уровне, так и на уровне транзакций. Разрабатываются оболочки для согласования протоколов работы шинных интерфейсов.

Согласование программных интерфейсов блоков, например, форматов данных при их размещении в памяти. Решение этих задач может потребовать как модификаций в программном коде, так и разработки аппаратных блоков, формирующих данные в требуемом формате.

Разработка дополнительных моделей тестового окружения и функциональных тестов, обрабатывающих сценарии работы, характерные для разрабатываемой СБИС.

Таким образом, использование готовых IP, хотя и снижает трудозатраты по общей разработке системы, но, все равно, объем работ по интеграции таких блоков может оказаться значительным.

### *В. Характеристики микросхемы.*

В таблице 1 приведены технические параметры кристалла.

Таблица 1

#### **Технические параметры микросхемы.**

Технология изготовления	КМОП 90 нм
Размер кристалла	8 x 8 мм
Напряжение питания	1,2/1,8/3,3 В
Типовая мощность потребления	<2 Вт
Частота ядра	324 МГц
Частота внутренней шины	162 МГц
Объем внутренней памяти	8 Мбит
Тип корпуса	BGA544

Характеристики микросхемы вполне могут позволить ей занять достойное место на отечественном рынке, в различных областях применения, от цифровых телевизионных приставок бюджетного уровня до многофункциональных мультимедийных центров.

### **III. ЭТАПЫ РАЗРАБОТКИ СБИС ДЦТС**

Организация разработки и отладки системы состоит из следующих этапов:

- *Определение сценариев применения, ключевых характеристик, архитектурное предложение.* На этом этапе формируется список ключевых характеристик СБИС, которые обеспечивают конкурентно способные характеристики изделия и определяются ключевые ниши применения данного проектируемого изделия, составление первичной архитектуры проектируемой СБИС;
- *Детализирование архитектуры, поблочное проектирование, проектирование коммутационной среды.* На этом этапе уточняется состав блоков системы, создаются спецификации на перечень проектируемых блоков, определяется набор покупных IP, проектируется шинная иерархия системы;
- *Создание верификационного плана на систему, проектирование и выбор аппаратно-программного комплекса для прототипирования СБИС.* На этом этапе детализируется верификационный план на саму систему на основе списка ключевых характеристик и сценариев применения СБИС, производится выбор аппаратно-программных средств для верификации системы и ее составных блоков;
- *Детализированное проектирование разрабатываемых блоков, верификация разработанных блоков и покупных IP, системная верификация блоков в составе системы.* На этом этапе производится детализированное проектирование разрабатываемых блоков на котором еще возможно внесение архитектурных изменений в систему, их верификация, как на уровне RTL, так и на ПЛИС, а также верификация покупных IP блоков с учетом их корректного сопряжения с разрабатываемыми блоками и корректной работы в системе;
- *Верификация на уровне нетлиста блоков и системы при реализации в заданном технологическом базисе.* На этом этапе происходит доработка блоков и системы с учетом ограничений накладываемым технологией изготовления СБИС и окончательная верификация СБИС.

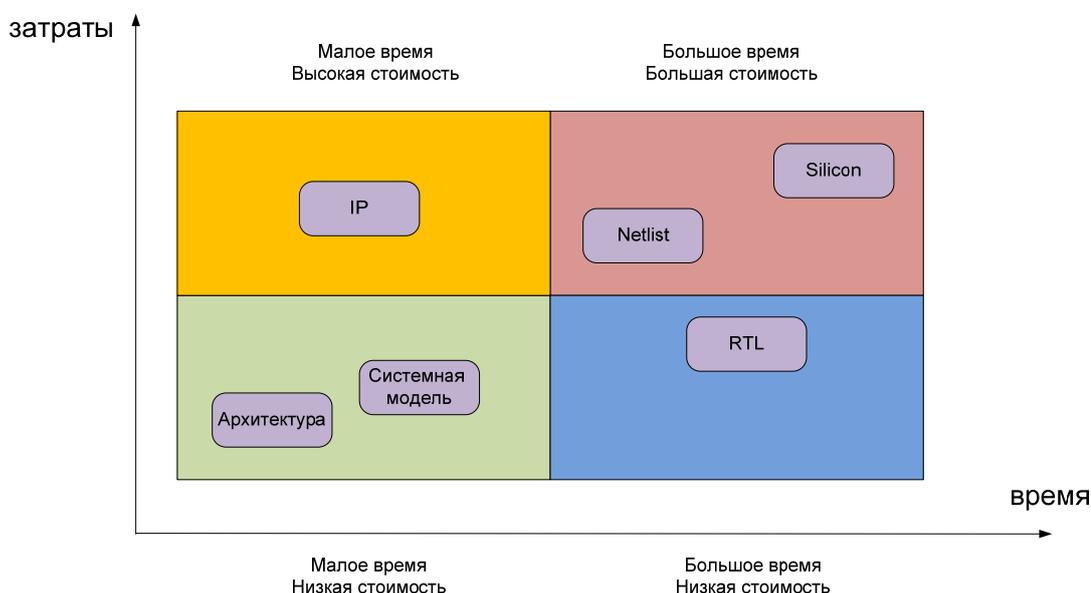
#### IV. ЭТАПЫ И РИСКИ В ПРОЦЕССЕ ВЕРИФИКАЦИИ

Процесс верификации направлен на обнаружение и локализация ошибок на этапе проектирования изделия с целью уменьшения затрат на внесение исправлений, а так же на соответствие заявленным характеристикам. Поскольку проектируемое изделие может верифицироваться на разных этапах разработки и на разных уровнях детализации проекта, то выделяются следующие уровни верификации по отношению к проектируемой СБИС:

- Верификация требований предъявляемых к разрабатываемому изделию;
- Верификация на уровне системных моделей;
- Верификация на уровне RTL кода;
- Верификация сторонних IP;
- Верификация на уровне нетлистов технологических библиотек;
- Верификация изделия в кремнии.

Подходы, применяемые к процессу верификации, могут быть, как программные, так и аппаратные. На разных этапах разработки подходы могут отличаться как временными, так и стоимостными затратами. На рисунке 2 отображено распределение применения различных подходов на разных уровнях реализации проекта в соответствии с ценой исправления ошибки. Где по осям координат «время – затраты» изображены описанные ранее этапы, при этом координатная плоскость разбита на четыре области «малое время - низкая стоимость», «малое время - высокая стоимость», «большое время - низкая

стоимость», «большое время - большая стоимость». Под «затратами» понимается стоимость исправления ошибок, программно аппаратные ресурсы, материальные и трудовые ресурсы, а под «временем» понимается время внесения исправлений, проведение повторной верификации проекта.



**Рис. 2. Риски исправления ошибок**

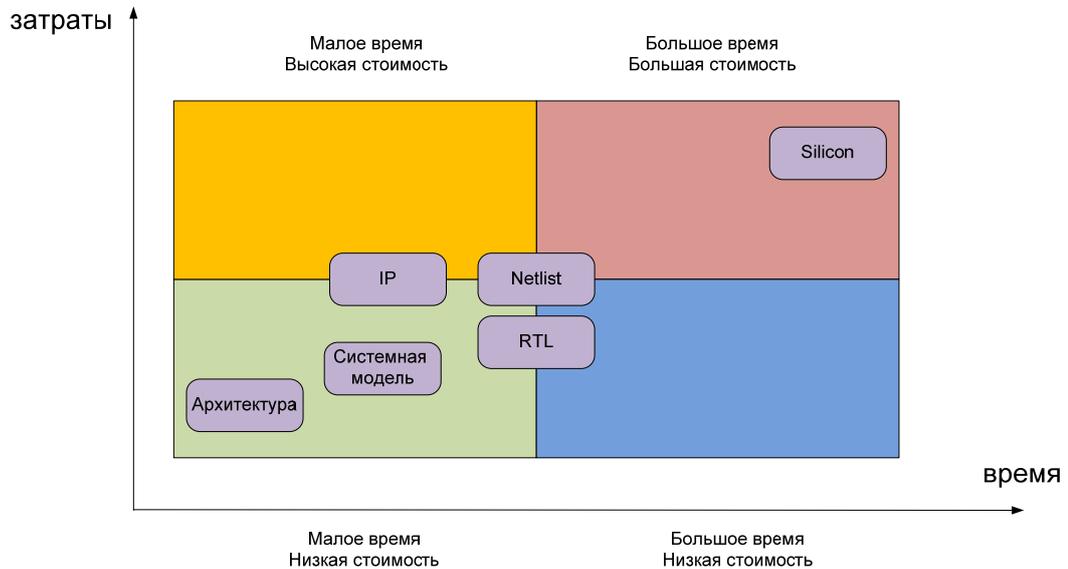
Подходы к верификации, применяемые в процессе разработки СБИС ДЦТС позволили сместить этапы «верификация сторонних IP», «верификация на уровне RTL кода», «верификация на уровне нетлистов технологических библиотек» к области «малое время - низкая стоимость» (см. рисунок 3).

К таким подходам относятся:

- Проектирование разрабатываемых блоков с учетом скорейшей реализации ключевых функций блока;
- Использование программных моделей на языках высокого уровня, позволяющих начать разработку верификационного окружения и верификационного плана еще до этапа RTL проектирования;
- Разбиение сложной системы на подсистемы по функциональному назначению;
- Одновременное прототипирование разрабатываемых блоков на ПЛИС с одновременным написанием драйверов на эти блоки и их интеграцией с разрабатываемым ПО;
- Разработка программно-аппаратного комплекса позволяющего верифицировать не только блоки в отдельности, но и подсистемы на их основе;
- Поэтапная верификация системы по мере окончания проектирования составных блоков с использованием эмуляторов разрабатываемых блоков позволяющих оценить нагрузку на шинную архитектуру системы;
- Написание тестовых последовательностей на блоки таким образом, чтобы они легко интегрировались не только в систему верификации всей системы, но и могли использоваться на первичных этапах верификации на ПЛИС.

Весь комплекс методов, описанный ранее, позволяет не только снизить стоимость и время, затрачиваемое на верификацию системы и блоков, но так же позволяет

использовать разработанные тестовые последовательности, верификационную среду и программно-аппаратный комплекс, в других проектах, что автоматически снижает время и стоимость разработки последующего проекта.



**Рис. 3. Риски исправления ошибок СБИС ДЦТС**

#### V. ЗАКЛЮЧЕНИЕ

В данном докладе изложен комплексный подход к верификации СБИС ДЦТС, приводятся методы позволяющие снизить как стоимость разработки, так и время на верификацию. Дается описание основных характеристик микросхемы. Описано построение структуры СБИС с использованием различных IP, особенности совместного применения в системе блоков различных типов и разработчиков. Изложены основные принципы организации разработки и отладки проекта.

#### ЛИТЕРАТУРА

- [1] М. Симонов, А. Лейбов, Ю. Шавдия Переход на цифровое телевизионное вещание в Российской Федерации // Электроника: Наука, Технология, Бизнес. - 2007. - №8. - С. 20-27.
- [2] П.А. Шевченко, А.В. Шкуренко Декодер цифрового телевизионного сигнала высокой четкости: система на кристалле // Электроника: Наука, Технология, Бизнес. - 2007. - №8. - С. 62-66.
- [3] К. Быструшкин Современная элементная база для аналого-цифровых телевизоров TV/DVB // Электронные компоненты. - 2002. - №6. - С. 1-4.
- [4] П.А. Шевченко Платформа для разработки СБИС декодера ТВ-сигнала // Электроника: Наука, Технология, Бизнес – 2010 - №3 – С. 60-65.
- [5] П.А. Шевченко СБИС декодера цифрового телевизионного сигнала. Технология разработки // «Проблемы разработки перспективных микро- и нанoeлектронных систем – 2010 (МЭС-2010)» Сборник трудов под общ. ред. академика РАН А.Л. Стемпковского. – М.: ИППМ РАН, 2010. – С. 320-325