

# Организация саморемонта блоков статической оперативной памяти с резервными элементами

Л.А. Щигорев

ЗАО НТЦ «Модуль»

Национальный исследовательский ядерный университет «МИФИ», l.shchigorev@module.ru

**Аннотация** — Рассмотрен способ организации встроенного саморемонта блоков статической оперативной памяти (СОЗУ) с резервными элементами. Используется резервирование запасными столбцами. Представлен способ проектирования устройства встроенного саморемонта памяти. Показано, что разбиение информационного слова позволяет уменьшить время, затрачиваемое на саморемонт, в 4-60 раз и увеличить число резервных элементов для блока СОЗУ в 2-8 раз. Разработанные устройства отмоделированы и синтезированы для оценки дополнительных затрат на аппаратуру и задержки прохождения сигнала.

**Ключевые слова** — ремонт памяти, анализатор ремонта, самотестирование памяти, система на кристалле (СнК), резервирование, статическая оперативная память (СОЗУ), реконфигурирование памяти.

## I. ВВЕДЕНИЕ

Элементы памяти занимают значительную площадь современных систем на кристалле (СнК). Согласно отчетам экспертов ITRS (International Technology Roadmap Semiconductor) устройства встроенной памяти могут занимать до 86% площади всего кристалла [1]. Так как производство современных СнК происходит по новым технологиям глубокого субмикрона, плотность размещения элементов встроенной памяти неуклонно возрастает [2]. Они становятся основными источниками дефектов, определяющими выход годных (ВГД) микросхем. Вследствие этого необходимо добавлять к основным элементам памяти резервные. Более того, в случае неиспользования резервных элементов сразу после производства ими можно заменить поврежденные ячейки памяти уже во время эксплуатации прибора [3, 4]. Поэтому количество резервных элементов может как повышать ВГД микросхем, так и служить фактором, улучшающим отказоустойчивость элементов памяти в частности и, как следствие, всей микросхемы в целом.

## II. САМОРЕМОНТ ПАМЯТИ

### A. Способы управления

Выбор способа управления схемой встроенного саморемонта памяти (УВСР) тесно связан со способом управления устройством встроенного самотестирования (УВСТ), которое может

осуществляться с помощью JTAG-интерфейса и внешнего тестового оборудования (ВТО) или программным способом из кода ПЗУ через управляющий регистр с помощью однобитового сигнала старта операции самотестирования. Выдача результата также осуществляется либо по JTAG-интерфейсу, либо через однобитовый сигнал, указывающий итог самотестирования: наличие или отсутствие ошибок в блоке памяти.

Однократный или непроизводимый при каждом включении/перезагрузке саморемонт может быть выполнен с помощью JTAG-интерфейса и ВТО. Например, если речь идет о контроле на кремниевой фабрике. Но если сценарий саморемонта подразумевает поиск работоспособной конфигурации основных и резервных элементов памяти при каждой операции включения/перезагрузки микросхемы, то управлять этим процессом необходимо непосредственно внутри кристалла.

### B. Сценарии саморемонта

Операции саморемонта памяти предшествует самотестирование памяти, анализу алгоритмов которого посвящено немало исследований, классических и современных [5-7]. Существует два способа выполнения реконфигурации элементов памяти: аппаратный (hard repair) и программный (soft repair) [8]. Аппаратный способ предполагает однократное перепрограммирование энергонезависимой памяти при помощи плавких предохранителей или перемычек, лазерных или электронных. Программный же способ предполагает хранение информации о конфигурации резервных элементов в энергонезависимом или энергонезависимом регистре. Информация о реконфигурации памяти попадает туда после выполнения операции самотестирования в результате исполнения алгоритма, расположенного в энергонезависимом ПЗУ, или работы встроенного блока саморемонта памяти. После выключения или перезагрузки микросхемы информация о конфигурации резервных элементов памяти исчезает из энергонезависимой памяти или сохраняется в энергонезависимой.

Если для послепроизводственного контроля нередко используется именно аппаратный способ ремонта памяти для решения задачи повышения выхода годных микросхем, то для обеспечения возможности

проведения многократных операций саморемонта устройств встроенной памяти с целью повышения надежности и увеличения продолжительности срока

работы СнК подходящим вариантом является второй метод – программный.

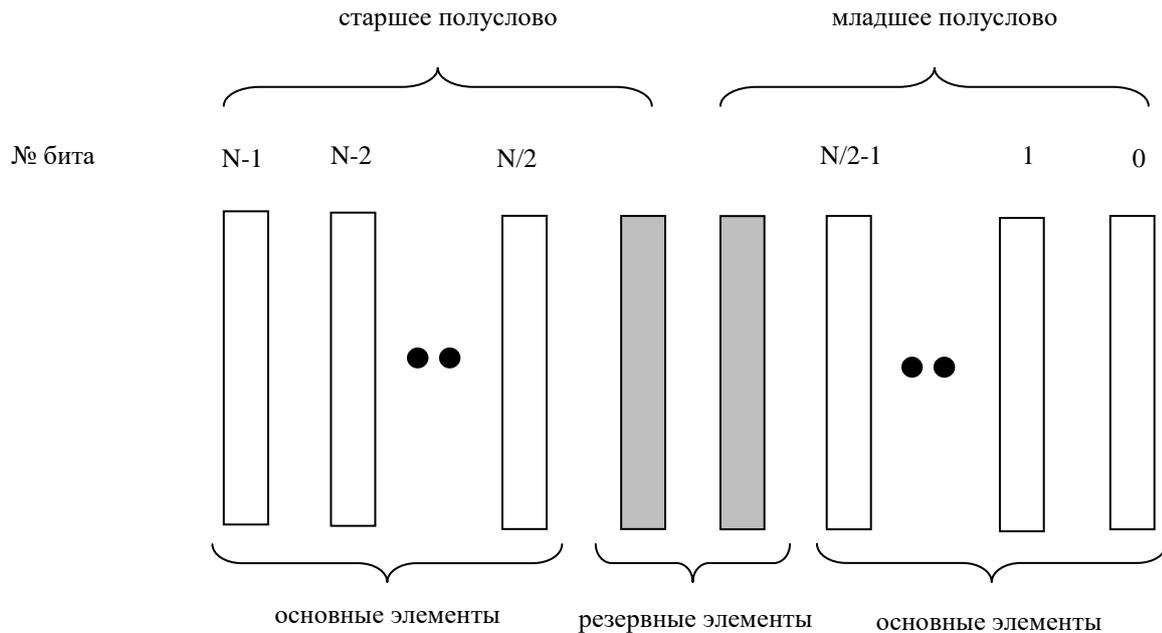


Рис. 1. Столбцы в качестве резервных элементов памяти

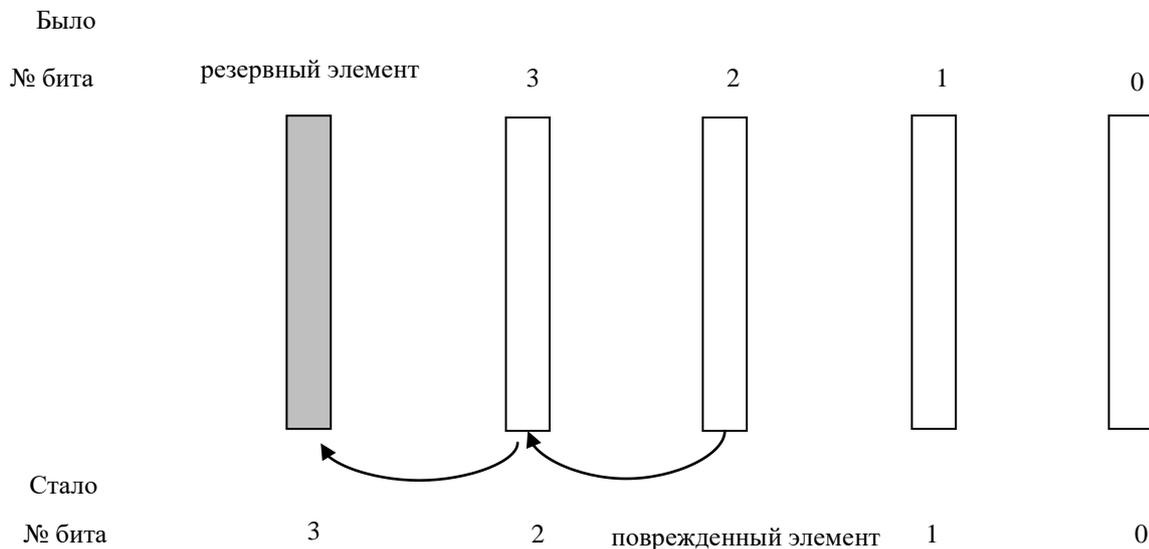


Рис. 2. Механизм замещения поврежденного элемента памяти резервным

Задачей проектируемого УВСП памяти является нахождение подходящей конфигурации резервных элементов взамен отказавшим основным. Эта операция планируется к выполнению в момент включения или перезагрузки микросхемы.

### С. Резервные элементы памяти

Добавление резервных элементов в память осуществляется тремя способами: только резервные строки, только резервные столбцы и резервные строки

вместе с резервными столбцами. Расширением последнего метода могут служить отдельные резервные слова [9].

Резервирование столбцами и строками (так называемое 2-D резервирование) подразумевает решение задачи ремонта в виде нахождения оптимального покрытия отказавших ячеек памяти резервными. Этот метод предполагает анализ карты повреждений (bitmap) [10]. Для анализа этой

информации необходимо либо сохранять ее в специально предусмотренной для этого малой памяти на кристалле, либо выводить через JTAG-интерфейс в ВТО. Разрабатываемое УВСП подразумевает получение статуса самотестирования при помощи однобитового сигнала, поэтому нахождение рабочей комбинации резервных и основных элементов памяти может быть достигнуто только перебором конфигураций. Для оценки временных затрат были взяты некоторые типичные размеры блоков памяти: 1Кx8, 2Кx16, 4Кx8 и 4Кx16. Время выполнения операции саморемонта зависит от количества тактов работы алгоритма тестирования с каждым информационным словом. Для оценочных данных количество тактов принято равным 100, обращение к памяти пословное. Полное количество итераций для N-битного информационного слова, хранящегося в блоке памяти, можно вычислить по формуле 1:

$$\left(\frac{N}{2}\right)^2 + 1, \quad (1)$$

где N – размерность информационного слова, а прибавление единицы означает первую итерацию операции самотестирования без участия резервных элементов.

Максимальное время поиска корректной конфигурации резервных столбцов  $T_{ст}$  можно вычислить по формуле 2:

$$T_{ст} = N_c \times N_t \times T_n \times N_o, \quad (2)$$

где  $N_c$  – количество информационных слов блока памяти,  $N_t$  – количество тактов, затрачиваемых на тестирование одного информационного слова,  $T_n$  – период одного такта,  $N_o$  – максимальное количество операций самотестирования, вычисляемое по формуле 1.

Максимальное время поиска корректной конфигурации резервных столбцов и резервной строки  $T_{стр}$  можно вычислить по формуле 3:

$$T_{стр} = T_{ст} \times N_p, \quad (3)$$

где  $T_{ст}$  – максимальное время поиска корректной конфигурации резервных столбцов, вычисленное по формуле 2,  $N_p$  – количество строк (рядов) в блоке памяти.

В табл. 1 представлены оценочные результаты максимального времени нахождения корректной конфигурации резервных элементов методом перебора с учетом использования только 2 резервных столбцов и совместного использования 2 столбцов и одной строки при рабочей частоте 500 МГц.

*Оценочное максимальное время поиска корректной конфигурации резервных элементов для двух случаев резервирования: только столбцы, столбцы и строка*

Блок памяти	Столбцы, мс	Столбцы и строка, мс
1К x 8	3,48	445
2К x 8	6,96	1782
4К x 8	13,92	7127
1К x 16	13,31	1703
2К x 16	26,62	6814
4К x 16	53,24	27258

Вследствие этого ремонт памяти двумерными резервными элементами представляется избыточным по времени.

Преимущества обоих сценариев резервирования одномерными элементами (столбцами и строками) подробно описаны в [11]. Авторы делают выбор в пользу метода резервирования столбцами, в частности, из-за эффективного покрытия таким образом дефектов, связанных с линией выбора столбца данных, так называемой bitline.

На рис. 1 схематично изображена структура блока памяти, предназначенного для хранения N-битного информационного слова с 2 резервными столбцами. Один из них может заменить любой столбец из младшего информационного полуслова, а другой – из старшего. Механизм замены и новое расположение информационных бит после ремонта изображены на рис. 2. Биты, располагавшиеся в поврежденном основном элементе, смещаются на одну позицию к центру памяти. Биты, располагавшиеся между заменяемым элементом и резервным, также смещаются на одну позицию.

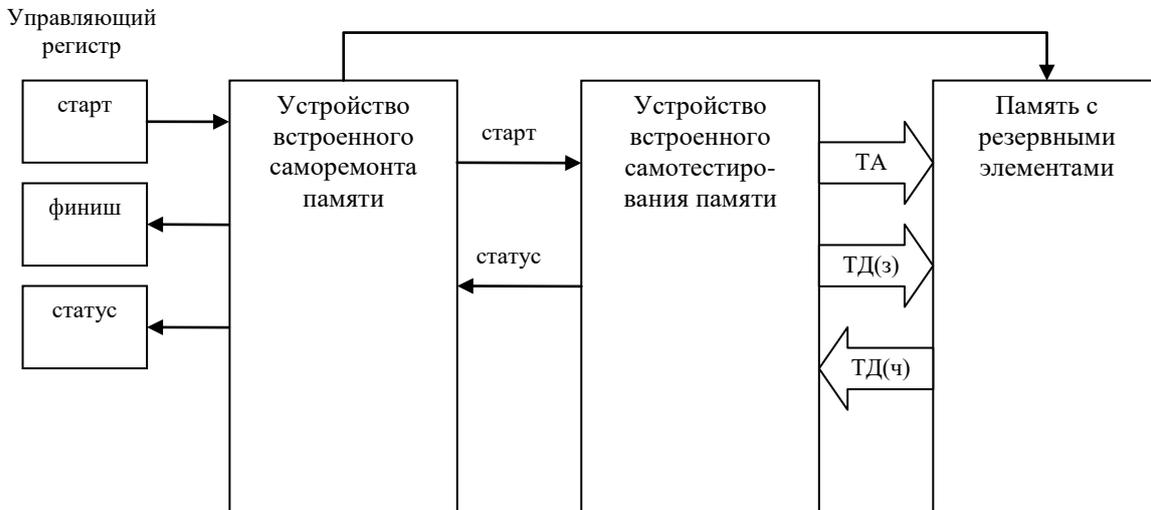
### III. ЦЕЛЬ ИССЛЕДОВАНИЯ

Разрабатываемому УВСП необходимо осуществлять саморемонт имея информацию только об успешном/неуспешном прохождении операции самотестирования при заранее установленной конфигурации основных и резервных элементов памяти с помощью шины конфигурации резервных элементов (ШКРЭ). Поиск удачной замены поврежденных элементов резервными осуществляется перебором различных конфигураций. В случае неудачного выполнения операции самотестирования для основных элементов УВСП конфигурирует

резервный элемент младшего полуслова на замену первого столбца, а для старшего полуслова организует поочередную подстановку. Если удачную конфигурацию найти не удалось, то изменяется заменяемый элемент младшего полуслова, а также повторяется перебор для старшего полуслова. В

соответствии с формулой 1 уменьшение размера информационного слова сократит максимальное время выполнения операции саморемонта прямо пропорционально квадрату отношения размера исходного информационного слова к используемому.

### ШКРЭ



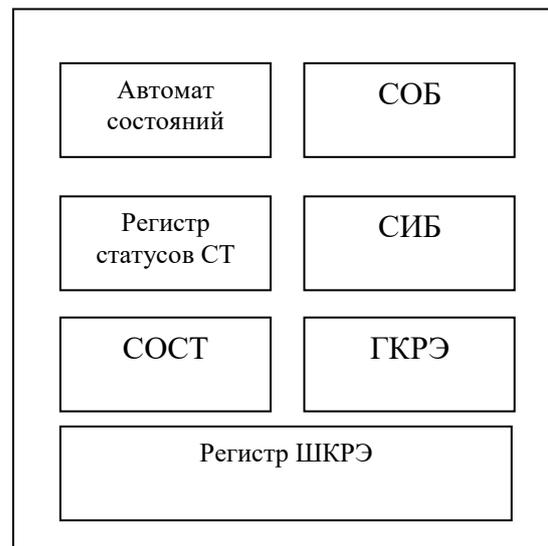
**Рис. 3. Схема для моделирования устройства встроенного саморемонта памяти с резервными элементами**

Целью данного исследования является проектирование и исследование УВСПР памяти с резервными элементами при учете разбиения блока памяти на несколько блоков, хранящих меньшие по размеру информационные слова, и без использования внешней и внутренней энергонезависимой памяти.

обрабатываемых блоков памяти с резервными элементами. Схематично составные блоки УВСПР отображены на рис. 4.

#### IV. УСТРОЙСТВО ВСТРОЕННОГО САМОРЕМОНТА ПАМЯТИ

Для отладки разработанных на языке Verilog HDL моделей УВСПР памяти были собраны схемы, повторяющие конструкции, в составе которых УВСПР может использоваться при проектировании СнК. Наглядно схема для моделирования показана на рис. 3. Она состоит из управляющего регистра (УР), блока УВСПР, блока УВСТ и памяти с резервными элементами. УР соединен с УВСПР и инициирует старт, а также собирает данные об окончании и статусе операции саморемонта. Блок УВСТ соединен с памятью шинами тестового адреса (ТА), записи и чтения тестовых данных (ТД(з) и ТД(ч)). Разработанное УВСПР состоит из следующих составных блоков: автомата состояний (АС), счетчика операций самотестирования (СОСТ), счетчика обработанных блоков памяти (СОБ), счетчика исправных блоков памяти (СИБ), генератора конфигурации резервных элементов (ГКРЭ), регистров хранения статусов прохождения операции самотестирования и регистров хранения конфигураций резервных элементов для всех



**Рис. 4. Составные блоки УВСПР памяти**

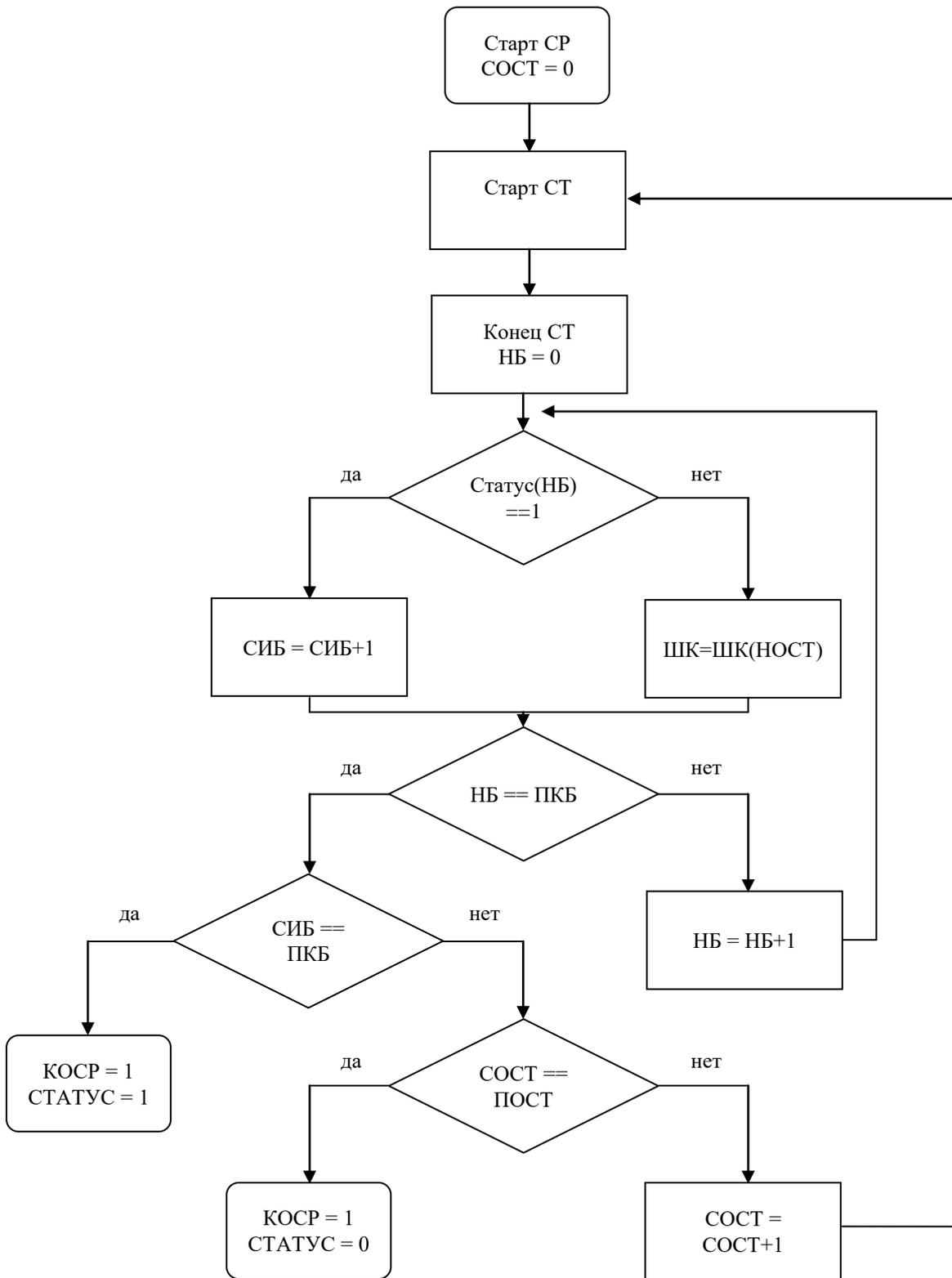


Рис. 5. Схема алгоритма работы УВСП памяти с резервными элементами

Схема алгоритма работы разработанного УВСП отображена на рис. 5. После прихода сигнала о старте операции саморемонта инициируется первая операция самотестирования. СОСТ устанавливается в 0. После завершения первого тестирования памяти результаты для каждого блока записываются в регистр статусов операций самотестирования. СОБ присваивается значение 0, который на схеме алгоритма обозначен как номер блока (НБ). Если тест завершен успешно и статус операции равен 1, то СИБ увеличивается на единицу, в противном случае ГКРЭ записывает в регистр хранения ШКРЭ следующую конфигурацию резервных элементов. Затем происходит сравнение НБ с полным количеством ремонтируемых блоков – полное количество блоков (ПКБ). Если был считан статус прохождения теста для последнего обрабатываемого блока, то это означает окончание данной итерации самотестирования, в другом случае необходимо увеличить НБ на единицу и считать статус следующего блока. После обработки данных последнего блока необходимо проверить для всех ли ремонтируемых блоков самотестирование завершилось успешно. Если это так, то УВСП выставит сигнал успешного статуса операции саморемонта и завершит работу. В противном случае необходимо проверить,

все ли возможные КРЭ протестированы при помощи СОСТ.

На рис. 6 изображена диаграмма состояний АС.

Таблица 2

Максимальное количество тактов работы устройства саморемонта памяти для разных конфигураций памяти

Название схемы	N, такты	N/N <sub>УВСП 8 бит x 8</sub>
УВСП 8 бит x 8	1638228	1
УВСП 16 бит x 4	6262898	3,82
УВСП 32 бит x 2	24760939	15,11
УВСП 64 бит x 1	98748500	60,28

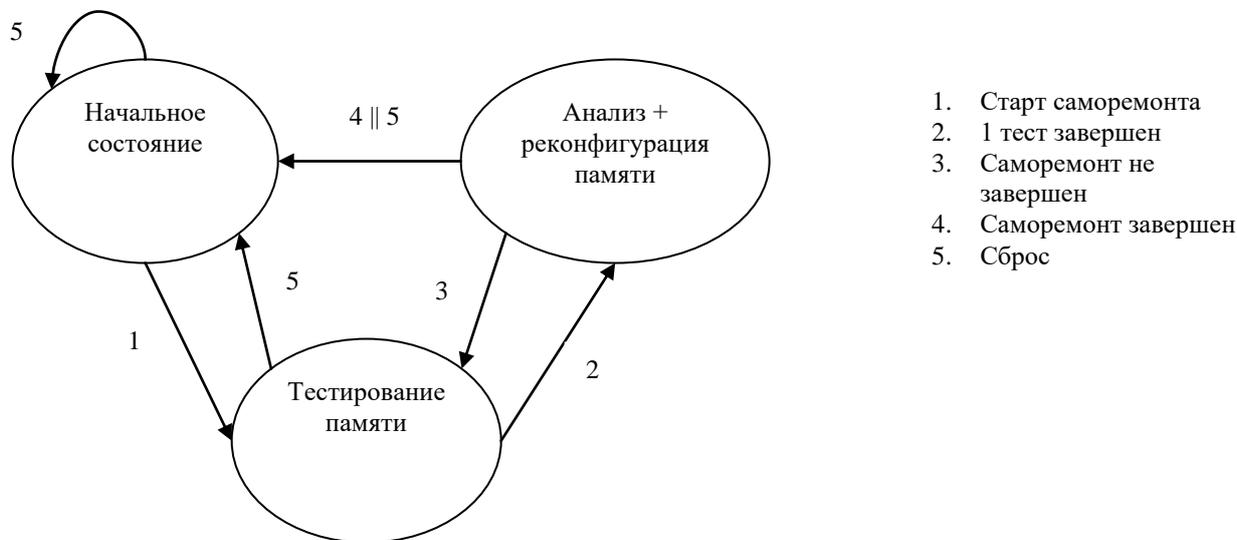


Рис. 6. Схема АС УВСП памяти с резервными элементами

Таблица 3

Сравнительные характеристики устройств саморемонта памяти с резервными элементами для различных конфигураций блоков

Название схемы	S/S <sub>УВСП 64 бит x 1</sub>	AT/AT <sub>УВСП 64 бит x 1</sub>	P/P <sub>УВСП 64 бит x 1</sub>	S <sub>УВСП</sub> /S <sub>память</sub>
УВСП 8 бит x 8	1,88	1	2,36	1,05
УВСП 16 бит x 4	1,45	0,99	1,80	1,08
УВСП 32 бит x 2	1,09	0,98	1,32	0,95
УВСП 64 бит x 1	1	1	1	1

## V. МОДЕЛИРОВАНИЕ И АНАЛИЗ РЕЗУЛЬТАТОВ

Для исследования были выбраны блоки памяти, хранящие информационные слова наиболее распространенных размеров, а именно: 8 бит, 16 бит, 32 бита и 64 бита.

Результаты моделирования показывают, что максимально необходимое число тактов для работы схемы саморемонта памяти при разбиении 64-разрядного информационного слова на 8 слов по 8 бит уменьшается в 60,28 раза. Данные для четырех разработанных схем приведены в табл. 2.

Также был проведен синтез разработанных устройств для оценки аппаратных затрат и изменений максимальных задержек прохождения сигналов. Результаты получены в САПР Cadence Encounter RTL Compiler для проектно-технологической нормы 28 нм КМОП, процесс LP (low power), транзисторы RVT (regular voltage threshold). Результаты приведены в относительных единицах по отношению к модели УВСП памяти с резервными элементами, состоящей из одного блока, хранящего информационное слово длиной 64 разряда для площади (S), максимальной задержки распространения сигнала (AT) и потребляемой мощности (P). Также вычислена наиболее распространенная в литературе характеристика аппаратных затрат на УВСП, а именно отношение площади устройства к площади блока памяти с резервными элементами, для которых оно встраивается в систему. Результаты представлены в табл. 3.

В ходе синтеза показано, что площадь УВСП памяти с резервными элементами для реализации блока памяти, хранящего 64-разрядное информационное слово, реализованного из 8 8-разрядных массивов памяти, увеличилась в 1,88 раза по отношению к устройству, спроектированному для одного массива, хранящего 64-разрядное слово. Также увеличилась потребляемая мощность в 2,36 раза.

Отношение площади УВСП при реализации блока памяти из 8 8-разрядных массивов к площади этой памяти выросло по сравнению с блоком памяти из одного 64-разрядного массива незначительно – в 1,05 раза.

## VI. ВЫВОДЫ

В данной статье рассмотрен способ организации встроенного саморемонта СОЗУ. Предложен способ проектирования устройств встроенного саморемонта памяти, использующей в качестве резервных элементов столбцы. Поиск конфигурации, исправляющей поврежденную память, осуществляется устройством встроенного саморемонта методом перебора возможных комбинаций. Способ не предполагает хранения найденной конфигурации в энергонезависимой памяти. Для сокращения максимального времени операции саморемонта предложено разбивать один блок памяти, хранящий

большое информационное слово, на несколько блоков, хранящих меньшие по размеру информационные слова. Для оценки эффективности предложенного способа были разработаны модели устройств встроенного саморемонта на языке Verilog HDL. Результаты моделирования показали, что разбиение блока памяти, хранящего 64-разрядное информационное слово, на блоки разрядностью 32, 16 и 8 бит позволяет сократить время операции саморемонта в 4-60 раз. Более того, разбиение блока памяти увеличивает число резервных столбцов в 2-8 раз.

## ЛИТЕРАТУРА

- [1] International technology roadmap for semiconductors. 2011 Edition. Test and test equipment. 56 p. Available at : <http://www.itrs2.net/2011-itrs.html>
- [2] D.-M. Chang, J.-F. Li, Y.-J. Huang A built-in redundancy-analysis scheme for random access memories with two-level redundancy // 21<sup>st</sup> IEEE International Symposium on Defect and Fault Tolerance in VLSI systems. 2006. P. 362-370.
- [3] Шевченко П.А., Щигорев Л.А. Анализ функционально-алгоритмических методов повышения сбоеустойчивости многоядерных СБИС, использующих процессор цифровой обработки сигналов NEUROMATRIX // 17-я Международная конференция “Цифровая обработка сигналов и ее применение – DSPA-2015”. Доклады. М.: РНТОРЭС им. А.С. Попова. Т.2. С. 677-681.
- [4] Краснюк А.А., Петров К.А. Особенности применения методов помехоустойчивого кодирования в суб 100-нм микросхемах памяти для космических систем // V Всероссийская научно-техническая конференция “Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС)”. Сб. трудов. М.: ИППМ РАН. 2012. С. 638-641.
- [5] Ad J. van de Goor, G. N. Gaydadjiev, V.G. Mikitjuk, V.N. Yarmolik. MarchLR: A test of realistic linked faults // VLSI Test Symposium, Proc. of 14<sup>th</sup>. 1996. P. 272-280.
- [6] Ad J. Van de Goor, S. Hamdioui, G. N. Gaydadjiev, Z. Al-Ars. New algorithms for address decoder delay faults and bit line imbalance faults // Asian Test Symposium, Proceedings. 2009. P. 391-396.
- [7] G. Harutyunyan, S. Shoukourian, V. Vardanian, Y. Zorian A new method for march test algorithm generation and its application for fault detection in RAMs // IEEE Transactions on computer-aided design of integrated circuits and systems. 2012. Vol. 31. P. 941-949.
- [8] Городецкая Г. Восстановление работоспособности элементов памяти с отдельным питанием // Компоненты и технологии. 2010. № 10. С. 127-134.
- [9] J. Chung, J. Park, J.A. Abraham A Built-In repair analyzer with optimal repair rate for word-oriented memories // Very Large Scale Integration (VLSI) Systems, IEEE. 2012. Vol. 21. P. 281-291.
- [10] Tsu-Wei Tseng, Jin-Fu Li, Da-Ming Chang. A built-in redundancy-analysis scheme for RAMs with 2-D redundancy using 1-D local bitmap // Design, Automation and Test in Europe. Proceedings. 2006. Vol. 1. P. 53-58.
- [11] I. Kim, Y. Zorian, G. Komoriya, H. Pham and all Built-in self repair for embedded high density SRAM // Test Conference. Proceedings. 1998. P. 1112-1119.

# Built-in self-repair for SRAM with redundant elements

L.A. Shchigorev

RC «Module»

National Research Nuclear University «MEPHI», l.shchigorev@module.ru

**Keywords** — memory repair, memory repair analyzer, self-test, system-on-chip (SoC), redundancy, spare elements, SRAM, memory reconfiguration, column repair vector (CRV).

## ABSTRACT

Memory elements are the most dominating elements in the modern system-on-chips. Usually redundant elements are used for yield improvement after manufacturing testing. However, if the existing redundancy was not used as the yield improvement factor, in the future it can be used for the replacement of faulty elements. This article is devoted to the repair of static random access memory with redundant elements, more precisely, with redundant columns.

Due to the application of the exhaustive search for CRV, 2-D redundancy (columns and rows) is not used because of the huge number of possible combinations. The table with the comparative analysis for maximum time of self-repair operations for different word width is also presented. 1-D column redundancy is applied due to its greater functional fault coverage.

Self-repair operation is preceded by self-testing operation. The method of redundancy analysis depends on the way of the built-in self-test (BIST) units status information producing. The proposed built-in self-repair (BISR) scheme interacts with the BIST unit, which has only single-bit status signal. Therefore, the search of column repair vector (CRV) is executed by using the exhaustive search. Furthermore, it is suggested that the operation will be performed every time the system turns on or restarts, that's why it is assumed that the data storage takes place in the volatile memory.

The considered memory block has two redundant columns – one column per each half of the word. That's why the maximum number of MBIST operations for N-bit per word memory block with different memory configuration is  $(N/2)2 + 1$  (1 here means the first test operation without spare elements). For reducing the maximum number of test iterations, the word width dividing is provided.

For the investigation, the most popular word widths were selected: 8, 16, 32 and 64 bits. The simulation results show, that the maximum required number of clock cycles for self-repair operation of 64-bit information word which is divided into 8 words, each consisting of 8 bits, reduces by 60 times.

## REFERENCES

- [1] International technology roadmap for semiconductors. 2011 Edition. Test and test equipment. 56 p. Available at : <http://www.itrs2.net/2011-itrs.html>
- [2] D.-M. Chang, J.-F. Li, Y.-J. Huang A built-in redundancy-analysis scheme for random access memories with two-level redundancy // 21<sup>st</sup> IEEE International Symposium on Defect and Fault Tolerance in VLSI systems. 2006. P. 362-370.
- [3] Shevchenko P.A., Shchigorev L.A. The analysis of functional algorithmic methods of fault-tolerance increasing of multiprocessors VLSI using the NeuroMatrix® digital signal processor core. // 17-th mezhdunarodnaja konferencija "Cifrovaja obrabotka signalov i ee primenenie - DSPA-2015" – Proc. 17-th International Conference "Digital signal processing and its applications", 2015, vol. 2, pp. 677-681 (in Russian).
- [4] Krasnyuk A.A., Petrov K.A. Features of application ECC methods in sub-100 nm SRAMs for space systems. V Vserossijskaja nauchno-tehnicheskaja konferencija "Problemy razrabotki perspektivnyh mikro- i nanoelektronnyh sistem (MES)" – Proc. 5-th all-Russian scientific-technical conference "Problems of development of perspective micro - and nanoelectronic systems (MES), 2012, P.638-641 (in Russian).
- [5] Ad J. van de Goor, G. N. Gaydadjiev, V.G. Mikitjuk, V.N. Yarmolik. MarchLR: A test of realistic linked faults // VLSI Test Symposium, Proc. of 14<sup>th</sup>. 1996. P. 272-280.
- [6] Ad J. Van de Goor, S. Hamdioui, G. N. Gaydadjiev, Z. Al-Ars. New algorithms for address decoder delay faults and bit line imbalance faults // Asian Test Symposium, Proceedings. 2009. P. 391-396.
- [7] G. Harutyunyan, S. Shoukourian, V. Vardanian, Y. Zorian A new method for march test algorithm generation and its application for fault detection in RAMs // IEEE Transactions on computer-aided design of integrated circuits and systems. 2012. Vol. 31. P. 941-949.
- [8] Gorodeckaja G. Vosstanovlenie rabotosposobnosti jelementov pamjati s razdel'nym pitaniem // Komponenty i tehnologii. 2010. no. 10. P. 127–134 (in Russian).
- [9] J. Chung, J. Park, J.A. Abraham A Built-In repair analyzer with optimal repair rate for word-oriented memories // Very Large Scale Integration (VLSI) Systems, IEEE. 2012. Vol. 21. P. 281-291.
- [10] Tsu-Wei Tseng, Jin-Fu Li, Da-Ming Chang. A built-in redundancy-analysis scheme for RAMs with 2-D redundancy using 1-D local bitmap // Design, Automation and Test in Europe. Proceedings. 2006. Vol. 1. P. 53-58.
- [11] I. Kim, Y. Zorian, G. Komoriya, H. Pham and all Built-in self repair for embedded high density SRAM // Test Conference. Proceedings. 1998. P. 1112-1119.