

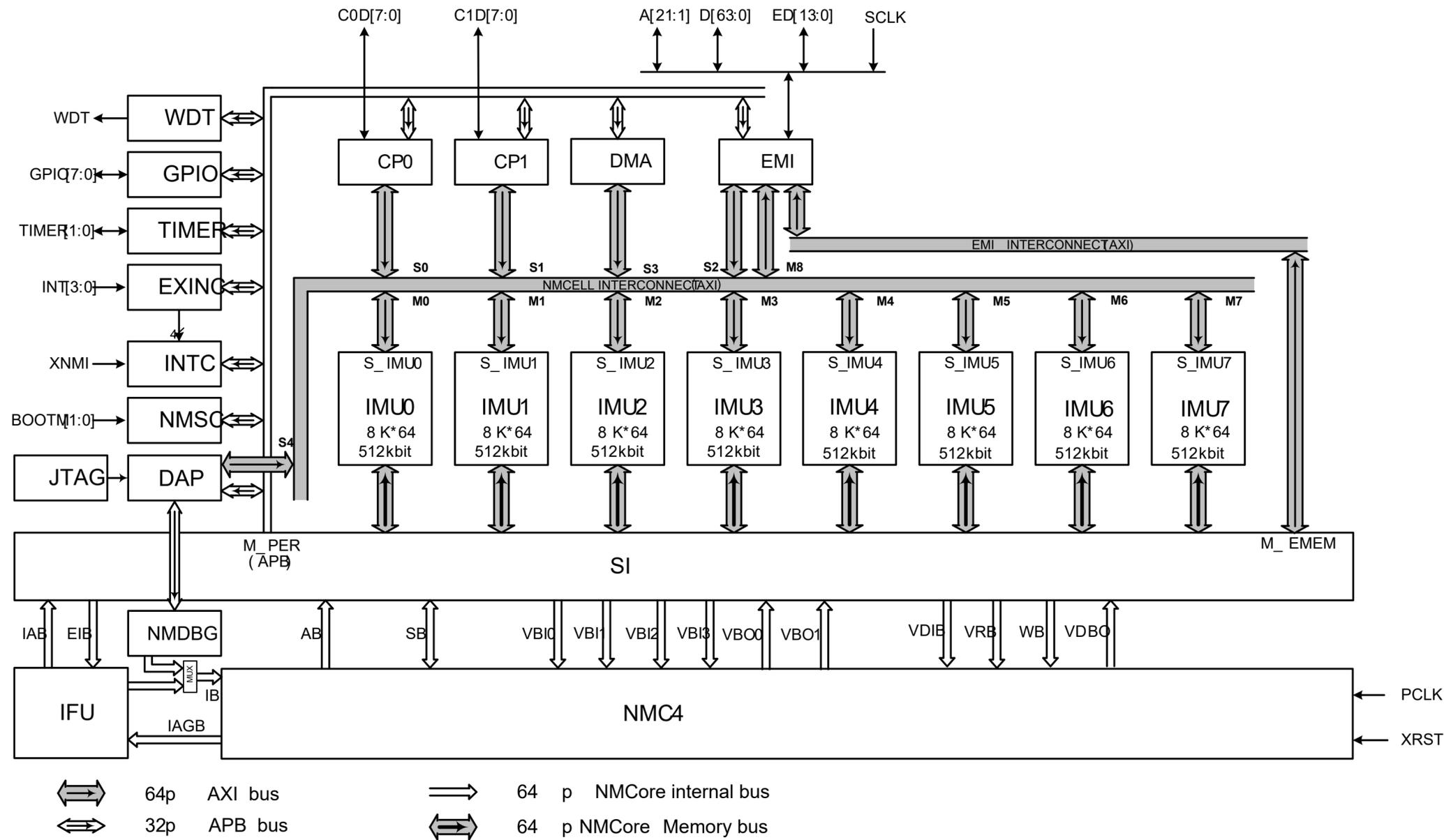


Российский Форум «Микроэлектроника-2023»

Реализация потактового эмулятора процессора семейства NeuroMatrix на основе VERILATOR

Федеральная территория Сириус, 2023

ОБЩАЯ СТРУКТУРА ПРОЦЕССОРА NM6476



- NMC4 – процессорное ядро NeuroMatrix 4
- IFU – узел выборки команд процессора
- SI – блок системного интегратора
- IMU0..7 – блоки внутренней памяти
- NMCELL INTERCONNECT – шина межблочных соединений типа AMBA AXI спецификации 3.0
- EMI – блок интерфейса с внешней памятью
- DMA – контроллер прямого доступа к памяти
- CP0..1 – блоки коммуникационных портов
- WDT – сторожевой таймер
- TIMER – блок таймеров
- GPIO – блок выводов общего назначения
- EXINC – блок формирования внешних сигналов прерывания
- INTC – контроллер прерывания процессора
- NMSC – системный контроллер
- JTAG – контроллер тестового порта
- DAP – контроллер доступа к блоку отладки
- NMDBG – блок отладки ядра

Шины процессорного ядра

- AB – шина адреса обращений ядра
- SB – скалярная шина данных
- VBIO – входная шина векторных данных #0
- VB1 – входная шина векторных данных #1
- VB2 – входная шина векторных данных #2
- VB3 – входная шина векторных данных #3
- VBO0 – выходная шина векторных данных #0
- VBO1 – выходная шина векторных данных #1
- VDIB – шина векторных входных данных
- WB – входная шина весов данных
- VRB – входная шина векторного регистра
- VDBO – шина векторных выходных данных
- EIB – шина команд IFU
- IAGB – шина адреса команд перехода
- IB – шина команд ядра
- IAB – шина адреса выборки команд

ПРОЦЕССОРНАЯ СИСТЕМА NM6476

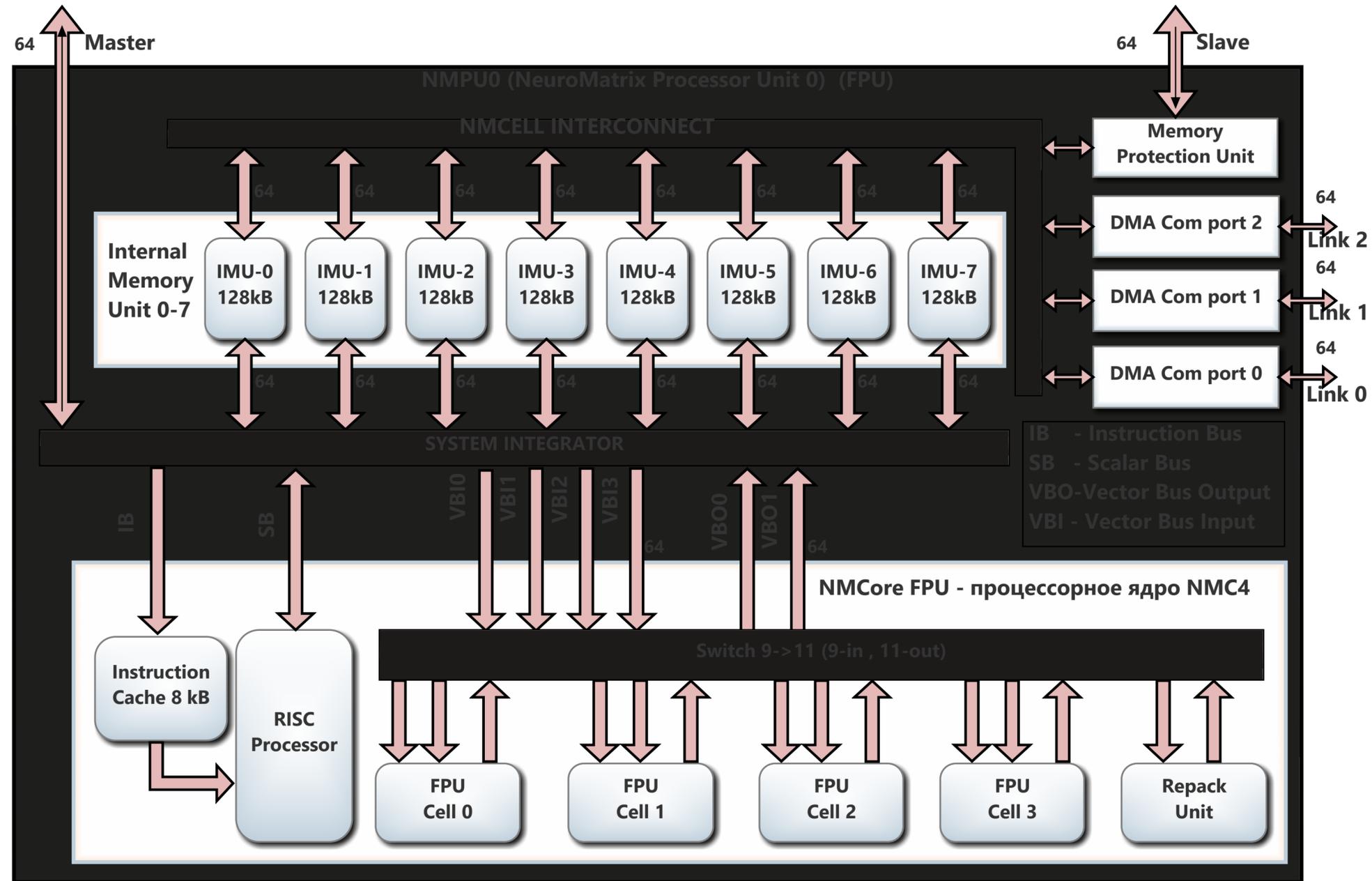


ДИАГРАММА СОСТОЯНИЙ ПРОЦЕССОРА ДЛЯ ФУНКЦИИ $[C0]=ABS([A0]+[B0])$ $[C1]=ABS([A1+B1])$

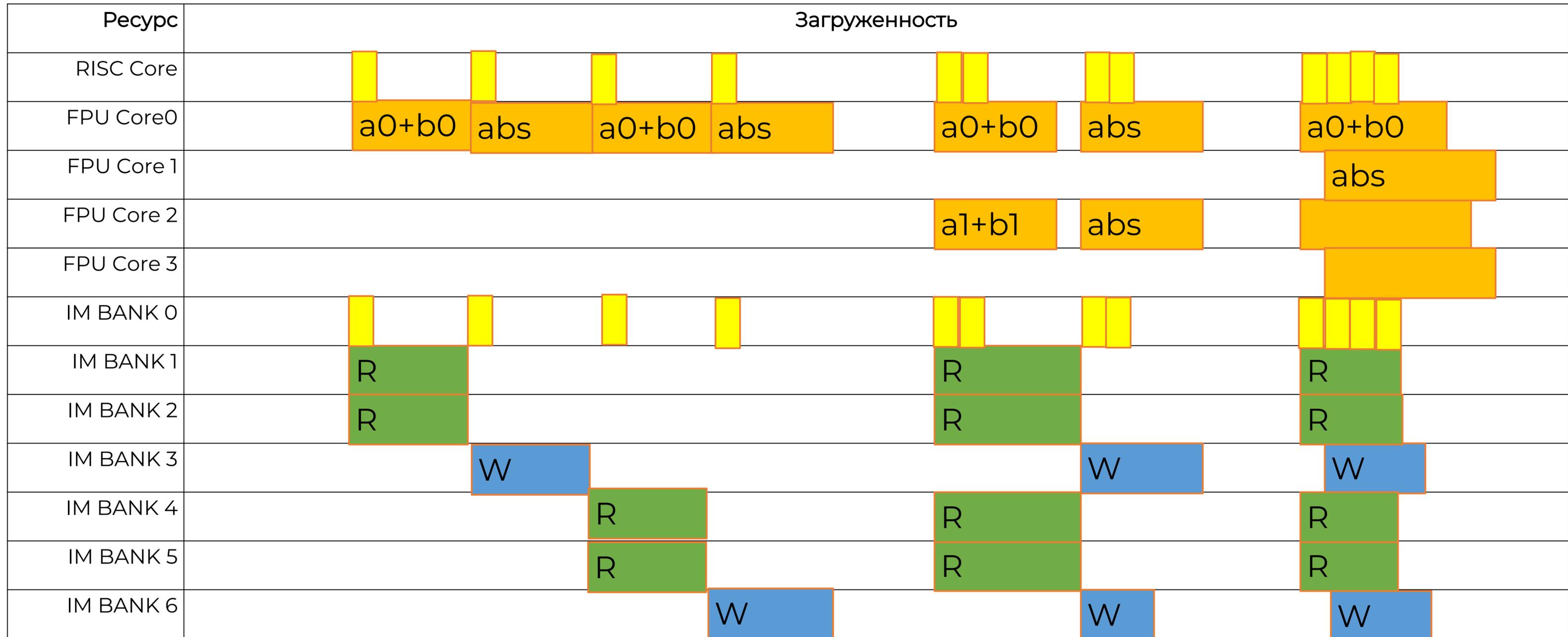
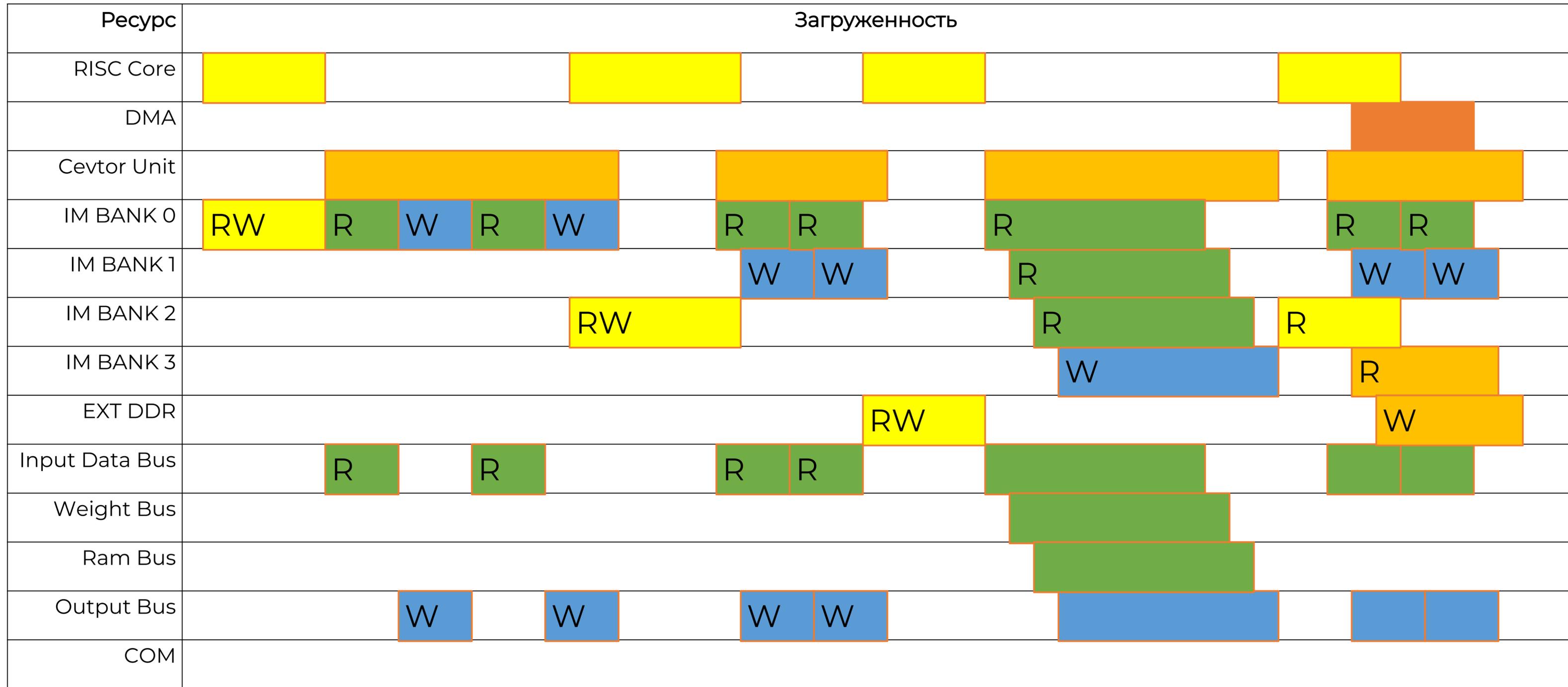


ДИАГРАММА СОСТОЯНИЙ РЕСУРСОВ СИСТЕМЫ С ЦЕЛОЧИСЛЕННЫМ СОПРОЦЕССОРОМ





- **RTL – моделирование**

- Потактовая моделирование
- Временные диаграммы
- Низкая скорость (100 тактов/сек)
- требуется САПР, выделенные сервера, Verilog-тестовые окружения

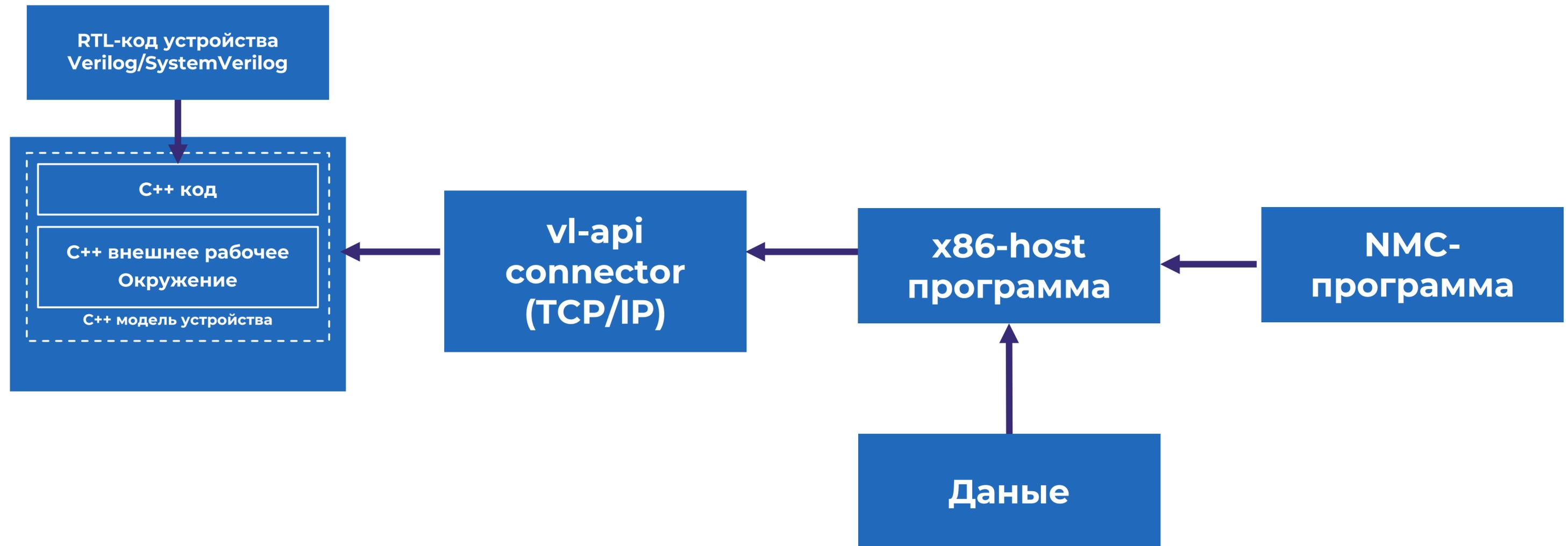
- **ПЛИС – прототипирование**

- Высокая скорость (70 МГц)
- Ограничение по объему ПЛИС



- **VERILATOR – моделирование**

- Потактовое моделирование
- X10-х20 скорость моделирования
- Временные диаграммы
- C++, Трассы, дампы, временные метрики
- Многопоточность
- Масштабируемость
- Открытый исходный код





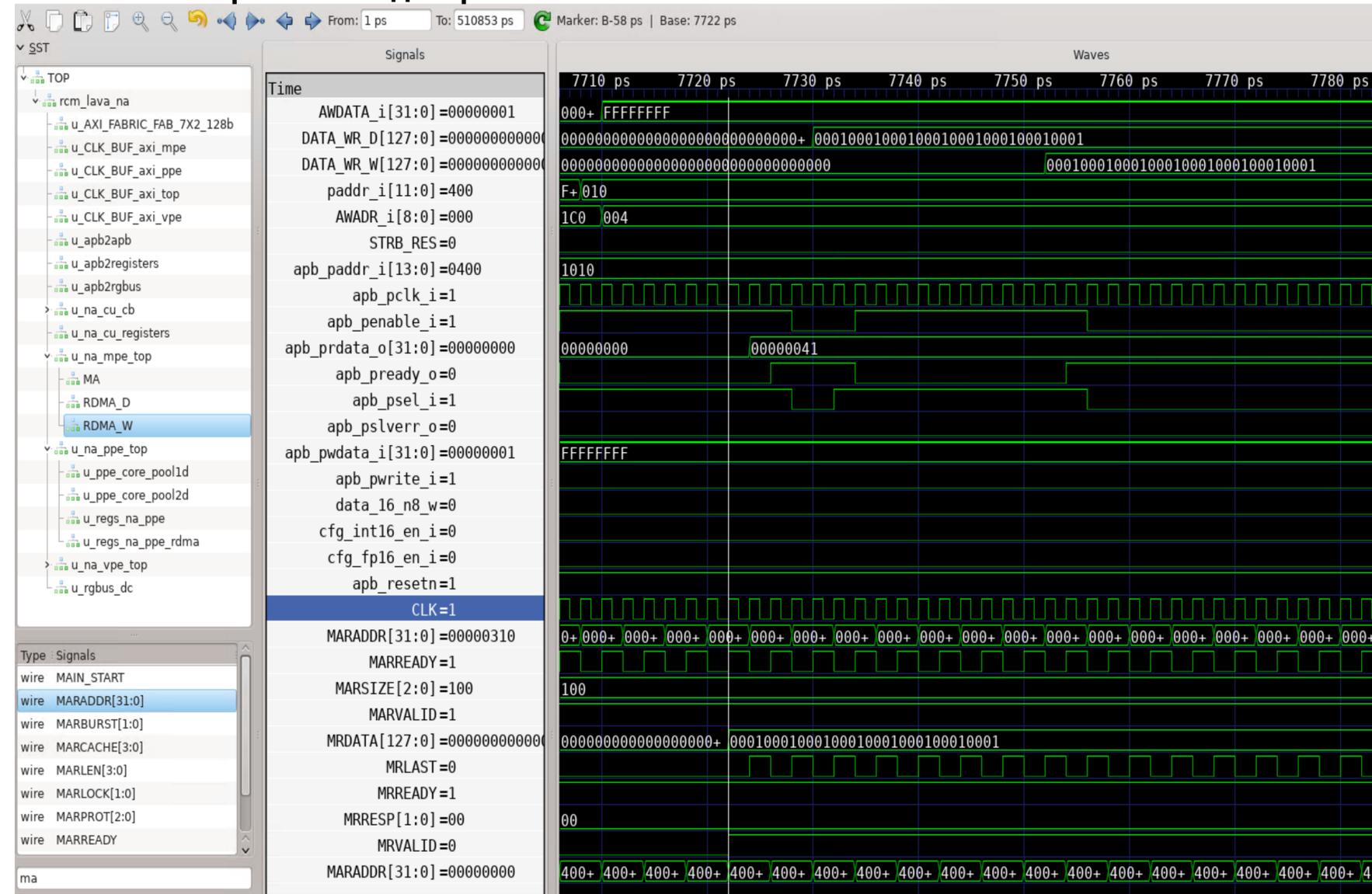
Трасса изменения регистров

```
(5343) FULL_BUFF[03c003ff]
(5349) FULL_BUFF[03c007ff]
(5358) FULL_BUFF[07c007ff]
(5471) FULL_BUFF[078007ff]
(5489) FULL_BUFF[07800fff]
(5498) FULL_BUFF[0f800fff]
(5599) FULL_BUFF[0f000fff]
(5629) FULL_BUFF[0f001fff]
(5638) FULL_BUFF[1f001fff]
(5727) FULL_BUFF[1e001ffe]
(5743) FULL_BUFF[1e001ffc]
(5759) FULL_BUFF[1e001ff8]
(5769) FULL_BUFF[1e003ff8]
(5775) FULL_BUFF[1e003ff0]
(5778) FULL_BUFF[3e003ff0]
(5791) FULL_BUFF[3e003fe0]
(5807) FULL_BUFF[3e003fc0]
(5823) FULL_BUFF[3e003f80]
(5839) FULL_BUFF[3e003f00]
(5855) FULL_BUFF[3c003f00]
(5909) FULL_BUFF[3c007f00]
(5918) FULL_BUFF[7c007f00]
(6049) FULL_BUFF[7c00ff00]
(6058) FULL_BUFF[fc00ff00]
(6081) FULL_BUFF[f800ff00]
(6189) FULL_BUFF[f800ff01]
(6198) FULL_BUFF[f801ff01]
(6209) FULL_BUFF[f001ff01]
(6330) FULL_BUFF[f001ff03]
(6337) FULL_BUFF[e001ff03]
(6338) FULL_BUFF[e003ff03]
(6465) FULL_BUFF[c003ff03]
(6470) FULL_BUFF[c003ff07]
```

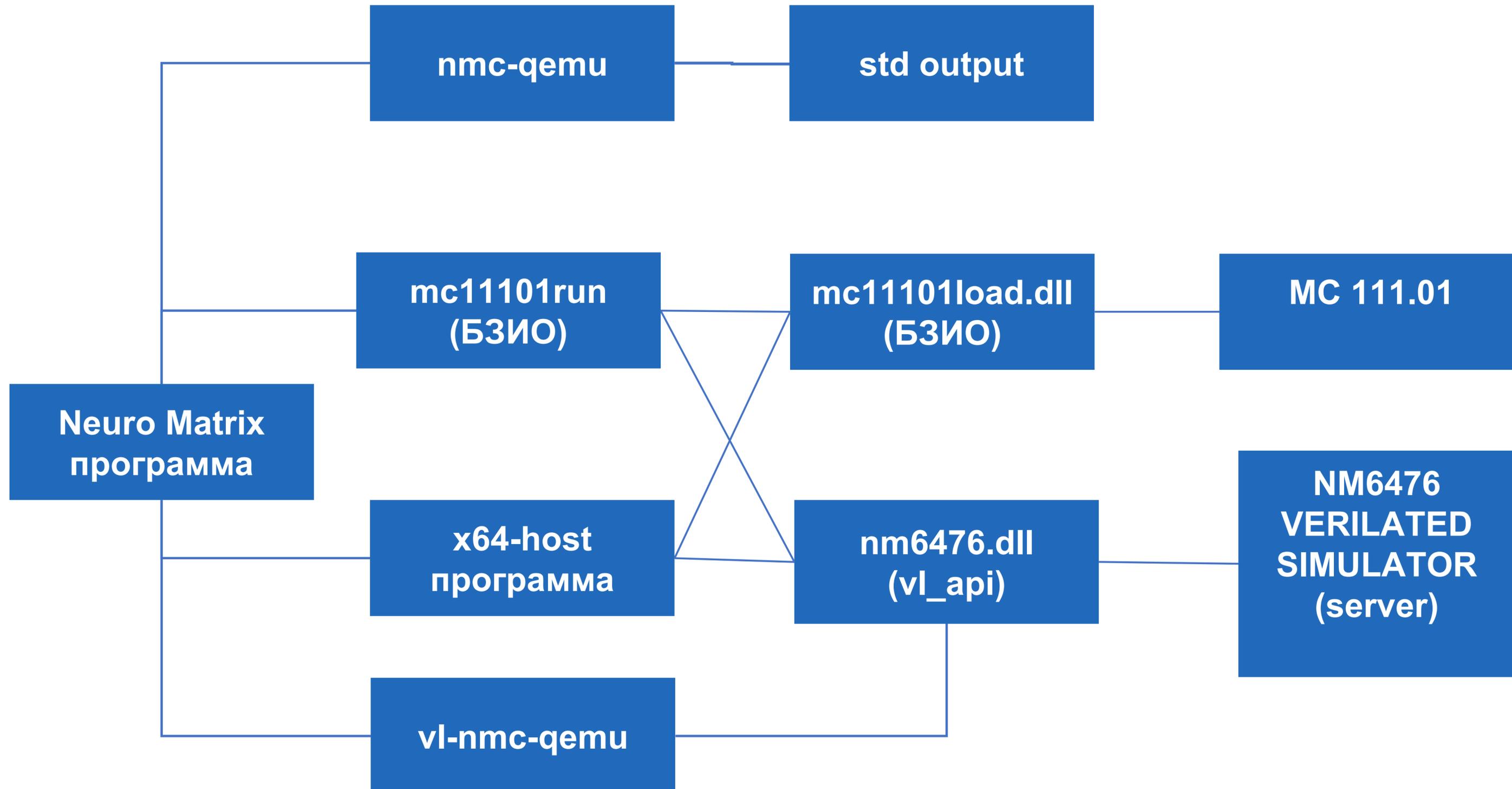
Трасса чтения записи управляющих регистров

```
(504) reg[0x00001340] write 0x00008000
(515) reg[0x00001344] write 0x00000020
(526) reg[0x00001348] write 0x00000020
(537) reg[0x0000134c] write 0x00000020
(548) reg[0x00001350] write 0x00000002
(559) reg[0x00001354] write 0x0000007f
(570) reg[0x00001358] write 0x00000000
(581) reg[0x0000135c] write 0x00000007
(592) reg[0x00001360] write 0x0000007f
(603) reg[0x00001364] write 0x00000000
(614) reg[0x00001368] write 0x00000007
(625) reg[0x0000136c] write 0x00000000
(636) reg[0x00001370] write 0x00000000
(647) reg[0x00001374] write 0x00000000
(658) reg[0x00001378] write 0x00000000
(669) reg[0x0000137c] write 0x00000000
(680) reg[0x00001400] write 0x00000050
(691) reg[0x00001408] write 0x0001ffff
(702) reg[0x0000140c] write 0x0002000f
(713) reg[0x00001420] write 0x00000000
(724) reg[0x00001424] write 0x0000007f
(735) reg[0x00001428] write 0x0000007f
(746) reg[0x0000142c] write 0x0000007f
(757) reg[0x00001430] write 0x00007f00
(768) reg[0x00001434] write 0x003f8000
(779) reg[0x00001438] write 0x000000e0
(790) reg[0x0000143c] write 0x00000100
(801) reg[0x00001440] write 0x00008000
(812) reg[0x00001444] write 0x00000020
(823) reg[0x00001448] write 0x00000020
(834) reg[0x0000144c] write 0x00000020
(845) reg[0x00001450] write 0x00000002
```

VCD Временные диаграммы



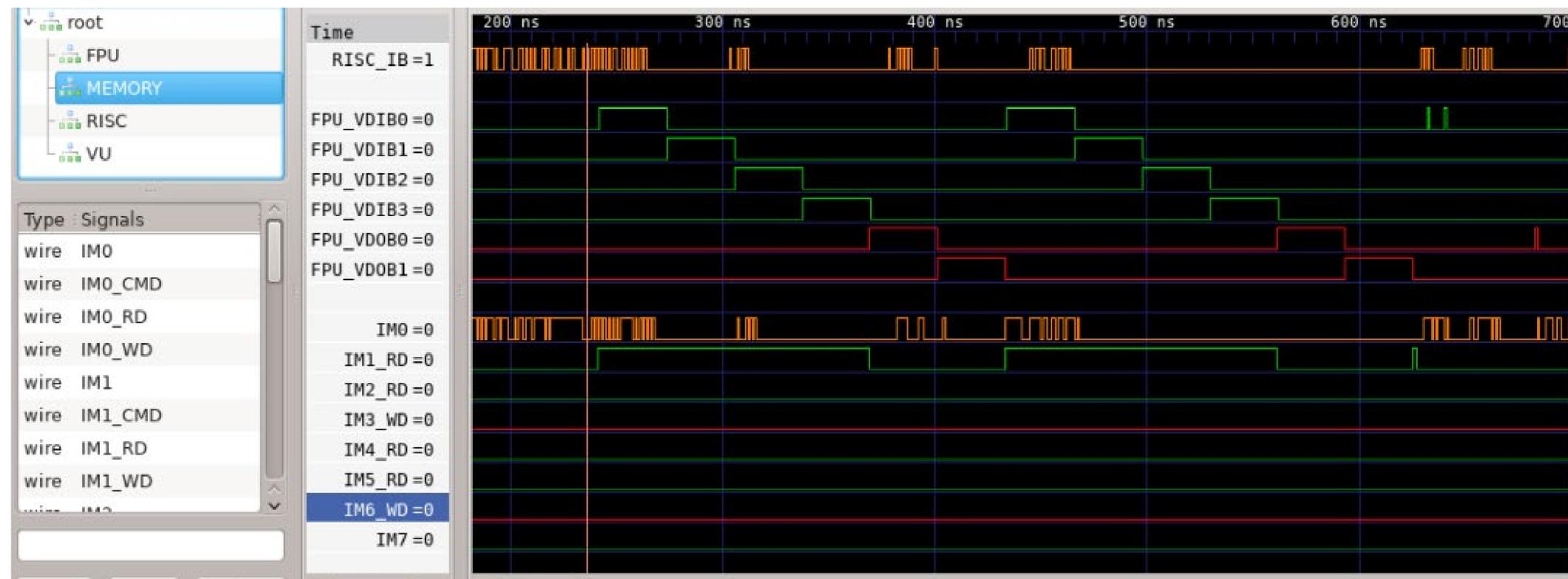
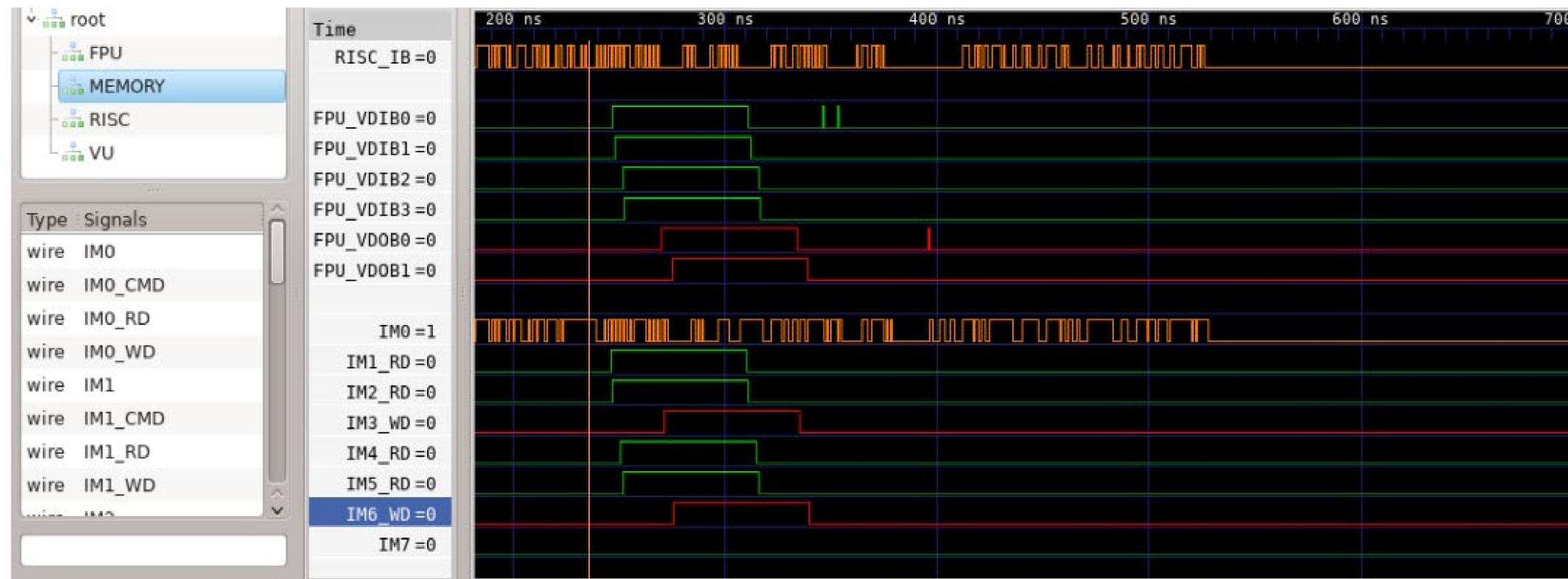
СХЕМЫ ЗАПУСКА И ОТЛАДКИ ПРОГРАММ





Технические возможности симулятора

- Потактовое моделирование.
Исчерпывающая информация о запуске программ
- Общее профилирование
- Не вносит погрешностей измерения по сравнению с аппаратным профилированием
- Обобщенный сбор диаграмм состояний
- Детальная трассировка с любым уровнем вложенности
- Высокая скорость работы (выше в 10 и более раз по сравнению RTL-моделированием)
- Многопоточное исполнение
- 1000-2000 тактов/сек
- Qemu 3000 тактов/сек
- Симуляция не только ядра, но и периферийных устройств (DMA, COM-порты)
- Учитывается работа с различными типами памяти





Преимущества использования для пользователя

- Простота использования. Не требуется VERILOG.
- Локальный и удаленный запуск
- Поддержка Linux / Windows
- Единый код (для платы и для симулятора)
- Возможность запуска как stand-alone приложений так и под управлением x86-host приложений
- Возможность работы с QEMU и DBG
- Нет внешних зависимостей от библиотек профилирования.



- Масштабируемость, возможность построения многоядерных, многопроцессорных систем
- Возможность организации гетерогенных систем
- Простота и надежность разработки симулятора
- Приемственность кода для следующих и предыдущих процессоров.
- Нет зависимости от лицензионных САПР и серверов
- Широкие возможности тестирования как RTL когда – так и для отладки и оптимизации ПО

Разработанный на основе VERILATOR симулятор NM6476 может использоваться для анализа и оптимизации как существующих программных решений так и для других процессоров семейства NeuroMatrix NMC4



Российский Форум «Микроэлектроника-2023»

Реализация потактового эмулятора процессора семейства NeuroMatrix на основе VERILATOR

Спасибо за внимание!

Мушкаев Сергей Викторович
mushkaev@module.ru