

Утвержден

ЮФКВ.431282.006РЭ-ЛУ

Микросхема интегральная К1879ВМ5Я

Руководство по эксплуатации

ЮФКВ.431282.006РЭ

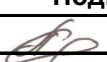
Инв.№подл.	Подп. и дата	Взам.инв.№	Инв.№дубл.	Подп. и дата	Справ.№
18061-4	 21.05.12	18061-3			

Содержание

1	Введение в архитектуру микросхемы интегральной K1879BM5Я	15
1.1	Основные отличительные особенности процессоров семейства NeuroMatrix®	15
1.2	Основные характеристики и назначение процессора	17
1.2.1	Характеристики процессора	17
1.2.2	Области применения процессора K1879BM5Я	18
1.3	Общая структура процессора K1879BM5Я	19
1.3.1	Основные узлы процессора	20
1.3.2	Функциональные выводы	21
1.3.3	Внутренние шины	25
1.3.4	Карта памяти	27
1.4	Архитектурные особенности процессора K1879BM5Я	30
1.4.1	Базовые операции	30
1.4.2	Программируемая разрядность векторных данных	33
1.4.3	64- разрядные слова упакованных данных	33
1.4.4	Статический VLIW	34
1.4.5	Многотактовые векторные команды и векторно- конвейерная организация вычислений (динамический VLIW)	35
1.4.6	Особенности работы конвейера команд при обмене данных с памятью	36
1.4.7	Единый адресный генератор процессорного ядра	38
1.4.8	Аппаратная вершина системного стека	38
1.5	Система памяти	40
1.5.1	Подсистема адресации данных	40
1.5.2	Подсистема адресации команд	40
1.5.3	Подсистема адресации памяти каналами ПДП	41
1.5.4	Банки внутренней памяти	42
1.5.5	Банки внешней памяти	44
1.6	Периферийные узлы	45
1.6.1	Интерфейсы с внешней памятью	45
1.6.2	Байтовые синхронные коммуникационные порты	45
1.6.3	Порты ввода/вывода общего назначения	46
1.6.4	JTAG интерфейс	46
1.6.5	Таймеры	46

				ЮФКВ.431282.006РЭ			
Изм	Лист	№ докум.	Подп.	Дата	Микросхема интегральная K1879BM5Я Руководство по эксплуатации		
Разраб.	Шелухин						
Пров.	Панфилов						
Нач.отд.	Черников						
Н.контр.	Вихрова						
Утв.							
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№подл.	Подп. и дата	Перв. применен.
18061-4		 21.05.12		18061-3			ЮФКВ.431282.006

1.7 Система прерываний.....	47
1.7.1 Типы прерываний	47
1.7.2 Внутренние и внешние прерывания процессорного ядра	48
1.8 Особенности работы с периферийными узлами	49
1.8.1 Доступ к регистрам периферийных узлов.....	49
1.8.2 Регистр управления периферией.....	50
2 RISC- ядро	53
2.1 Структура RISC- ядра.....	53
2.2 Основные режимы работы RISC- ядра и методы адресации памяти	55
2.3 Регистр слова состояния процессора PSWR.....	55
2.4 Регистр запросов на прерывание INTR.....	56
3 Матрично-векторный сопроцессор	59
3.1 Структура матрично-векторного сопроцессора	59
3.2 Форматы векторных данных.....	60
3.2.1 Данные	60
3.2.2 64- разрядные слова упакованных данных	61
3.2.3 Матрицы весовых коэффициентов и вектора слов упакованных данных	61
3.3 Операционное устройство OU	62
3.4 Циклический сдвигатель вправо RCS.....	65
3.5 Нелинейные преобразователи NLT1, NLT2.....	65
3.6 Памяти весовых коэффициентов WBUF и WOPER.....	66
3.7 FIFO весовых коэффициентов (WFIFO).....	67
3.8 Накопительное FIFO (AFIFO).....	68
3.9 Векторный регистр VRAM.....	68
3.10 Коммутатор 3 в 2.....	69
3.11 Регистр порогов VR.....	69
4 Методы адресации памяти.....	70
4.1 Методы адресации команд	70
4.2 Методы адресации скалярных данных	70
4.3 Методы адресации векторных данных.....	71
4.4 Особенности работы с системным стеком и стеками пользователя.....	71
4.4.1 Системный стек	72
4.4.2 Аппаратная вершина системного стека.....	73

					ЮФКВ.431282.006РЭ			Лист
								3
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18061-4		 21.05.12		18061-3				

4.4.3	Стеки пользователя	73
5	Управление потоком команд.....	74
5.1	Векторные команды	74
5.2	Команды управления	74
5.3	Внутренние прерывания процессорного ядра.....	75
5.3.1	Типы запросов на прерывания	75
5.3.2	Формирование запросов на прерывания	75
5.4	Системный сброс	77
6	Введение в систему команд.....	79
6.1	Форматы команд, задающих пересылку данных регистр- память.....	81
6.1.1	Рист/пр- к $\leftrightarrow$ (фадр.(ARi, CM)); ARi $\leftarrow$ fm(ARi, CM)	81
6.2	Форматы команд пересылки данных типа “регистр- регистр”	82
6.2.1	Рист $\rightarrow$ Rпр- к.....	82
6.2.2	Rпр- к $\leftarrow$ константа	82
6.3	Форматы команд модификации адресных регистров	82
6.3.1	ARj $\leftarrow$ fm(ARi,GRi).....	82
6.3.2	ARj $\leftarrow$ fm(ARi, CM)	82
6.3.3	Нет операций ввода/вывода и модификации адресных регистров.....	83
6.3.4	Нет операций ввода/вывода и модификации адресных регистров.....	83
6.4	Форматы команд управления	83
6.4.1	Переход/переход к подпрограмме	83
6.4.2	Переход/переход к подпрограмме со смещением	84
6.4.3	Возврат из подпрограммы	84
6.4.4	Возврат из прерывания	84
6.5	Формат векторных команд	85
6.5.1	ВП $\leftrightarrow$ (фадр.(ARi, GRi)); ARi $\leftarrow$ fm(ARi, GRi)	85
6.5.2	Загрузка весов в WFIFO из внешней памяти WFIFO $\leftarrow$ (фадр.(ARi, GRi)); ARi $\leftarrow$ fm(ARi, GRi).....	85
6.5.3	Нет операций ввода/вывода.....	85
6.5.4	Форматы поля КОП СК	86
6.5.5	Форматы поля КОП СК, задающего операцию сдвига.....	86
6.5.6	Формат поля КОП СК, задающего логическую операцию	88
6.5.7	Формат поля КОП СК, задающего арифметическую операцию	89
6.6	Формат поля КОП ВК.....	90
6.6.1	Общий формат поля КОП ВК	90
6.6.2	Формат поля КОП ВК, задающего логическую операцию	91
6.6.3	Формат поля команд КОП ВК, задающего арифметическую операцию	91
6.6.4	Операции маскирования и взвешенного суммирования	92

					ЮФКВ.431282.006РЭ			Лист
								4
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

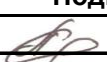
6.6.5	Поле управления одновременным выполнением нескольких команд	92
6.6.6	Поле выбора адресного регистра	92
6.7	Поле Рист/пр-к в командах пересылки данных	93
7	Блок генерации тактового сигнала и сигнала системного сброса.....	97
7.1	Структурная схема блока CRG	97
7.2	Внешние выводы блока CRG	98
7.3	Основные режимы работы блока CRG	99
8	Интерфейс с внешней шиной.....	100
8.1	Общие сведения	100
8.2	Основные режимы работы и характеристики интерфейса	100
8.2.1	Режим “Master”	100
8.2.2	Режим “Slave”	100
8.3	Структурная схема интерфейса с внешней шиной	101
8.4	Внешние выводы интерфейса.....	103
8.5	Синхронизация работы блока интерфейса	106
8.6	Регистры конфигурации интерфейса с внешней шиной.....	106
8.6.1	Регистр управления LEMCR0	106
8.6.2	Регистр управления LEMCR1	109
8.7	Циклы обращения к внешней памяти	111
8.7.1	Асинхронный тип обмена по внешней шине в режиме “Master”	112
8.7.2	Синхронный тип обмена по внешней шине в режиме “Master”	117
8.7.2.1	Работа с синхронной динамической памятью (SDRAM).....	117
8.7.2.2	Работа с синхронной статической памятью (SSRAM).....	122
8.7.2.3	Работа интерфейса в конвейерном режиме	125
8.8	Доступ к внутренней памяти процессора K1879BM5Я	132
8.9	Арбитраж шины	136
9	Кэш- память команд.....	139
9.1	Структурная схема блока кэш- памяти команд	139
9.2	Поле конфигурации кэш- памяти команд	142
9.3	Организация работы кэш- памяти команд.....	144
10	Байтовый коммуникационный порт.....	146
10.1	Структурная схема коммуникационного порта.....	146
10.2	Внешние выводы коммуникационного порта	148

					ЮФКВ.431282.006РЭ			Лист
								5
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

10.3	Поле конфигурации коммуникационного порта	149
10.4	Поле состояния коммуникационного порта.....	150
10.5	Организация обмена данными по коммуникационному порту	151
10.6	Арбитраж шины коммуникационного порта.....	154
10.7	Нештатные ситуации при работе коммуникационного порта.....	155
11	Цифровой порт общего назначения.....	157
11.1	Структурная схема цифрового порта общего назначения	157
11.2	Регистр конфигурации цифрового порта общего назначения IOPCR.....	158
12	JTAG интерфейс	159
12.1	Структурная схема и внешние выводы JTAG интерфейса	159
12.2	Управление работой тестового порта.....	161
12.3	Регистр идентификации устройства JDIR.....	162
12.4	Регистр сканирования внешних выводов JBSR.....	162
13	Блок таймеров.....	173
13.1	Структурная схема блока таймеров	173
13.2	Внешние выводы блока таймеров.....	174
13.3	Поле конфигурации блока таймеров	175
13.4	Основные режимы работы таймеров	177
14	Контроллер ПДП для обмена между внешней и внутренней памятью.....	179
14.1	Структурная схема контроллера ПДП.....	179
14.2	Поле состояния контроллера ПДП.....	181
14.3	Поле конфигурации контроллера ПДП	181
14.4	Организация работы канала ПДП	182
15	Контроллер внешних прерываний	184
16	Конвейерная организация выполнения команд	186
16.1	Общие сведения.....	186
16.2	Конвейерное выполнение основных типов команд.....	187
16.2.1	Первая ступень конвейера (IR1).....	188
16.2.2	Вторая ступень конвейера (IR2).....	189
16.2.3	Третья ступень конвейера (IR3)	190

					ЮФКВ.431282.006РЭ			Лист
								6
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18061-4		 21.05.12		18061-3				

16.2.4	Четвёртая ступень конвейера (IR4).....	191
16.2.5	Пятая ступень конвейера (IR5).....	191
16.2.6	Шестая ступень конвейера (IR6).....	191
16.2.7	Седьмая ступень конвейера (IR7)	191
16.2.8	Восьмая ступень конвейера (IR8)	192
16.3	Конфликты, возникающие при конвейерном выполнении команд	192
16.3.1	Конфликты при выборке команд из памяти в регистр команд IR1	192
16.3.2	Конфликты, связанные с использованием вычислительных ресурсов	193
16.3.3	Условия запуска команд на выполнение	194
16.3.4	Условия блокировки скалярных команд на уровне IR1 из- за конфликтов по ресурсам	195
16.3.5	Условия блокировки векторных команд на уровне IR1 из- за конфликтов по ресурсам	197
17	Аппаратные приложения.....	198
17.1	Инициализация процессора K1879BM5Я после системного сброса	198
17.2	Примеры работы процессора K1879BM5Я с внешней памятью	199
17.2.1	Подключение внешней памяти типа SDRAM	199
17.2.2	Подключение внешней памяти типа SSRAM.....	201
17.2.3	Взаимодействие двух прцессоров на внешней шине	203
18	Электрические, динамические и конструктивные характеристики процессора K1879BM5Я.....	205
18.1	Состав и расположение внешних выводов процессора K1879BM5Я	205
18.2	Конструктивные характеристики.....	220
18.3	Электрические характеристики	222
18.4	Временные характеристики	224
18.4.1	Временные диаграммы и временные параметры тактовых сигналов и сигналов общего назначения.....	224
18.4.2	Временные диаграммы и временные параметры работы процессора с внешней памятью.....	226
18.4.2.1	Временные диаграммы и временные параметры циклов чтения из внешней памяти	226
18.4.2.2	Временные диаграммы и временные параметры циклов записи во внешнюю память	230
18.4.2.3	Временные диаграммы и временные параметры циклов чтения из внутренней памяти процессора K1879BM5Я (режим “Slave”)	233
18.4.2.4	Временные диаграммы и временные параметры сигналов при записи данных во внутреннюю память процессора K1879BM5Я (режим “Slave”).....	235
18.4.2.5	Временные диаграммы и временные параметры сигналов при передаче управления внешней шиной	237

					ЮФКВ.431282.006РЭ			Лист
								7
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

18.4.3 Временные диаграммы и временные параметры сигналов при обмене данными по коммуникационному порту.....242

					ЮФКВ.431282.006РЭ				Лист
									8
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата		
18061-4		 21.05.12			18061-3				

Список рисунков

Рисунок 1-1 - Структурная схема процессора K1879BM5Я	19
Рисунок 1-2 - Карта памяти процессора K1879BM5Я	29
Рисунок 1-3 - Операционное устройство векторного сопроцессора	30
Рисунок 1-4 - Пример работы векторного сопроцессора с 8- разрядными входными данными и весами	31
Рисунок 1-5 - Зависимость производительности от разрядности входных данных	32
Рисунок 1-6 - Функция насыщения	32
Рисунок 1-7 - Формат слова упакованных векторных данных	33
Рисунок 1-8 - Кодировка скалярных команд	34
Рисунок 1-9 - Кодировка векторных команд	34
Рисунок 1-10 - Векторно-конвейерная организация вычислений (динамический VLIW) ..	35
Рисунок 1-11 - Принципы организации конвейера команд процессора K1879BM5Я	37
Рисунок 1-12 - Структурная схема банка внутренней памяти процессора K1879BM5Я	42
Рисунок 1-13 - Структурная схема системы прерываний процессора K1879BM5Я	48
Рисунок 1-14 - Формат регистра PCR	50
Рисунок 2-1 - Структурная схема RISC- ядра	53
Рисунок 2-2 - Формат регистра PSWR	55
Рисунок 2-3 - Формат регистра INTR	57
Рисунок 3-1 - Форматы конфигурационных регистров	61
Рисунок 3-2 - Программные модели OU в различных режимах его работы	64
Рисунок 3-3 - Нелинейные функции активации, вычисляемые NLTx	66
Рисунок 3-4 - Формат матрицы весов WBUF	67
Рисунок 4-1 - Конфигурация системного стека	72
Рисунок 6-1 - Система команд процессора K1879BM5Я	80
Рисунок 6-2 - Схемы выполнения различных типов операций сдвигов	87
Рисунок 7-1 - Структурная схема блока CRG	97
Рисунок 8-1 - Структурная схема блока интерфейса с внешней шиной	101
Рисунок 8-2 - Формат регистра управления интерфейсом с внешней шиной LEMCR0 ..	106
Рисунок 8-3 - Формат регистра управления интерфейсом с внешней шиной LEMCR1 ..	109
Рисунок 8-4 - Поддерживаемые типы обмена по внешней шине в режиме "Master"	111
Рисунок 8-5 - Временные диаграммы циклов чтения из внешней памяти типа SRAM	113
Рисунок 8-6 - Формирование адреса текущей страницы при обращении к внешней памяти типа SRAM	114
Рисунок 8-7 - Временные диаграммы циклов записи во внешнюю память типа SRAM ..	115
Рисунок 8-8 - Временные диаграммы последовательных циклов чтения – записи при работе с внешней памятью типа SRAM	116
Рисунок 8-9 - Временные диаграммы последовательных циклов записи – чтения при работе с внешней памятью типа SRAM	117
Рисунок 8-10 - Временные диаграммы циклов чтения из неоткрытой страницы SDRAM	118
Рисунок 8-11 - Временные диаграммы циклов записи в неоткрытую страницу SDRAM	119

					ЮФКВ.431282.006РЭ			Лист
								9
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

Рисунок 8-12 - Временные диаграммы перехода чтение- запись и запись- чтение при обращении к внешней памяти типа SDRAM	120
Рисунок 8-13 - Временные диаграммы регенерации строки SDRAM.....	121
Рисунок 8-14 - Временные диаграммы циклов чтения из SSRAM.....	123
Рисунок 8-15 - Временные диаграммы циклов записи в SSRAM.....	124
Рисунок 8-16 - Временные диаграммы перехода чтение- запись и запись- чтение при обращении к внешней памяти типа SSRAM.....	125
Рисунок 8-17 - Временные диаграммы циклов чтения в режиме “Master” с использованием сигналов готовности (конвейерный тип обмена по шине без поддержки страничной организации).....	126
Рисунок 8-18 - Временные диаграммы циклов записи в режиме “Master” с использованием сигналов готовности (конвейерный тип обмена по шине без поддержки страничной организации).....	127
Рисунок 8-19 - Временные диаграммы перехода чтение- запись в режиме “Master” с использованием сигналов готовности (конвейерный тип обмена по шине без поддержки страничной организации).....	128
Рисунок 8-20 - Временные диаграммы перехода запись- чтение в режиме “Master” с использованием сигналов готовности (конвейерный тип обмена по шине без поддержки страничной организации).....	129
Рисунок 8-21 - Временные диаграммы циклов чтения в режиме “Master” с использованием сигналов готовности (конвейерный тип обмена по шине со страничной организацией)	130
Рисунок 8-22 - Временные диаграммы циклов записи в режиме “Master” с использованием сигналов готовности (конвейерный тип обмена по шине со страничной организацией)	131
Рисунок 8-23 - Временные диаграммы циклов чтения в режиме “Slave”	132
Рисунок 8-24 - Временные диаграммы циклов записи в режиме “Slave”	133
Рисунок 8-25 - Временные диаграммы перехода чтение- запись при обращении внешнего устройства к внутренней памяти процессора.....	134
Рисунок 8-26 - Временные диаграммы перехода запись- чтение запись при обращении внешнего устройства к внутренней памяти процессора	134
Рисунок 8-27 - Временные диаграммы передачи управления шиной от внешнего устройства к процессору K1879BM5Я.....	136
Рисунок 8-28 - Временные диаграммы передачи управления шиной внешнему устройству	137
Рисунок 8-29 - Формат полей регистра PCR, управляющих разрешением на передачу шины.	138
Рисунок 9-1 - Схема отображения внешней памяти на кэш- память команд.....	140
Рисунок 9-2 - Структурная схема блока кэш- памяти.....	141
Рисунок 9-3 - Формат поля управления кэш- памятью команд	143
Рисунок 10-1 - Структурная схема блока коммуникационных портов	147
Рисунок 10-2 - Формат поля управления блоком коммуникационных портов регистра PCR	149

					ЮФКВ.431282.006РЭ			Лист
								10
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

Рисунок 10-3 - Формат поля регистра INTR, фиксирующего состояние каналов приема и передачи коммуникационных портов	150
Рисунок 10-4 - Временные диаграммы обмена по коммуникационному порту.....	153
Рисунок 10-5 - Временные диаграммы арбитража шины коммуникационного порта.....	155
Рисунок 11-1 - Структурная схема цифрового порта общего назначения	157
Рисунок 11-2 - Формат регистра конфигурации порта общего назначения IOPCR	158
Рисунок 12-1 - Структурная схема тестового порта JTAG	159
Рисунок 12-2 - Диаграмма состояний контроллера тестового порта JTAG	161
Рисунок 12-3 - Формат регистра идентификации устройства JDIR	162
Рисунок 13-1 - Структурная схема блока таймеров	173
Рисунок 13-2 - Формат поля управления блоком таймеров ТС регистра PCR	175
Рисунок 13-3 - Временные диаграммы работы таймера в режиме отсчета временных интервалов	177
Рисунок 13-4 - Временные диаграммы работы таймера в режиме счета внешних событий	178
Рисунок 14-1 - Структурная схема контроллера ПДП	179
Рисунок 14-2 - Формат поля регистра INTR, фиксирующего состояние контроллера ПДП	181
Рисунок 14-3 - Формат поля управления контроллером ПДП регистра PCR	181
Рисунок 15-1 - Формат регистра IRR.....	184
Рисунок 15-2 - Формат регистра IMR.....	185
Рисунок 16-1 - Конвейер процессора K1879BM5Я	188
Рисунок 17-1 - Пример подключения к процессору K1879BM5Я внешней памяти типа SDRAM	200
Рисунок 17-2 - Состояние регистра конфигурации LEMCR0 при использовании микросхем памяти MT48LC4M32B2- 7.....	201
Рисунок 17-3 - Состояние регистра конфигурации LEMCR1 при использовании микросхем памяти MT48LC4M32B2- 7	201
Рисунок 17-4 - Пример подключения к процессору K1879BM5Я внешней памяти типа SSRAM.....	202
Рисунок 17-5 - Состояние регистра конфигурации LEMCR0 при использовании микросхем памяти K7A403200B- 14П.....	202
Рисунок 17-6 - Пример соединения двух процессоров по внешней шине.....	203
Рисунок 17-7 - Состояние регистров конфигурации xEMCR0 процессоров при соединении их по внешней шине	204
Рисунок 18-1 - Расположение внешних выводов процессора K1879BM5Я	205
Рисунок 18-2 - Корпус процессора K1879BM5Я.....	221
Рисунок 18-3 - Временная диаграмма тактового сигнала и сигнала сброса процессора..	224
Рисунок 18-4 - Временная диаграмма входов прерываний и входов таймеров процессора	224
Рисунок 18-5 - Временная тактового сигнала внешней шины.....	224
Рисунок 18-6 - Временные диаграммы циклов чтения из внешней памяти типа SRAM..	226
Рисунок 18-7 - Временная диаграмма процедуры открытия новой строки памяти типа SDRAM	227

					ЮФКВ.431282.006РЭ			Лист
								11
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

Рисунок 18-8 - Временные диаграммы цикла чтения из внешней памяти типа SDRAM (параметр Cas Latency равен 2 тактам)	227
Рисунок 18-9 - Временные диаграммы цикла чтения из внешней памяти типа SSRAM (тип SSRAM – Flow- Through)	228
Рисунок 18-10 - Временные диаграммы циклов чтения в режиме “Master” с использованием сигнала RDY (конвейерный тип обмена по шине)	228
Рисунок 18-11 - Временные диаграммы цикла записи во внешнюю память типа SRAM	230
Рисунок 18-12 - Временные диаграммы цикла записи во внешнюю память типа SDRAM (параметр Cas Latency равен 2 тактам)	230
Рисунок 18-13 - Временные диаграммы цикла записи во внешнюю память типа SSRAM (тип SSRAM – Flow- Through)	231
Рисунок 18-14 - Временные диаграммы циклов записи в режиме “Master” с использованием сигнала RDY (конвейерный тип обмена по шине)	231
Рисунок 18-15 - Временные диаграммы операций чтения из внутренней памяти процессора (режим “Slave”)	234
Рисунок 18-16 - Временные диаграммы операций записи во внутреннюю память процессора (режим “Slave”)	236
Рисунок 18-17 - Временные диаграммы передачи управления шиной от процессора к внешнему устройству	240
Рисунок 18-18 - Временные диаграммы передачи управления шиной от внешнего устройства к процессору	241
Рисунок 18-19 - Временные диаграммы передачи данных по коммуникационному порту	242
Рисунок 18-20 - Временные диаграммы приема данных по коммуникационному порту	242

					ЮФКВ.431282.006РЭ			Лист
								12
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

Список таблиц

Таблица 1-1 - Функциональные выводы процессора K1879BM5Я	22
Таблица 1-2 - Прерывания процессора K1879BM5Я	47
Таблица 1-3 - Функциональное назначение полей регистра PCR	51
Таблица 2-1 - Функциональное назначение полей регистра PSWR.....	56
Таблица 2-2 - Функциональное назначение полей регистра INTR.....	57
Таблица 5-1 - Прерывания процессорного ядра	75
Таблица 5-2 - Состояние регистров процессора после системного сброса	78
Таблица 6-1 - Обозначение регистров и их назначение	95
Таблица 7-1 - Функциональное описание выводов блока генерации тактовых сигналов ..	98
Таблица 7-2 - Режимы работы блока CRG в зависимости от состояния конфигурационных входов.....	98
Таблица 8-1 - Функциональное описание выводов интерфейса с внешней шиной (при работе процессора K1879BM5Я в режиме "Master")	104
Таблица 8-2 - Функциональное описание выводов интерфейса с внешней шиной (при работе процессора K1879BM5Я в режиме "Slave").....	105
Таблица 8-3 - Режимы работы интерфейса процессора K1879BM5Я в зависимости от состояния конфигурационных входов	106
Таблица 8-4 - Функциональное назначение полей регистра LEMCR0	107
Таблица 8-5 - Функциональное назначение полей регистра LEMCR1	110
Таблица 8-6 - Соответствие команд SDRAM состояниям на управляющих выходах интерфейса.....	122
Таблица 8-7 - Функциональное назначение полей регистра PCR, управляющих разрешением на передачу шины.....	138
Таблица 9-1 - Функциональное назначение управляющих бит поля CHCR регистра PCR	143
Таблица 10-1 - Функциональное описание выводов коммуникационного порта	149
Таблица 10-2 - Состояние коммуникационного порта после системного сброса.....	149
Таблица 10-3 - Функциональное назначение управляющих бит поля CPCR регистра PCR	150
Таблица 10-4 - Функциональное описание поля регистра INTR, фиксирующего состояние каналов приема и передачи коммуникационных портов.....	150
Таблица 11-1 - Функциональное назначение полей регистра IOPCR	158
Таблица 12-1 - Внешние выводы тестового порта JTAG	160
Таблица 12-2 - Команды тестового порта	162
Таблица 12-3 - Функциональное назначение полей регистра идентификации устройства JDIR	162
Таблица 12-4 - Разряды регистра сканирования внешних выводов JBSR.....	163
Таблица 13-1 - Функциональное назначение управляющих бит поля TC регистра PCR .	175
Продолжение таблицы 13-2.....	176
Таблица 14-1 - Функциональное описание поля регистра INTR, фиксирующего состояние контроллера ПДП.....	181

					ЮФКВ.431282.006РЭ			Лист
								13
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

Таблица 14-2 - Функциональное назначение управляющих бит поля DMACR регистра PCR.....	182
Таблица 15-1 - Внешние прерывания и прерывания от периферийных устройств процессора K1879BM5Я.....	184
Таблица 15-2 - Функциональное описание полей регистра IMR.....	185
Таблица 17-1 - Способ начальной инициализации процессора K1879BM5Я в зависимости от состояния конфигурационных входов	198
Таблица 18-1 - Выводы процессора K1879BM5Я, в соответствии с их функциональным назначением.....	206
Таблица 18-2 - Выводы процессора K1879BM5Я, отсортированные по соответствующим им именам сигналов.....	212
Таблица 18-3 - Выводы процессора K1879BM5Я, отсортированные по их номерам	216
Таблица 18-4 - Предельные режимы работы	222
Таблица 18-5 - Предельно допустимые режимы работы.....	222
Таблица 18-6 - Статические электрические характеристики ($V_{DDI} = 1,2V \pm 0,1 V$,.....	223
Таблица 18-7 - Динамические электрические характеристики ($V_{DDI} = 1,2V \pm 0,1 V$,.....	223
Таблица 18-8 - Временные параметры тактовых сигналов и входных сигналов общего назначения	225
Таблица 18-9 - Емкости нагрузки на выходах интерфейса процессора при определении временных параметров обмена с внешней памятью	226
Таблица 18-10 - Временные параметры сигналов при чтении из внешней памяти.....	229
Таблица 18-11 - Временные параметры сигналов при записи данных во внешнюю память	232
Таблица 18-12 - Временные параметры сигналов при чтении данных из внутренней памяти процессора K1879BM5Я (режим “Slave”)	233
Таблица 18-13 - Временные параметры сигналов при записи данных во внутреннюю память процессора K1879BM5Я (режим “Slave”)	235
Таблица 18-14 - Временные параметры сигналов при передаче управления внешней шиной.....	237
Таблица 18-15 - Временные параметры сигналов при обмене данными по коммуникационному порту.....	242

					ЮФКВ.431282.006РЭ			Лист
								14
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

1 Введение в архитектуру микросхемы интегральной K1879BM5Я

Микросхема интегральная K1879BM5Я (далее по тексту – процессор K1879BM5Я) представляет собой высокопроизводительный процессор цифровой обработки сигналов.

1.1 Основные отличительные особенности процессоров семейства NeuroMatrix®

Процессор K1879BM5Я является дальнейшим развитием семейства отечественных процессоров семейства NeuroMatrix® ЗАО НТЦ "Модуль": Л1879BM1(NM6403), 1879BM2 (NM6404) и 1879BM4Я (NM6405). Данные процессоры относятся к представителям нового класса векторно-конвейерных DSP. Их отличает высокая производительность на задачах обработки больших потоков данных при относительно небольших аппаратных затратах и малом потреблении питания.

Процессор K1879BM5Я представляет собой высокопроизводительный матрично-векторный микропроцессор, имеющий оригинальную RISC-архитектуру с элементами VLIW (Very Long Instruction Word), SIMD (Single Instruction Multiple Data) и суперскаляра. Отличительными особенностями процессора K1879BM5Я являются:

- Аппаратная поддержка матричных и векторных операций, включающая в себя:
 - Выполнение двухвекторной АЛУ-операции за один процессорный такт.
 - Умножение предварительно загруженной матрицы данных (весовых коэффициентов) на вектор данных за один процессорный такт. Данная базовая операция позволяет существенно увеличить число операций умножения с накоплением (MAC), приходящихся на долю одной операции ввода/вывода.
 - Выполнение на проходе функции насыщения над элементами векторов с целью исключения переполнения при арифметических операциях.
 - Выполнение операции произвольной коммутации отдельных элементов в векторе и даже отдельных разрядов в любом элементе вектора за один процессорный такт.

Все перечисленные операции выполняются над векторами, представляющими собой 64-разрядные слова, в которых упакованы данные, представленные в дополнительном коде с фиксированной точкой.

- Программная настройка исполнительных узлов для работы с векторами данных, содержащих требуемое количество элементов требуемой

					ЮФКВ.431282.006РЭ				Лист
									15
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	

разрядности. В общем случае количество элементов в векторе и их разрядность могут принимать любое значение в пределах от 1 до 64. Единственное ограничение заключается в том, что суммарная разрядность всех элементов каждого вектора должна быть равна 64 бит. Данное свойство позволяет даже в пределах одной задачи варьировать соотношением производительность/точность - повышать производительность процессора за счет снижения точности вычислений и, наоборот, повышать точность за счет снижения производительности.

- Многотактный характер векторных команд, которые содержат специальное поле, задающее количество повторений их выполнения (от 1 до 32). Такое решение позволяет аппаратно поддерживать короткие циклы и увеличить плотность программного кода. Например, одной командой можно задавать операцию перемножения двух матриц данных.

Сохраняя программную совместимость с предшественниками и их основные архитектурные особенности, процессор K1879BM5Я имеет следующие отличия:

- Повышена тактовая частота процессора по сравнению с предшественниками за счет оптимизации конвейера.
- Повышена реальная производительность ядра в 3 – 5 раз (в зависимости от класса решаемых задач) по сравнению с предшественниками за счет следующих архитектурных и структурных усовершенствований:
- Обеспечение загрузки матрицы весовых коэффициентов в векторный операционный узел в темпе один вектор за один процессорный такт.
- Обеспечение одновременного выполнения до восьми операций ввода/вывода за один процессорный такт.
- Введение в структуру аппаратной вершины системного стека с целью ускорения процесса возврата из подпрограммы (процедуры обработки прерывания).
- Обеспечение модификации содержимого адресного регистра в первом такте при выполнении многотактных команд ввода/вывода, что позволяет ускорить начало выполнения очередной команды, использующей содержимое данного адресного регистра.
- Введение механизма очередей в конвейер процессора K1879BM5Я с целью достижения максимальной производительности при работе с банками синхронной памяти, имеющими различную глубину конвейера.
- Уменьшена аппаратная сложность процессорного ядра за счет использования единого адресного генератора при выполнении различных команд ввода/вывода.
- Увеличен до 4 Мбит объем внутренней памяти процессора.

					ЮФКВ.431282.006РЭ				Лист
									16
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Перечисленные выше технические решения позволяют эффективно использовать процессор K1879BM5Я для построения на его основе высокопроизводительных параллельных вычислительных систем, ориентированных на решение задач обработки больших потоков данных в реальном масштабе времени (цифровая обработка сигналов, эмуляция нейронных сетей и т.д.).

1.2 Основные характеристики и назначение процессора

Процессор K1879BM5Я представляет собой высокопроизводительный векторно-матричный микропроцессор с оригинальной динамической суперскалярной параллельной архитектурой и сверхбольшими словами команд. Он предназначен для использования в качестве основного или дополнительного процессорного узла в вычислительных системах, интенсивно применяющих цифровую обработку сигналов. Его архитектура позволяет эффективно решать широкий круг задач, включая различные векторно-матричные вычислительные операции, вычисление преобразования Фурье, Адамара и прочих, цифровую фильтрацию, цифровую коммутацию. K1879BM5Я может быть использован в качестве базового элемента при построении многопроцессорных параллельных вычислительных систем.

1.2.1 Характеристики процессора

В данном разделе приводятся основные характеристики, дающие представление об особенностях архитектуры и производительности процессора K1879BM5Я:

- Формат обрабатываемых данных – 32-разрядные скалярные данные, а также вектора данных программируемой разрядности от 1 до 64 разрядов, упакованные в 64-разрядные слова.
- Команды размером 32-разряда и 64-разряда. Каждая команда может задавать несколько различных операций.
- Адресуемое пространство – 4Г 32-разрядных слов (16 Гбайт).
- Аппаратная поддержка операций умножения вектора на матрицу и матрицы на матрицу.
- Аппаратная поддержка функции насыщения.
- Единый поток команд для задания векторных и скалярных операций, операций ввода/вывода.
- Многотактовые векторные команды (возможность одновременного выполнения до 5-ти векторных команд).
- Одновременное выполнение до 8-ми операций ввода/вывода за один процессорный такт.
- Производительность (количество операций «умножение с накоплением», выполняемых за один такт)

- 2 МАС для 32-разрядных данных,

					ЮФКВ.431282.006РЭ				Лист
									17
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

- 4 МАС для 16-разрядных данных,
- 24 МАС для 8-разрядных данных,
- 80 МАС для 4-разрядных данных,
- 224 МАС для 2-разрядных данных.
- Четыре двухпортовых банка внутренней памяти объемом 16К*64 бит (32К*32 бит) каждый.
- Кэш- память команд объемом 1К*64 бит.
- Две внешних 64-разрядных шины с рабочей частотой до 125 МГц и возможностью работы в многопроцессорном режиме.
- Два синхронных байтовых коммуникационных порта с пропускной способностью до 160 Мбайт/с каждый.
- JTAG- порт для отладки и тестирования.
- Блок ПДП, обеспечивающий обмен данными между внешней и внутренней памятью, а также между коммуникационными портами и внешней/внутренней памятью.
- Восемь битовых портов ввода/вывода общего назначения.
- Технология изготовления – 0.09 мкм КМОП.
- Тактовая частота работы процессора– до 320 МГц.

Наличие у процессора К1879ВМ5Я двух 64- разрядных внешних шин с встроенной поддержкой многопроцессорного режима и двух высокопроизводительных коммуникационных портов позволяет на его базе строить многопроцессорные вычислительные комплексы без больших аппаратных затрат.

1.2.2 Области применения процессора К1879ВМ5Я

Процессор К1879ВМ5Я может применяться в качестве цифрового процессора сигналов в одно- и многопроцессорном режиме. Также он может быть применен в качестве сопроцессора для векторно- матричных вычислений в комплексных вычислительных системах под управлением ведущего процессора общего назначения или микроконтроллера.

Характерными областями применения процессора К1879ВМ5Я являются:

- Обработка изображений, включая, различные виды фильтрации и MPEG кодирование и декодирование.
- Обработка радиолокационных сигналов, в том числе, различные виды цифровой фильтрации, преобразование Фурье, Адамара и прочее.
- Высокопроизводительная коммутация сигналов.

					ЮФКВ.431282.006РЭ				Лист
									18
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

1.3 Общая структура процессора K1879BM5Я

Структурная схема процессора K1879BM5Я приведена на Рисунок 1-1.

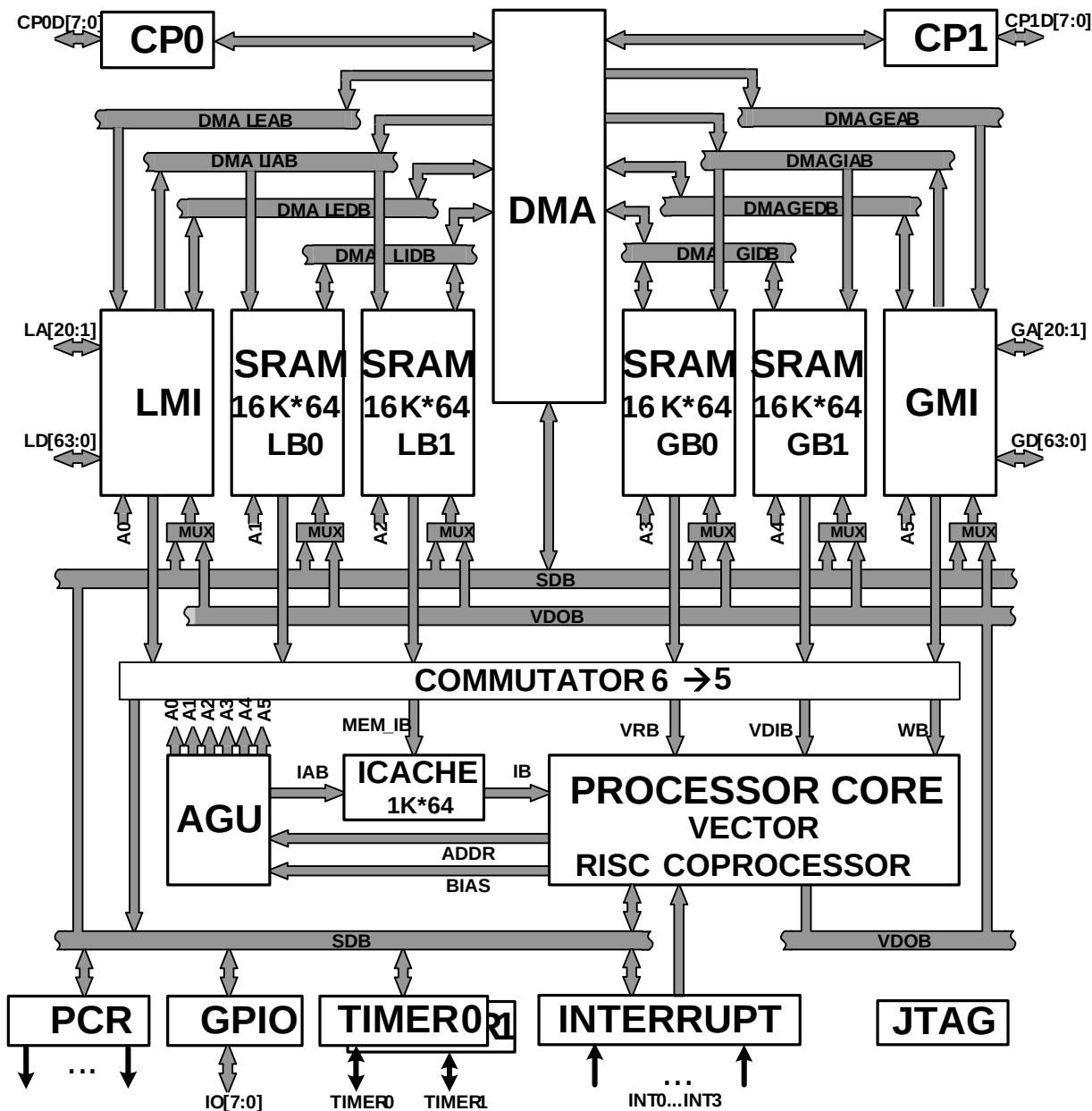


Рисунок 1-1 - Структурная схема процессора K1879BM5Я

					ЮФКВ.431282.006РЭ		Лист
							19
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
18061-4		21.05.12		18061-3			

1.3.1 Основные узлы процессора

Процессор состоит из следующих функциональных узлов:

PROCESSOR CORE – процессорное ядро, состоящее из двух основных частей: RISC- ядра (RISC), выполняющего скалярные арифметические, логические операции и операции сдвига над 32-разрядными данными, формирующего операции по управлению потоком команд, и матрично-векторного сопроцессора (VECTOR COPROCESSOR), осуществляющего арифметические и логические операции над 64-разрядными векторами данных произвольной разрядности. Обмен процессорного ядра с внешним миром осуществляется с помощью шести 64-разрядных шин: команд (IB), скалярных данных (SDB), векторных входных данных (VDIB), весов (WB), входных данных векторного регистра (VRB) и векторных выходных данных (VDOB).

AGU (Address Generator Unit) – блок адресных генераторов, который получает запрос на обмен данными с памятью от процессорного ядра (начальный адрес (ADDR), смещение (BIAS), число обращений) и затем сам формирует адреса, освобождая от этого процессор. Благодаря 6 шинам ядра NMC и наличию в блоке 6 адресных генераторов данных возможно осуществить до шести операций ввода-вывода данных за один такт. Кроме того, в AGU имеется генератор адреса команд, осуществляющий последовательную предвыборку команд с помощью адресной шины IAB (Instruction Address Bus). В случае, когда происходит переход, по шине BIAS процессорное ядро выдаёт адрес перехода, после чего осуществляется предвыборка команд по новому адресу.

ICACHE (Instruction Cache) – кэш команд объёмом 1К*64 разряда. При обращении во внешнюю память выбранные команды по шине MEM_IB попадают в кэш и одновременно перетранслируются по шине IB в процессорное ядро (PROCESSOR CORE). При повторном обращении по тому же адресу команды будут выбираться из кэш по шине IB, а не из внешней памяти. Программы, расположенные во внутренней памяти, не кэшируются. Кэш команд в K1879BM5Я позволяет эффективно работать с программами, расположенными во внешней памяти, и освободить программиста от дополнительной работы по трансляции программного кода из внешней во внутреннюю память.

LMI и GMI – два идентичных 64-разрядных интерфейса во внешнюю память – локальную и глобальную. Каждый интерфейс имеет возможность работать с четырьмя банками внешней памяти типа SRAM/SSRAM/SDRAM и поддерживает режим работы с общей памятью с другим процессором. Процессор использует 32-разрядный адрес, причём обмен данными с памятью осуществляется по 32 или 64 разряда. Таким образом, доступное адресное пространство равно 16 Гбайт. Если старший разряд адреса равен нулю, идёт обращение в локальную память, если равен единице – в глобальную. Младший разряд адреса используется только при обмене 32-разрядными данными.

					ЮФКВ.431282.006РЭ				Лист
									20
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

SRAM (Static Random Access Memory) - четыре одинаковых банка памяти, каждый из которых представляет собой однопортовую статическую память, имеющую организацию 16К x 64 бит, и может использоваться для оперативного хранения 32- и 64-разрядных слов данных, коэффициентов и команд. Все банки памяти работают как псевдодвухпортовые с расслоением по младшим адресам памяти, что позволяет одновременно производить доступ к памяти как со стороны процессорного ядра, так и со стороны каналов ПДП. Два банка памяти – LB0 и LB1 – расположены в области локальной памяти, два других – GB0 и GB1 - глобальной.

CP0 и CP1 – два байтовых синхронных коммуникационных порта ввода/вывода для межпроцессорного обмена типа точка- точка.

DMA (Direct Memory Access) – блок каналов ПДП, осуществляющих обмен 64-разрядными данными между локальной внешней и локальной внутренней памятью, между глобальной внешней и глобальной внутренней памятью, между коммуникационными портами и любой локальной или глобальной внешней или внутренней памятью.

COMMUTATOR 6- >5 – коммутатор шин данных, позволяющий динамически связать одну из шин данных банков внутренней или внешней памяти с одной из шести внутренних: MEM_IB, SDB, VDIB, WB, VRB и VDOB.

PCR (Peripheral Control Register) – регистр управления периферией.

GPIO (Genaral Purpose Input/Output) –восемь портов ввода/вывода общего назначения.

TIMER0 и TIMER1 – два 32- разрядных таймера.

INTERRUPT – контроллер внешних прерываний.

JTAG – интерфейс с 5-выводным тестовым портом, реализованным согласно стандарту IEEE Std 1149.1- 1990, который позволяет тестировать процессор K1879BM5Я как самостоятельно, так и в составе законченного вычислительного модуля.

1.3.2 Функциональные выводы

Процессор K1879BM5Я имеет 261 функциональный вывод, назначение которых приведено в Таблица 1-1. Детально выводы интерфейса с внешней памятью описаны в главе 7, коммуникационных портов - в главе 9, портов ввода/вывода общего назначения – в главе 10, JTAG- интерфейса – в главе 11, таймеров – в главе 12.

					ЮФКВ.431282.006РЭ				Лист
									21
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Таблица 1-1 - Функциональные выводы процессора K1879BM5Я

Обозначение ¹⁾	Кол-во	Тип ²⁾	Функциональное назначение
Интерфейс с глобальной шиной (104 вывода)			
GD0 ... GD63	64	I/O	64- разрядная шина данных
GA1 ... GA15	15	I/O	15 младших разрядов шины адреса
GA16 ... GA20	5	O(Z)	5 старших разрядов шины адреса
$\overline{\text{GCSO0}}$, $\overline{\text{GCSO1}}$, $\overline{\text{GCSO2}}$, $\overline{\text{GCSO3}}$	4	O(Z)	Выборка банков внешней памяти 0 ... 3
$\overline{\text{GCSI}}$	1	I	Выборка внутренней глобальной памяти процессора
$\overline{\text{GOE}}$	1	O(Z)	Разрешение чтения из внешней памяти
$\overline{\text{GWE_AL}}$	1	O(Z)	Разрешение записи в 32 младших разряда внешней асинхронной памяти
$\overline{\text{GWE_AH}}$	1	O(Z)	Разрешение записи в 32 старших разряда внешней асинхронной памяти
$\overline{\text{GWE}}$	1	I/O	Разрешение записи во внешнюю синхронную память/ Разрешение записи во внутреннюю память процессора
$\overline{\text{GRAS}}$	1	O(Z)	Строб адреса строки SDRAM
$\overline{\text{GCAS}}$	1	O(Z)	Строб адреса столбца SDRAM
$\overline{\text{GDQML}}$	1	O(Z)	Маскирование записи в 32 младших разряда внешней синхронной памяти
$\overline{\text{GDQMH}}$	1	O(Z)	Маскирование записи в 32 старших разряда внешней синхронной памяти
$\overline{\text{GRDY}}$	1	I/O	Сигнал готовности внешнего устройства/ Сигнал готовности приёма запроса от внешнего устройства
$\overline{\text{GSTRB}}$	1	I/O	Строб данных
$\overline{\text{GHOLDI}}$	1	I	Запрос внешнего устройства на захват шины
$\overline{\text{GHOLDO}}$	1	O	Запрос процессора на захват шины
$\overline{\text{GHOLDA}}$	1	I/O	Разрешение захвата шины
GSCLK	1	I	Входной синхросигнал шины
GBIS	1	I	Принадлежность глобальной шины после системного сброса

					ЮФКВ.431282.006РЭ			Лист
								22
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

Продолжение таблицы 1- 1

Обозначение ¹⁾	Кол- во	Тип ²⁾	Функциональное назначение
Интерфейс с локальной шиной (104 вывода)			
LD0 ... LD63	64	I/O	64- разрядная шина данных
LA1 ... LA15	15	I/O	15 младших разрядов шины адреса
LA16 ... LA20	5	O(Z)	5 старших разрядов шины адреса
$\overline{\text{LCSO0}}$, $\overline{\text{LCSO1}}$. $\overline{\text{LCSO2}}$, $\overline{\text{LCSO3}}$	4	O(Z)	Выборка банков внешней памяти 0 ... 3
$\overline{\text{LCSI}}$	1	I	Выборка внутренней локальной памяти процессора
$\overline{\text{LOE}}$	1	O(Z)	Разрешение чтения из внешней памяти
$\overline{\text{LWE_AL}}$	1	O(Z)	Разрешение записи в 32 младших разряда внешней асинхронной памяти
$\overline{\text{LWE_AH}}$	1	O(Z)	Разрешение записи в 32 старших разряда внешней асинхронной памяти
$\overline{\text{LWE}}$	1	I/O	Разрешение записи во внешнюю синхронную память/ Разрешение записи во внутреннюю память процессора
$\overline{\text{LRAS}}$	1	O(Z)	Строб адреса строки SDRAM
$\overline{\text{LCAS}}$	1	O(Z)	Строб адреса столбца SDRAM
$\overline{\text{LDQML}}$	1	O(Z)	Маскирование записи в 32 младших разряда внешней синхронной памяти
$\overline{\text{LDQMH}}$	1	O(Z)	Маскирование записи в 32 старших разряда внешней синхронной памяти
$\overline{\text{LRDY}}$	1	I/O	Сигнал готовности внешнего устройства/ Сигнал готовности приёма запроса от внешнего устройства
$\overline{\text{LSTRB}}$	1	I/O	Строб данных
$\overline{\text{LHOLDI}}$	1	I	Запрос внешнего устройства на захват шины
$\overline{\text{LHOLDO}}$	1	O	Запрос процессора на захват шины
$\overline{\text{LHOLDA}}$	1	I/O	Разрешение захвата шины
$\overline{\text{LSCLK}}$	1	I	Входной синхросигнал шины
$\overline{\text{LBIS}}$	1	I	Принадлежность шины после системного сброса

					ЮФКВ.431282.006РЭ			Лист
								23
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

Продолжение таблицы 1- 1

Обозначение ¹⁾	Кол-во	Тип ²⁾	Функциональное назначение
Коммуникационный порт 0 (13 выводов)			
C0D0 ... C0D7	8	I/O	Шина данных
$\overline{\text{C0STRB}}$	1	I/O	Строб данных
$\overline{\text{C0RDY}}$	1	I/O	Готовность к приёму данных
$\overline{\text{C0HOLDI}}$	1	I	Запрос внешнего устройства на передачу данных
$\overline{\text{C0HOLDO}}$	1	O	Запрос процессора на передачу данных
C0IS	1	I	Состояние порта после системного сброса
Коммуникационный порт 1 (13 выводов)			
C1D0 ... C1D7	8	I/O	Шина данных
$\overline{\text{C1STRB}}$	1	I/O	Строб данных
$\overline{\text{C1RDY}}$	1	I/O	Готовность к приёму данных
$\overline{\text{C1HOLDI}}$	1	I	Запрос внешнего устройства на передачу данных
$\overline{\text{C1HOLDO}}$	1	O	Запрос процессора на передачу данных
C1IS	1	I	Состояние порта после системного сброса
Порты общего назначения (8 выводов)			
GPIO0 ... GPIO7	8	I/O	Программируемые входы/выходы
Выходы таймеров (2 вывода)			
TIMER0	1	I/O	Вход/выход таймера 0
TIMER1	1	I/O	Вход/выход таймера 1
JTAG интерфейс (5 выводов)			
TDO	1	O(Z)	Выход данных тестового порта JTAG
TDI	1	I	Вход данных тестового порта JTAG
TCK	1	I	Тактовый сигнал тестового порта JTAG
TMS	1	I	Выбор режима тестирования JTAG
$\overline{\text{TRST}}$	1	I	Сброс тестового порта JTAG

					ЮФКВ.431282.006РЭ			Лист
								24
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

Продолжение таблицы 1- 1

Обозначение ¹⁾	Кол-во	Тип ²⁾	Функциональное назначение
Общее управление (12 выводов)			
$\overline{\text{INT0}} \dots \overline{\text{INT3}}$	4	I	Входы маскируемых прерываний
$\overline{\text{NMI}}$	1	I	Вход немаскируемого прерывания
$\overline{\text{BOOTM0}}, \overline{\text{BOOTM1}}$	2	I	Режим начальной загрузки процессора
$\overline{\text{RST}}$	1	I	Системный сброс
$\overline{\text{CLK}}$	1	I	Опорный тактовый сигнал процессора
$\overline{\text{PLLBP}}$	1	I	Вход управления режимом умножения тактовой частоты процессора
$\overline{\text{TM}}$	1	I	Режим тестирования процессора
$\overline{\text{VPD}}$	1	I	Управление статическим током

Примечания:

- 1) Для выводов со знаком инверсии активным является низкий уровень сигнала.
- 2) Используемые обозначения типов выводов:
I – вход,
O – выход,
O(Z) – выход с высокоимпедансным состоянием,
I/O – двунаправленный вывод.

1.3.3 Внутренние шины

Процессор K1879BM5Я имеет 24 внутренних шины, по которым осуществляется обмен информацией между основными блоками микросхемы:

DMA LEAB (DMA Local External Address Bus) – 31-разрядная шина адреса для обращения во внешнюю локальную память одним из каналов ПДП.

DMA LEDB (DMA Local External Data Bus) – 64-разрядная шина данных для обращения во внешнюю локальную память одним из каналов ПДП.

DMA LIAB (DMA Local Internal Address Bus) – 16-разрядная шина адреса для обращения во внутреннюю локальную память одним из каналов ПДП (в банк LB0 или LB1). Данная шина используется также при записи/чтении данных из внутренней локальной памяти внешним устройством.

DMA LIDB (DMA Local Internal Data Bus) – 64-разрядная шина данных для обращения во внутреннюю локальную память одним из каналов ПДП. Данная шина используется также при записи/чтении данных из внутренней локальной памяти внешним устройством. В последнем случае происходит объединение шин LIDB и LEDB в блоке DMA.

DMA GEAB (DMA Global External Address Bus) – 31-разрядная шина адреса для обращения во внешнюю глобальную память одним из каналов ПДП.

					ЮФКВ.431282.006РЭ			Лист
								25
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

DMA GEDB (DMA Global External Data Bus) – 64-разрядная шина данных для обращения во внешнюю глобальную память одним из каналов ПДП.

DMA GIAB (DMA Global Internal Address Bus) – 16-разрядная шина адреса для обращения во внутреннюю глобальную память одним из каналов ПДП (в банк GB0 или GB1). Данная шина используется также при записи/чтении данных из внутренней глобальной памяти внешним устройством.

DMA GIDB (DMA Global Internal Data Bus) – 64-разрядная шина данных для обращения во внутреннюю глобальную память одним из каналов ПДП. Данная шина используется также при записи/чтении данных из внутренней глобальной памяти внешним устройством. В последнем случае происходит объединение шин GIDB и GEDB в блоке DMA.

A0 – 31-разрядная шина адреса для обращения одного из адресных генераторов блока AGU во внешнюю локальную память.

A1 – 15-разрядная шина адреса для обращения одного из адресных генераторов блока AGU в банк LB0 внутренней локальной памяти.

A2 – 15-разрядная шина адреса для обращения одного из адресных генераторов блока AGU в банк LB1 внутренней локальной памяти.

A3 – 15-разрядная шина адреса для обращения одного из адресных генераторов блока AGU в банк GB0 внутренней локальной памяти.

A4 – 15-разрядная шина адреса для обращения одного из адресных генераторов блока AGU в банк GB1 внутренней локальной памяти.

A5 – 31-разрядная шина адреса для обращения одного из адресных генераторов блока AGU во внешнюю глобальную память.

IAB (Instruction Address Bus) – 10- разрядная шина адреса команд для обращения в кэш команд ICACHE.

ADDR – 32-разрядная шина адреса, которая используется процессорным ядром при выдаче запроса на обмен данными с памятью как при выполнении скалярных, так и векторных команд. В последнем случае по данной шине выдаётся первый (начальный) адрес обращения в память.

BIAS – 32-разрядная шина смещения, которая используется процессорным ядром при выдаче запроса на обмен данными с памятью при выполнении векторных команд, чтобы вычислить второй и последующие адреса обращения в память путём прибавления к текущему адресу смещения. Эта шина также используется при выдаче адреса перехода генератору адреса команд в блоке AGU.

MEM_IB (Memory Instruction Bus) – 64- разрядная шина, по которой происходит чтение команд из внешней или внутренней памяти.

IB (Instruction Bus) – 64-разрядная шина команд процессорного ядра, по которой команды считываются из внешней памяти, внутренней памяти или из кэш команд.

					ЮФКВ.431282.006РЭ				Лист
									26
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

SDB (Scalar Data Bus) - 64-разрядная шина скалярных данных процессорного ядра, по которой осуществляется обмен данными с памятью или периферийными узлами при выполнении скалярных команд. Далее на рисунках эта шина может показываться в виде двух её составляющих: входной шины (SIB) и выходной шины (SOB).

VDIB (Vector Data Input Bus) - 64-разрядная шина векторных входных данных процессорного ядра, по которой осуществляется чтение данных из памяти при выполнении векторных команд.

WB (Weight Bus) - 64-разрядная шина весов процессорного ядра, по которой осуществляется чтение весов из памяти при выполнении векторных команд.

VRB (Vector Register Bus) - 64-разрядная шина векторного регистра процессорного ядра, по которой осуществляется чтение из памяти данных с последующей их записи в векторный регистр при выполнении векторных команд.

VDOB (Vector Data Output Bus) - 64-разрядная шина векторных выходных данных, по которой осуществляется запись в память результата выполнения векторных команд.

1.3.4 Карта памяти

Карта памяти процессора K1879BM5Я представлена на рисунке 1.2 и включает в себя два адресных пространства – область адресов локальной шины и область адресов глобальной шины. Если старший разряд адреса равен нулю, идёт обращение в локальную память, если равен единице – в глобальную.

Область адресов локальной шины охватывает:

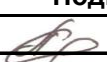
- банки LB0 и LB1 внутренней оперативной памяти данного процессора;
- до четырёх банков внешней памяти (LMI Bank0 – LMI Bank3), подключённых к локальной шине процессора. В качестве одного из банков может быть подключён другой процессор.

Область адресов глобальной шины охватывает:

- банки GB0 и GB1 внутренней оперативной памяти данного процессора;
- до четырёх банков внешней памяти (GMI Bank0 – GMI Bank3), подключённых к глобальной шине процессора. В качестве одного из банков может быть подключён другой процессор.

При обращении к памяти процессор K1879BM5Я формирует 32-разрядный адрес, причем обмен происходит 32- или 64-разрядными словами. Таким образом, доступное адресное пространство составляет 16 Гбайт.

Внутренние шины данных и шины данных блоков интерфейсов с внешней памятью – 64-разрядные. Поэтому младший разряд вычисляемого адреса используется только при обращении к памяти 32-разрядными словами. При нулевом значении младшего разряда обращение к памяти идет по младшим разрядам шин данных (разряды 31- 0),

					ЮФКВ.431282.006РЭ				Лист
									27
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

а при единичном – по старшим (разряды 63- 32). При обращении к памяти 64-разрядными словами младший разряд адреса игнорируется.

Обмен 32-разрядными данными с внешней памятью производится только скалярными командами, если в качестве источника или приёмника в них указан 32-разрядный регистр. В случае, если источником или приемником данных является 64-разрядный регистр или когда обмен задаётся векторной командой, используются соответственно 64-разрядные данные. Выборка команд из памяти также всегда осуществляется по 64 разряда.

K1879BM5Я содержит внутреннюю память статического типа (SRAM) общим объемом 4 Мбит, расположенную на одном кристалле с процессорными узлами. Внутренняя память процессора разделена на четыре независимых банка по 128 кбайт каждый. При этом два банка внутренней памяти расположены в области младших адресов локальной области памяти процессора, а остальные два – в области младших адресов глобальной области памяти процессора.

Остальная часть локальной и глобальной областей памяти является внешней. Доступ к локальной и глобальной внешней памяти осуществляется при посредстве локального и глобального блоков интерфейсов с внешней памятью соответственно. Каждый блок интерфейса позволяет осуществлять обращения к четырем банкам внешней памяти объемом до 2 Гбайт каждый в режиме произвольного доступа. (Объем адресуемой внешней памяти нулевого банка каждой шины уменьшен на 256 кбайт за счет внутренней памяти процессора.) Кроме этого блоки интерфейса с внешней памятью позволяют внешнему устройству осуществлять доступ к соответствующей (локальной или глобальной) внутренней памяти процессора.

Обмен данными между внешней и внутренней памятью процессора возможен как в программном режиме, так и под управлением контроллера ПДП. В последнем случае обмен осуществляется только 64- разрядными данными.

Каждый банк внутренней оперативной памяти процессора занимает 32 К 32-разрядных или 16К 64-разрядных ячеек. Он состоит из двух подбанков (блоков) по 8К*64, к каждому из которых может быть осуществлён одновременный доступ как за 32-разрядными, так и 64-разрядными данными. Один доступ осуществляется со стороны процессорного ядра, а второй – со стороны канала ПДП.

Адреса векторов прерываний процессора расположены в начальных адресах банка LB0 его внутренней памяти.

					ЮФКВ.431282.006РЭ				Лист
									28
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

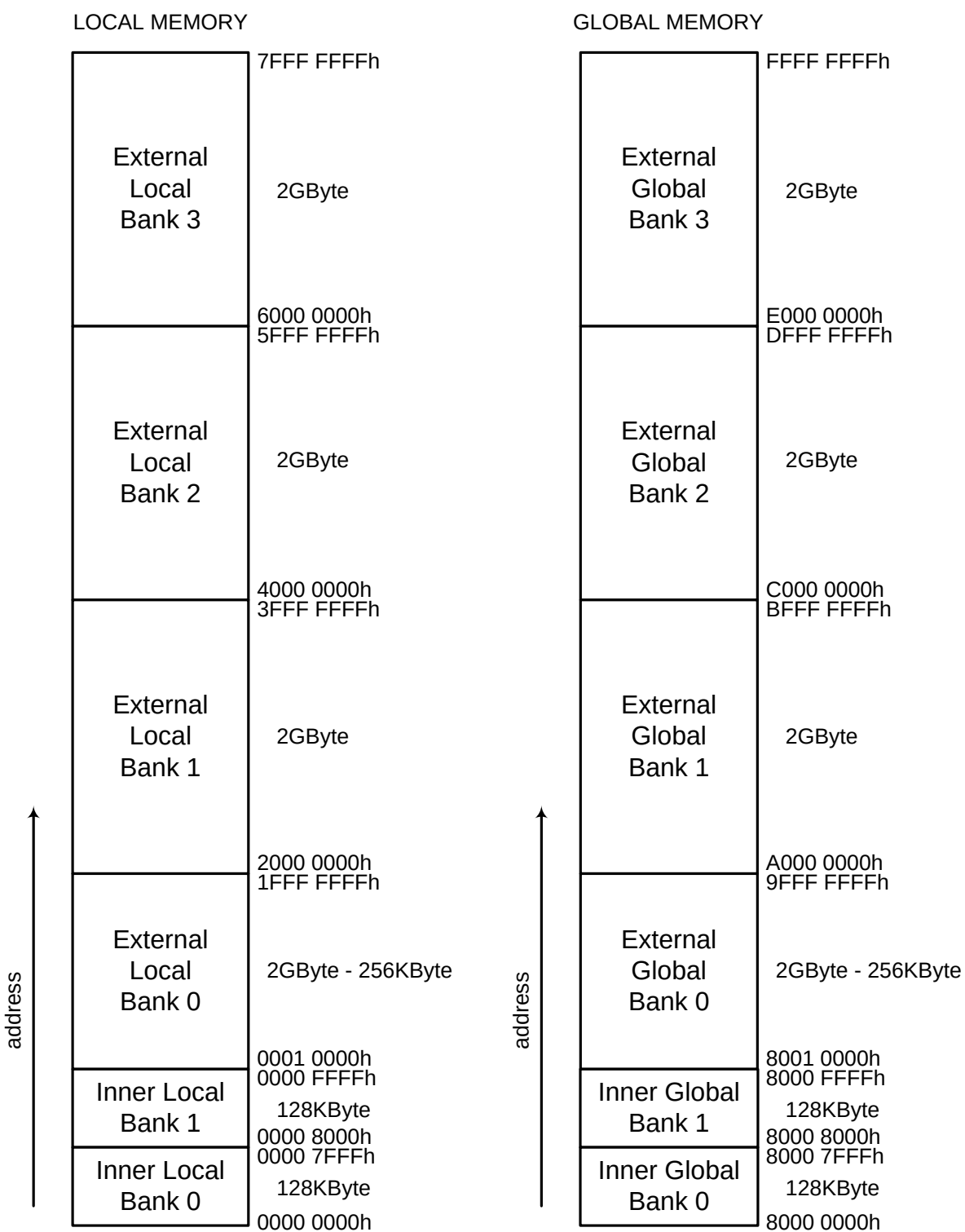


Рисунок 1-2 - Карта памяти процессора K1879BM5Я

					ЮФКВ.431282.006РЭ				Лист
									29
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

1.4 Архитектурные особенности процессора K1879BM5Я

1.4.1 Базовые операции

Архитектура NeuroMatrix® даёт уникальную возможность варьировать между производительностью и точностью вычислений для базовой процедуры:

$$Y_m = U_m + \sum_{n=1}^N X_n \times W_{n,m}$$

В зависимости от приложения можно выбрать необходимую разрядность входных данных и результата (точность вычислений). Число умножений и сложений (МАС), выполняемых за один такт, зависит от разрядности операндов. Наибольшая производительность – 224 МАС – достигается при работе с 2-разрядными операндами. Имеется возможность поднять точность вычислений, если увеличить разрядность операндов до 32-х. В этом случае достигается производительность 2 МАС с получением 64-разрядного результата. Векторный сопроцессор содержит операционное устройство регулярной структуры, похожее на матричный умножитель (см. Рисунок 1-3).

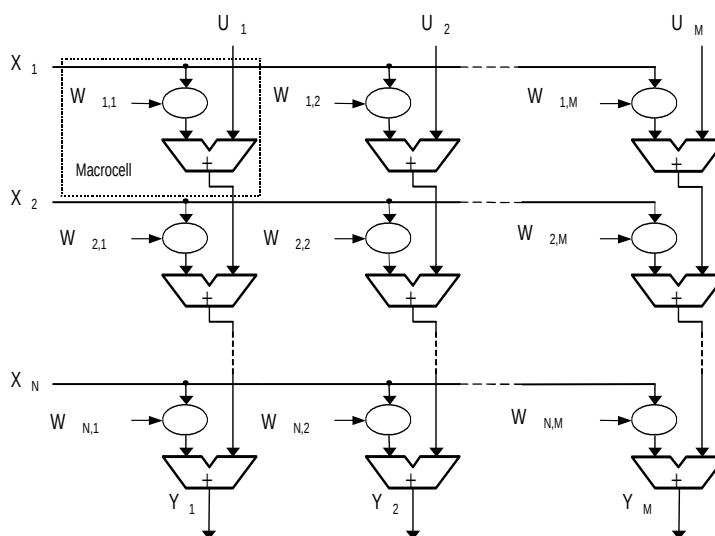


Рисунок 1-3 - Операционное устройство векторного сопроцессора

Данное устройство состоит из ячеек, содержащих 1-разрядную память (триггер) и некоторую комбинационную логику. Пользователь может поделить матрицу ячеек на макроячейки, используя два программно доступных 64-разрядных конфигурационных регистра. Эти регистры задают границы между строками и столбцами макроячеек таким образом, что каждая макроячейка выполняет операцию умножения элемента входного вектора X_i на заранее загруженный вес W_{ij} , а затем

					ЮФКВ.431282.006РЭ			Лист
								30
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18061-4		 21.05.12		18061-3				

результат прибавляется к выходному значению верхней макрочейки, расположенной в том же столбце. Таким образом, за один такт в каждом столбце независимо вычисляется свой результат. Пример конфигурации векторного узла для работы с 8-разрядными входными данными (X_i) и весами (W_{ij}) приведён на Рисунок 1-4. В этом случае достигается пиковая производительность в 24 MAC (за один процессорный такт производится 24 операции умножений с накоплением с получением 21-разрядных результатов).

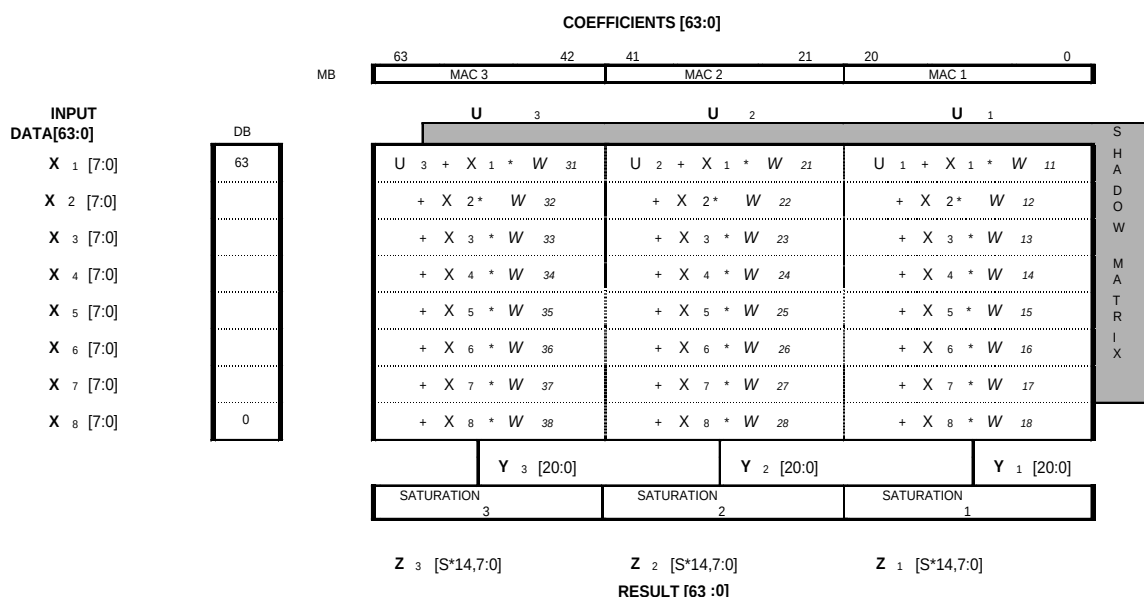


Рисунок 1-4 - Пример работы векторного сопроцессора с 8-разрядными входными данными и весами

Число операций умножений с накоплением зависит от разрядности входных операндов и весов. Конфигурация векторного узла может меняться динамически в процессе вычислений. Можно начать вычисления с небольшой разрядностью и с большой производительностью, а затем по мере накопления разрядности в промежуточных результатах перейти к обработке данных большей разрядности за счёт снижения быстродействия. На Рисунок 1-5 можно наглядно видеть, как зависит производительность от разрядности входных операндов и весов.

Операционное устройство достигает ещё большей производительности при выполнении булевого умножения, когда разрядность входных операндов и весов равна 1. В этом случае она равна 1024 MOPS за один процессорный такт. Имеется ещё одно интересное свойство использования 1-разрядных коэффициентов. В этом случае операционное устройство превращается в мощный коммутатор, когда перестановка битов в 64-разрядном входном операнде происходит за один такт.

Загрузка новых весовых коэффициентов в операционное устройство осуществляется за столько тактов, сколько требуется загрузить строк весовых коэффициентов, т.е. от 1 до 32 тактов. Чтобы скомпенсировать задержку при изменении весов, используется теневая матрица. Новые коэффициенты грузятся в теневую матрицу в фоновом режиме и затем за один такт переписываются в рабочую.

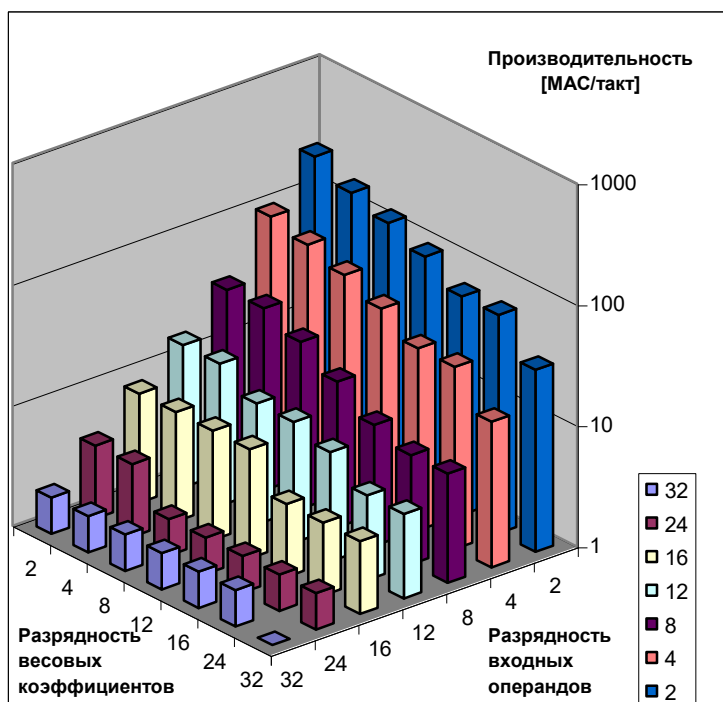


Рисунок 1-5 - Зависимость производительности от разрядности входных данных

Для предотвращения переполнения аппаратно реализована функция насыщения над 64-разрядными словами упакованных данных (см. Рисунок 1-6), причём границы насыщения задаются с помощью программно доступных регистров управления этой функцией. Функция насыщения не уменьшает разрядность входных операндов, но уменьшает число значащих разрядов в каждом элементе входного вектора.

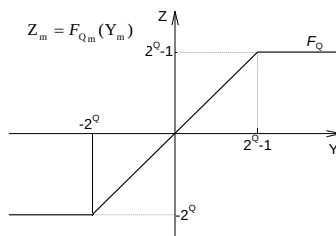


Рисунок 1-6 - Функция насыщения

					ЮФКВ.431282.006РЭ			Лист
								32
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата	
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18061-4		 21.05.12		18061-3				

1.4.2 Программируемая разрядность векторных данных

Матрично-векторный сопроцессор предназначен для обработки целочисленных данных, разрядность которых может быть произвольной и в общем случае лежит в диапазоне от 1 до 64 разрядов. Однако, схемотехническая реализация ряда исполнительных узлов сопроцессора накладывает дополнительные ограничения на разрядность данных:

- множители, поступающие на вход X операционного устройства (см. рисунок 1-3) и используемые в операциях взвешенного суммирования, должны иметь четную разрядность;
- переменные, для которых вычисляется нелинейная функция активации, должны иметь не менее двух разрядов.

Целочисленные данные, используемые в арифметических операциях, должны быть представлены в дополнительном коде. Результаты арифметических операций формируются так же в дополнительном коде.

1.4.3 64-разрядные слова упакованных данных

Матрично-векторный сопроцессор ориентирован на обработку массивов данных. Разрядность всех узлов сопроцессора и всех шин процессорного ядра, к которым подключен сопроцессор, равна 64. Поэтому с целью повышения производительности процессорного ядра путем эффективного использования аппаратных ресурсов векторного сопроцессора осуществляется обработка целочисленных данных, которые упакованы в 64-разрядные слова с помощью простой конкатенации (Рисунок 1-7). В общем случае слово упакованных данных представляет собой вектор $\mathbf{D} = \{D_1 \dots D_I\}$, содержащий I данных, суммарная разрядность которых равна 64. Причем, в одном слове $\mathbf{D}$ могут быть упакованы данные, имеющие разную разрядность. Количество данных I , упакованных в одном слове, зависит от их разрядностей и может принимать целочисленное значение в диапазоне от 1 до 64.

В каждом такте сопроцессор выполняет одну и ту же операцию над всеми данными слова, поступающими на любой из его исполнительных узлов, что характерно для представителей SIMD-архитектур. При этом исполнительные узлы определяют границы данных в слове по содержимому соответствующих конфигурационных регистров.

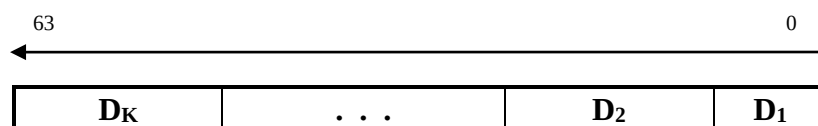


Рисунок 1-7 - Формат слова упакованных векторных данных

					ЮФКВ.431282.006РЭ				Лист
									33
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

1.4.4 Статический VLIW

Команды процессора делятся на две основные группы: скалярные команды (см. Рисунок 1-8) и векторные (см. Рисунок 1-9).

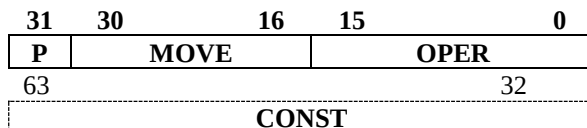


Рисунок 1-8 - Кодировка скалярных команд

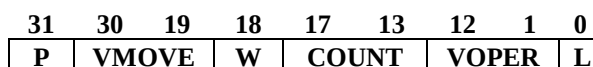


Рисунок 1-9 - Кодировка векторных команд

Скалярные команды являются обычными RISC- командами, которые содержат следующие поля: P – содержит разрешение параллельной работы (можно или нет выполнить данную команду, не дожидаясь окончания более ранних команд); MOVE – задаёт ввод/вывод данных с одновременной модификацией адресных регистров, условные переходы/переходы к подпрограмме и возвраты из подпрограммы/прерывания; OPER – определяет арифметическую, логическую операцию или операцию сдвига. Скалярные команды могут использовать 32-разрядные константы (поле CONST), которые могут грузиться в регистры или использоваться для задания адреса или смещения при обращении к памяти.

Векторные команды имеют похожие поля: P (разрешение параллельной работы); VMOVE - задаёт ввод/вывод векторных данных, VOPER – определяет арифметическую или логическую операцию над векторными данными. Также имеются следующие поля: W – управляет загрузкой в теневую матрицу весов; L – задаёт перезапись теневой матрицы весов в рабочую; COUNT - определяет число повторов выполнения данной команды (от 1 до 32), что позволяет аппаратно поддерживать организацию коротких циклов и значительно увеличить плотность кода.

Таким образом, процессор использует команды типа VLIW, задающие одновременно операции обмена с памятью, модификацию адресных регистров и арифметическую операцию, причём это относится как к скалярным, так и к векторным командам. Объединение в одной команде операций ввода- вывода и арифметической операции позволяет увеличить производительность скалярных команд на реальных задачах до 40%, но для векторных команд это решение по нашим оценкам особый выигрыш не даёт.

					ЮФКВ.431282.006РЭ				Лист
									34
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

1.4.5 Многотактовые векторные команды и векторно-конвейерная организация вычислений (динамический VLIW)

Принцип организации выполнения одновременно нескольких операций, заданных разными векторными командами, в разных функциональных узлах одного или нескольких сопроцессоров показан на Рисунок 1-10. Если команды не имеют зависимости по данным и используют разные функциональные узлы, они последовательно занимают соответствующие функциональные узлы и начинают . Если одна из команд, (например, на Рисунок 1-10 это команда 2), должна использовать результат, получаемый предыдущей командой 1, ей не надо ждать полного окончания выполнения последней. Достаточно дождаться получения первого результата (1.1), чтоб выполнить первую операцию (2.1). Данный механизм называется «зацеплением по данным» (chaining).

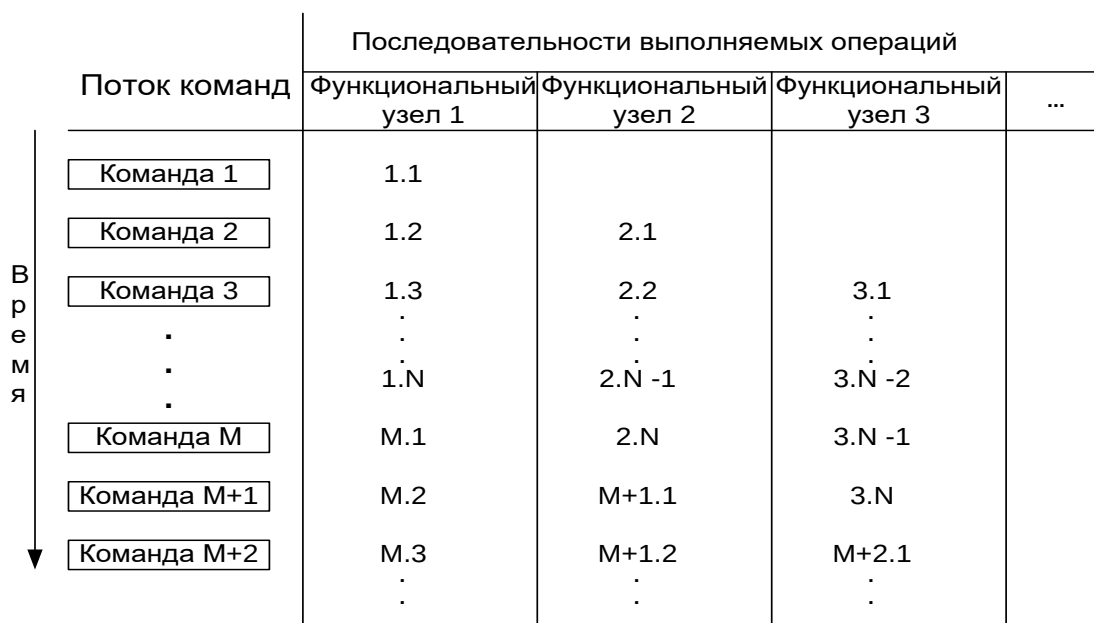


Рисунок 1-10 - Векторно-конвейерная организация вычислений (динамический VLIW)

Несмотря на то, что команды поступают на выполнение по одной и в строгой последовательности, за счёт использования многотактовых команд достигается эффект суперскаляра (одновременно выполняется несколько операций в разных функциональных узлах над разными данными). Также поддерживается внеочередное выполнение команд (out- of- order execution), когда позже выбранная команда может закончить своё выполнение раньше, чем ранее выбранные команды.

1.4.6 Особенности работы конвейера команд при обмене данных с памятью

Принципы организации конвейера команд процессора показан на Рисунок 1-11. Его основными особенностями являются:

- наличие общих первой и второй ступеней для всех команд – скалярных и векторных, причем на первой ступени осуществляется вычисление адреса первого данного для команды, последнего адреса и смещения (для векторных команд), модификация адресных регистров, на второй организуется единая очередь команд, ожидающих своих данных перед выполнением;
- несколько параллельных подконвейеров на третьей ступени (стадии выполнения операций), причём ввод и вывод данных осуществляется именно на данной ступени (реализуется Late Write). Конвейер для скалярных операций на данной ступени один и имеет глубину единица, конвейеров для векторных операций несколько, и они имеют переменную глубину в зависимости от типа выполняемой операции.

					ЮФКВ.431282.006РЭ				Лист
									36
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

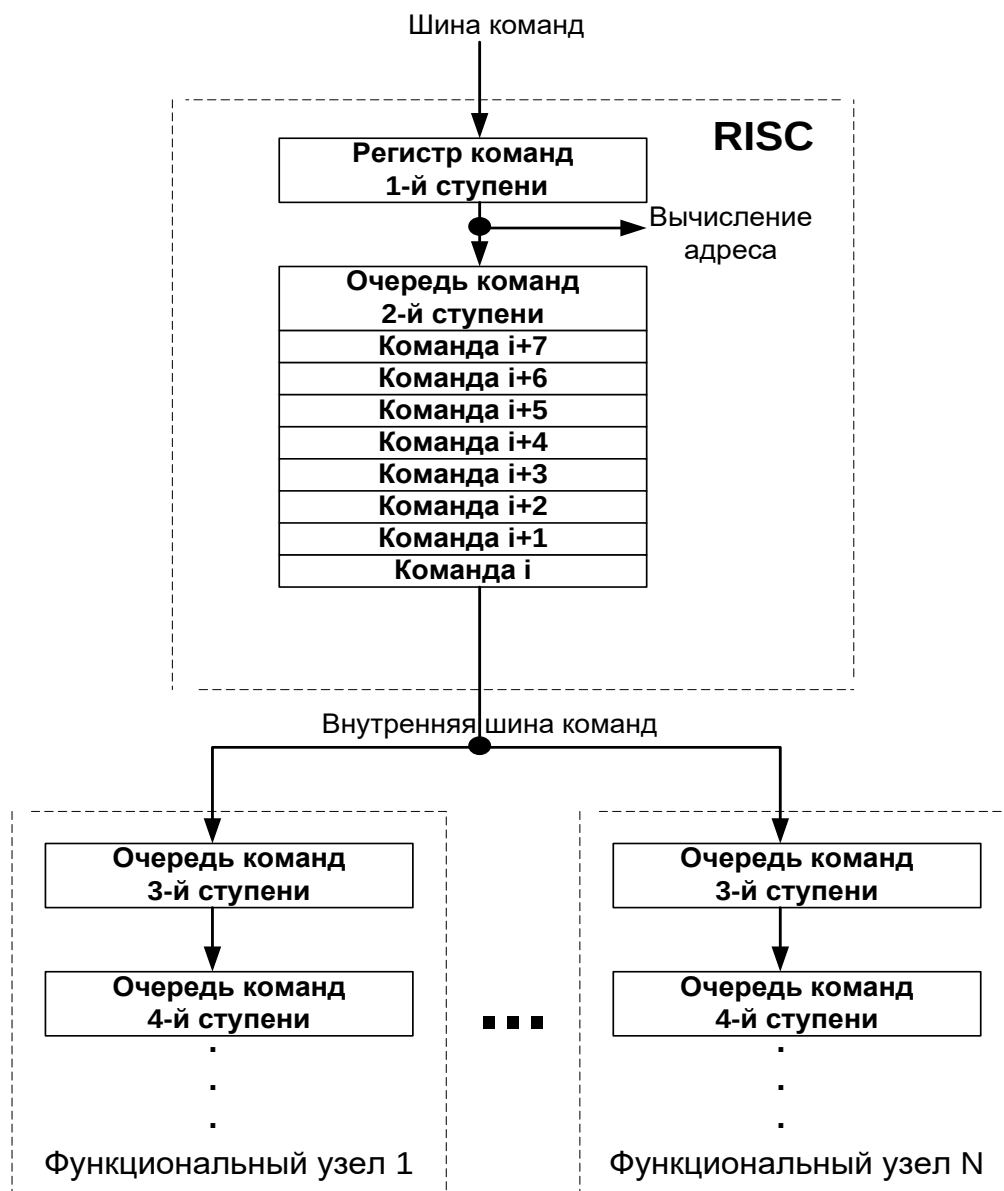


Рисунок 1-11 - Принципы организации конвейера команд процессора K1879BM5Я

Наличие очереди команд, ожидающих своих данных, позволяет обеспечить эффективную работу с банками внутренней и внешней памяти, имеющими различную глубину конвейера без потери производительности. Данная очередь имеет глубину восемь, что позволяет эффективно работать с внешней синхронной памятью в конвейерном режиме - имеется возможность выставить до 8-ми запросов на чтение, прежде чем придут первые данные.

					ЮФКВ.431282.006РЭ				Лист
									37
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4		 21.05.12		18061-3					

Если процессор работает только с внутренней памятью, очередь команд заполнена не полностью. Стоит произвести хоть одно обращение во внешнюю память, команда, ожидающая своих данных из внешней памяти, не может уйти из очереди, и очередь начинает заполняться. Как только данные придут, очередь начинает разгружаться. Тем самым реализуется конвейер переменной глубины в зависимости от требуемого числа тактов обращения в память, и это даёт возможность эффективно работать одновременно как с внешней, так и внутренней памятью.

Реализация выдачи и приёма данных на одной и той же ступени конвейера (Late Write) резко снижает количество конфликтов по данным. Так, если первая команда читает данные из памяти, а вторая должна записать эти данные в память, последняя может выполняться в следующем такте после выполнения первой. В случае, если это векторные команды, вторая команда может начать выполняться в следующем такте после получения первого данного первой командой.

1.4.7 Единый адресный генератор процессорного ядра

Как было описано ранее, все команды при запуске на выполнение, как и раньше, начинают свою работу на общей части первого уровня конвейера. Скалярная команда на данной ступени конвейера выставляет запрос на доступ в память. В случае отсутствия блокировок по доступу в память и от нижних ступеней конвейера команда попадает на вторую ступень конвейера и освобождает общую часть.

Векторная команда при запуске занимает общую часть первого уровня конвейера на один процессорный такт. За это время она вычисляет адрес первого обращения в память. Одновременно на специальном арифметическом устройстве, содержащем умножитель 5×32 разряда и 32-разрядный сумматор, формируется новое значение адресного регистра, использующегося в качестве базы. Это значение совпадает с тем, что должно получиться после завершения выполнения векторной команды. В следующем такте векторная команда освобождает первый уровень конвейера, уходит на второй уровень и одновременно занимает один из шести адресных генераторов, находящихся вне процессорного ядра. При этом запоминается адрес первого обращения в память, сохраняется копия значения регистра- смещения и формируется запрос на доступ в память. Далее адресный генератор работает самостоятельно, не занимая ресурсов процессорного ядра.

Наличие единого адресного генератора у процессорного ядра позволяет использовать один и тот же адресный регистр этого ядра в качестве источника адреса для нескольких команд, при этом следующая команда не должна ждать полного окончания предыдущей. При этом блок адресных генераторов вне процессорного ядра обеспечивает генерацию запросов на обмен с памятью для нескольких скалярных и векторных команд одновременно.

1.4.8 Аппаратная вершина системного стека

В процессоре K1879BM5Я введена аппаратная вершина системного стека. Она копирует содержимое ячейки памяти системного стека, хранящей последний адрес

					ЮФКВ.431282.006РЭ				Лист
									38
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

возврата из подпрограммы или прерывания и значение регистра слова состояния процессора PSWR при входе в подпрограмму/прерывание. Поддержка аппаратной вершины системного стека в K1879BM5Я позволяет резко ускорить выполнение команд возврата из подпрограммы или прерывания, особенно если системный стек расположен во внешней памяти.

					ЮФКВ.431282.006РЭ				Лист
									39
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата		
18061-4		 21.05.12			18061-3				

1.5 Система памяти

1.5.1 Подсистема адресации данных

При программном доступе за данными адрес обращения в память может задаваться процессорным ядром или одним из шести адресных генераторов блока AGU (см.Рисунок 1-1).

Процессорное ядро может непосредственно обратиться в память, если выполняется скалярная или однократовая векторная команда. В этом случае применяются следующие методы адресации:

- непосредственная адресация по абсолютному адресу, заданному в команде в виде константы;
- адресация по содержимому адресного регистра (AR- регистра) или регистра общего назначения (GR- регистра);
- адресация по сумме содержимого AR- регистра и GR- регистра;
- адресация относительно содержимого AR- регистра с непосредственно заданным смещением.

Если запрос от процессорного ядра не проходит, или требуется выполнить многотактовую векторную команду, в этом случае занимается один из адресных генераторов блока AGU, с которого и происходит дальнейшее формирование текущего адреса и вычисление следующего (для векторных команд). При этом процессорным ядром задаётся текущий адрес по шине ADDR, а для векторных команд также смещение по шине BIAS и число тактов выполнения команды (см. Рисунок 1-1). В дальнейшем происходит обращение в память по текущему адресу, а для векторных команд одновременно вычисляется новый адрес путём прибавления к текущему адресу смещения. Данное действие для векторных команд повторяется столько раз, сколько требуется, чтобы полностью выполнить данные команды.

Более подробно о методах адресации, используемых процессором, см. в главе 4.

1.5.2 Подсистема адресации команд

При выборке команды адрес обращения в память может задаваться процессорным ядром или специальным генератором адреса команд блока AGU (см. Рисунок 1-1).

Реализованы следующие методы адресации команд:

- адресация по содержимому счетчика адреса команд (PC);
- непосредственная адресация по абсолютному адресу, заданному в команде в виде константы;
- адресация по содержимому адресного регистра (AR-регистра) или регистра общего назначения (GR-регистра);

					ЮФКВ.431282.006РЭ				Лист
									40
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

- адресация по сумме содержимого AR- регистра и GR-регистра;
- адресация относительно содержимого AR- регистра или счетчика адреса команд с непосредственно заданным смещением.

Внешний по отношению к процессорному ядру генератор адреса команд блока AGU служит для последовательной предвыборки команд из памяти. После системного сброса счетчик адреса команд ядра РС и генератор адреса команд обнуляются. Далее последний начинает в режиме инкремента выбирать последовательно команды, которые поступают в процессорное ядро. По мере провала команд на первую ступень конвейера РС инкрементируется, как бы догоняя генератор адреса команд. Если встречается переход/переход к подпрограмме или возврат из подпрограммы/прерывания, адрес перехода выставляется процессорным ядром по шине BIAS (см. Рисунок 1-1). В этом случае адрес очередной команды выставляется от ядра, и он же переписывается в генератор адреса команд с инкрементированием, происходит очистка от ранее выбранных ненужных команд. Далее запрос на выборку команды по-прежнему выставляется от генератора адреса команд, пока не возникнет нового перехода.

Более подробно о методах адресации команд, используемых процессором, см. в главе 4.

1.5.3 Подсистема адресации памяти каналами ПДП

Для обмена блоками данных/команд между внешней и внутренней памятью без вмешательства процессорного ядра были введены специальные каналы ПДП, два из которых обслуживают внешнюю и внутреннюю локальную память, два других - внешнюю и внутреннюю глобальную память. Чтобы задать обмен в режиме ПДП, необходимо программно определить начальный адрес внешней памяти, внутренней памяти, число передаваемых 64-разрядных данных, тип пересылки (внешняя - внутренняя память или внутренняя – внешняя память), и затем запустить это ПДП. Далее последовательно, в автоинкрементном режиме, будет происходить чтение из внешней/внутренней памяти и запись в том же режиме во внутреннюю/внешнюю память 64-разрядных данных.

Для обслуживания коммуникационных портов служат дополнительные каналы ПДП, которые позволяют принятую по порту информацию в автоинкрементном режиме записать во внешнюю или во внутреннюю память, а также выдать по порту информацию, считанную в автоинкрементном режиме из внешней или внутренней памяти. При этом каждый из коммуникационных портов могут работать с любой памятью – локальной или глобальной, внешней или внутренней.

Чтобы начать обмен по порту, необходимо программно задать начальный адрес памяти, с которой он работает, число передаваемых или принимаемых 64-разрядных слов, и затем запустить этот порт.

Более подробно о работе каналов ПДП см. в главах 9 и 13.

					ЮФКВ.431282.006РЭ				Лист
									41
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

1.5.4 Банки внутренней памяти

Каждый банк внутренней памяти K1879BM5Я имеет двухпортовую организацию. По одному из портов производится чтение и запись данных процессорным ядром, а также выборка команд процессора. Второй порт обслуживает чтение и запись данных под управлением контроллера ПДП, а также чтение и запись данных со стороны внешнего устройства. Таким образом, банк внутренней памяти способен обработать до двух запросов в каждом процессорном такте.

Структурная схема банка внутренней памяти представлена на Рисунок 1-12.

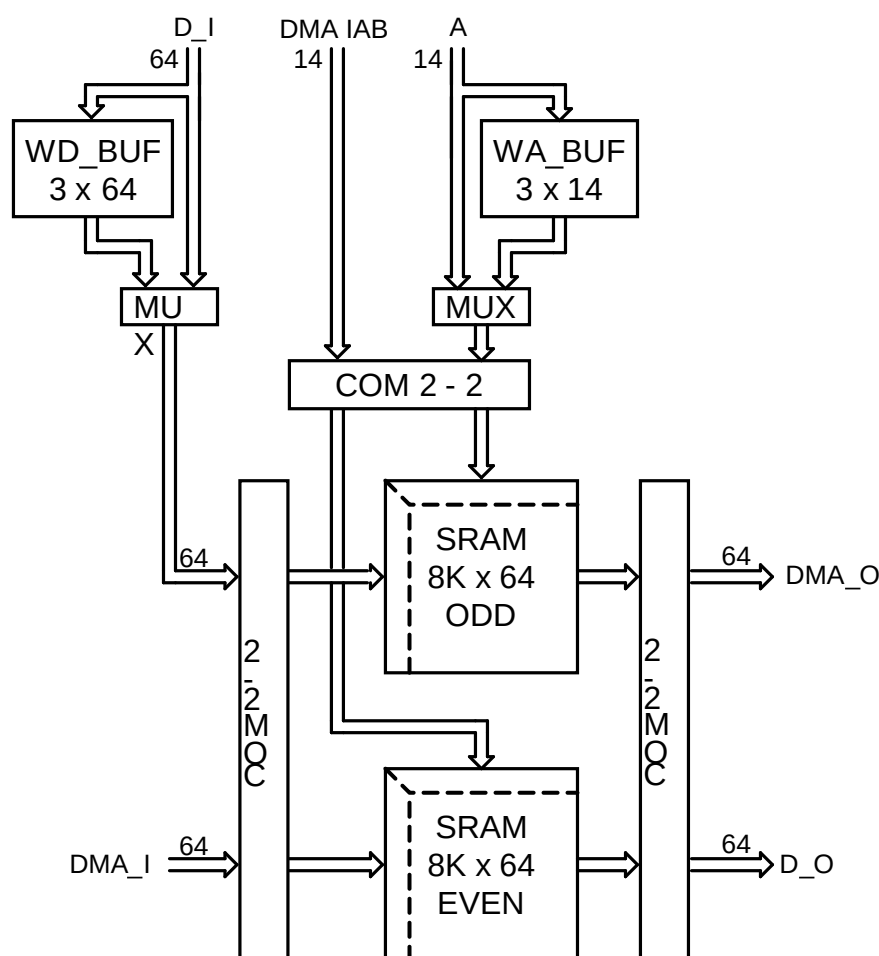


Рисунок 1-12 - Структурная схема банка внутренней памяти процессора K1879BM5Я

Физически банк внутренней памяти состоит из двух полубанков памяти типа SRAM с организацией 8К x 64 каждый (на рисунке 1-12 обозначены как ODD и EVEN). Выбор полубанка памяти, в который производится обращение, осуществляется в зависимости от значения первого разряда адреса выполняемой операции (чтения или

					ЮФКВ.431282.006РЭ				Лист
									42
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4		 21.05.12		18061-3					

записи). Если первые разряды адресов обращений со стороны процессорного ядра и со стороны контроллера ПДП не совпадают, то будут обслужены оба запроса, а если первые разряды совпадают, то обслуживается только один запрос в соответствии с установленным приоритетом.

Кроме аппаратуры, поддерживающей двухпортовую организацию, банк внутренней памяти содержит аппаратуру, реализующую заложенный в конвейере процессора K1879BM5Я принцип отложенной записи (Late Write). Реализация данного принципа позволяет выравнить конвейеры операций чтения и записи. Аппаратурой, поддерживающей такое выравнивание, в банке внутренней памяти являются буфер адресов операций записи WA_BUF и буфер записываемых данных WD_BUF с соответствующими выходными мультиплексорами.

Реализация принципа отложенной записи в конвейере процессора K1879BM5Я предполагает выдачу адресов операций записи и адресов операций чтения на одной ступени конвейера. Операции чтения выполняется в банке памяти естественным образом. Адреса же операций записи (А) зашелкиваются в буфере WA_BUF и дожидаются прихода записываемых данных. При этом конвейер чтения в банке внутренней памяти не блокируется и последующие операции чтения могут выполняться “в обход” этих операций записи по шине D_O.

Выдаваемые процессорным ядром данные для операций записи по шине D_I фиксируются в соответствующей ячейке буфера WD_BUF и будут записаны в полубанк памяти в моменты отсутствия запросов на чтение данных из этого банка памяти. Глубина конвейера процессорного ядра при работе с внутренней памятью определяет размер буферов WA_BUF и WD_BUF - по 3 ячейки каждый.

“Обход” операций записи последующими операциями чтения возможен только, если адреса операций чтения не совпадают с адресами операций записи, находящимися в буфере WA_BUF. В случае совпадения адресов конвейер чтения из банка памяти аппаратно блокируется до того момента, когда все данные операций записи, чьи адреса находятся в буфере WA_BUF, будут записаны в соответствующие полубанки памяти. Необходимо отметить, что сравнение адресов операций чтения с ячейками буфера WA_BUF происходит только при выполнении операций чтения данных ядром процессора. При выполнении выборки команд такого сравнения не происходит.

Запись данных под управлением контроллера ПДП, а также запись данных во внутреннюю память процессора внешним устройством производятся обычным образом. При этом используются соответствующие шины адреса (DMA_IAB), входных (DMA_I) и выходных данных (DMA_O).

При выполнении операций чтения данных под управлением контроллера ПДП и при чтении данных из банка памяти внешним устройством состояние буфера WA_BUF не анализируется.

					ЮФКВ.431282.006РЭ				Лист
									43
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

1.5.5 Банки внешней памяти

Процессор имеет возможность работать с двумя областями внешней памяти: локальной и глобальной. Доступ к локальной и глобальной внешней памяти реализуется с помощью соответствующих локального и глобального блоков интерфейсов с внешней памятью. Каждый блок интерфейса позволяет осуществлять обращения к четырем банкам внешней памяти (0, 1, 2 или 3) объемом до 2 Гбайт каждый в режиме произвольного доступа, причём каждый банк может быть любым из перечисленных типов – SRAM, SSRAM или SDRAM. Микросхемы памяти указанных типов подключаются непосредственно к выводам процессора K1879BM5Я без применения дополнительных контроллеров памяти.

Объем адресуемого процессорным ядром и коммуникационными портами нулевого банка внешней памяти уменьшен на 256 Кбайт (2 Гбайта – 256 Кбайт) за счет внутренней памяти процессора. При этом для каналов ПДП, осуществляющих обмен между внутренней и внешней памятью, доступны все 2 Гбайта этого банка памяти.

Блоки интерфейса с внешней памятью позволяют внешнему устройству осуществлять доступ к соответствующей (локальной или глобальной) внутренней памяти процессора. В этом случае внешнее устройство (другой процессор) адресуется к внутренней памяти процессора как к одному из своих банков внешней памяти.

					ЮФКВ.431282.006РЭ				Лист
									44
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

1.6 Периферийные узлы

1.6.1 Интерфейсы с внешней памятью

Процессор K1879BM5Я имеет два идентичных интерфейса с внешней шиной – локальный и глобальный, которые обеспечивают обмен информацией между процессором и устройствами, подключенными к внешней шине. Каждый из интерфейсов поддерживает мультипроцессорный режим работы с общей 64-разрядной внешней шиной и имеет два основных режима работы - “Master” и “Slave”.

В режиме “Master”, когда процессор K1879BM5Я является активным устройством, управляющим внешней шиной, интерфейс позволяет осуществлять обращения к четырём банкам внешней памяти объемом до 2 Гбайт каждый. При этом возможна пересылка информации из внутренней памяти микросхемы во внешнюю память и наоборот в режиме ПДП. Интерфейс обеспечивает работу с микросхемами асинхронной статической памяти (SRAM), синхронной динамической памяти (SDRAM), синхронной статической памяти (SSRAM) и Flash памяти без использования дополнительной внешней аппаратуры. Возможность программной настройки интерфейса позволяет микросхеме эффективно работать с банками внешней памяти различного объема, типа и быстродействия.

В режиме “Slave”, когда процессор K1879BM5Я является пассивным устройством, не управляющим внешней шиной, интерфейс обеспечивает произвольный доступ внешнего процессора ко всем ячейкам соответствующей внутренней памяти (для локального интерфейса – к локальной, для глобального – к глобальной). При этом внешний процессор обращается к внутренней памяти K1879BM5Я как к банку своей внешней памяти.

Более подробно интерфейс с внешней памятью описан в главе 7.

1.6.2 Байтовые синхронные коммуникационные порты

Для упрощения построения многопроцессорных систем на базе процессора K1879BM5Я в данный процессор были включены два коммуникационных порта ввода/вывода. С помощью этих портов можно реализовывать обмен между двумя внешними устройствами (процессорами) типа «точка-точка» без использования дополнительной аппаратуры. Передаваемые и принимаемые по портам данные читаются из памяти или пишутся в память процессора в режиме ПДП, освобождая при этом процессорное ядро для другой полезной работы.

Реализация обмена по коммуникационным портам в синхронном режиме позволило осуществлять его на частоте равной половине частоты работы процессорного ядра, т.е. получить пропускную способность по портам до 160 Мбайт/с. Для более надёжной работы предусмотрена возможность обмена на вдвое меньшей частоте с пропускной способностью до 80 Мбайт/с.

					ЮФКВ.431282.006РЭ				Лист
									45
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Передача информации от одного коммуникационного порта другому осуществляется по 8- разрядной шине данных в полудуплексном режиме. Предусмотрены дополнительные сигнальные выводы, с помощью которых осуществляется автоматический арбитраж шины данных: кто владеет этой шиной, является передатчиком, кто не владеет – приёмником. После того, как передатчик заканчивает вывод своего пакета данных, он передаёт шину другому порту и переходит в режим приёма. Таким образом, по одной и той же байтовой шине осуществляется двусторонний обмен между процессором и внешним устройством (другим процессором). Более подробное описание байтовых синхронных коммуникационных портов приведено в главе 9.

1.6.3 Порты ввода/вывода общего назначения

Для облегчения управления внешними устройствами процессор K1879BM5Я имеет 8 двунаправленных однобитовых портов ввода/вывода общего назначения. Каждый из этих портов можно программно настроить на работу в режиме входа или выхода.

Уровень логического сигнала (0 или 1), поступающего на порт, работающий в режиме входа, программно доступен на чтение как соответствующий бит специального программно доступного регистра, тем самым процессор может получить информацию о состоянии внешних устройств, входящих в состав вычислительной системы.

Уровень логического сигнала, выдаваемого портом в режиме выхода, можно программно поменять путём сброса/установки соответствующего бита уже упомянутого специального регистра, чем обеспечивается управление внешними устройствами и передача информации о состоянии процессора.

Более подробно о работе портов ввода/вывода общего назначения см. в главе 10.

1.6.4 JTAG интерфейс

Процессор K1879BM5Я имеет JTAG интерфейс с 5-выводным тестовым портом, реализованным согласно стандарту IEEE Std 1149.1- 1990. Этот интерфейс позволяет тестировать процессор K1879BM5Я не только как законченное изделие, но и в составе вычислительной системы.

Более подробно данный интерфейс описан в главе 11.

1.6.5 Таймеры

В состав периферийных узлов процессора K1879BM5Я входят два независимых 32-разрядных таймера, которые пользователь может использовать как для отсчета задаваемых интервалов времени, так и для счета событий, являющихся внешними по отношению к процессору.

Каждый из счетчиков- таймеров может работать как в режиме однократного запуска, так и в непрерывном режиме. Интервал счета таймера задается программно. В

					ЮФКВ.431282.006РЭ				Лист
									46
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

качестве сигнала счета может выступать как тактовый сигнал процессора, так и внешний сигнал, подаваемый на соответствующий вывод.

По достижении нулевого значения таймер формирует запрос на прерывание, который может быть обработан стандартным образом. Кроме того, при достижении нулевого значения таймер может аппаратно формировать заданный управляющий сигнал на внешних выводах микросхемы.

Более подробно о работе таймеров см. в главе 12.

1.7 Система прерываний

1.7.1 Типы прерываний

Процессор K1879BM5Я имеет развитую систему прерываний, позволяющую оперативно реагировать на внешние и внутренние события, а также управлять различными периферийными устройствами. Прерывания K1879BM5Я представлены в Таблица 1-2 в порядке уменьшения приоритета сверху вниз. Исключение составляет пошаговое прерывание, которое имеет наименьший приоритет.

Таблица 1-2 - Прерывания процессора K1879BM5Я

№	Прерывание	Обозначение	Адрес вектор
1	Немаскируемое прерывание	NMI	0 hex
2	Переполнение	OF	8 hex
3	Неправильная команда	EI	10 hex
4	Пошаговое прерывание	ST	18 hex
5	Попытка изменения состояния регистров каналов ПДП или коммуникационных портов, если они уже запущены и не было их программного останова	PE	20 hex
6	Обнуление счетчика таймера 0	T0	28 hex
7	Внешнее прерывание 3	INT3	30 hex
8	Внешнее прерывание 2	INT2	38 hex
9	Внешнее прерывание 1	INT1	40 hex
10	Внешнее прерывание 0	INT0	48 hex
11	Обнуление счетчика таймера 1	T1	50 hex
12	Окончание передачи по каналу ПДП 0	DMA0	58 hex
13	Окончание передачи по каналу ПДП 1	DMA1	60 hex
14	Окончание ввода по коммуникационному порту 1	CPI1	68 hex
15	Окончание ввода по коммуникационному порту 0	CPI0	70 hex
16	Окончание вывода по коммуникационному порту 1	CPO1	78 hex
17	Окончание вывода по коммуникационному порту 0	CPO0	80 hex

					ЮФКВ.431282.006РЭ				Лист
									47
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

1.7.2 Внутренние и внешние прерывания процессорного ядра

Процессор поддерживает 17 прерываний (см. Таблица 1-2): 4 внутренних прерываний процессорного ядра (в таблице с номерами от 1 до 4) и 13 внешних по отношению к процессорному ядру (в таблице с номерами от 5 до 17). Такое деление прерываний на две группы объясняется реализацией двухуровневой системы прерываний, как показано на Рисунок 1-13. Запросы от четырёх внешних прерываний ($\overline{\text{INT0}}$... $\overline{\text{INT3}}$) и от периферийных узлов (PERIPHERAL UNITS) поступают на контроллер прерываний (INTERRUPT CONTROLLER) и фиксируются в специальном программно доступном на чтение и сброс регистре. Далее запросы перемножаются на программно настраиваемую маску и проходят арбитраж. Затем в соответствии с победившим запросом выставляется адрес-вектор соответствующего прерывания (External Interrupt Vector) и формируется обобщённый запрос на внешнее прерывание (External Interrupt Request). Данный запрос и адрес-вектор фиксируются в процессорном ядре (PROCESSOR CORE), после чего сбрасывается победивший запрос на прерывание в контроллере прерываний, и данный контроллер может выставить ещё один обобщённый запрос и соответствующий адрес-вектор прерывания, но они будут зафиксированы процессорным ядром только после того, как будет обработано предыдущее внешнее прерывание. Более подробно о работе контроллера прерываний см. в главе 14.

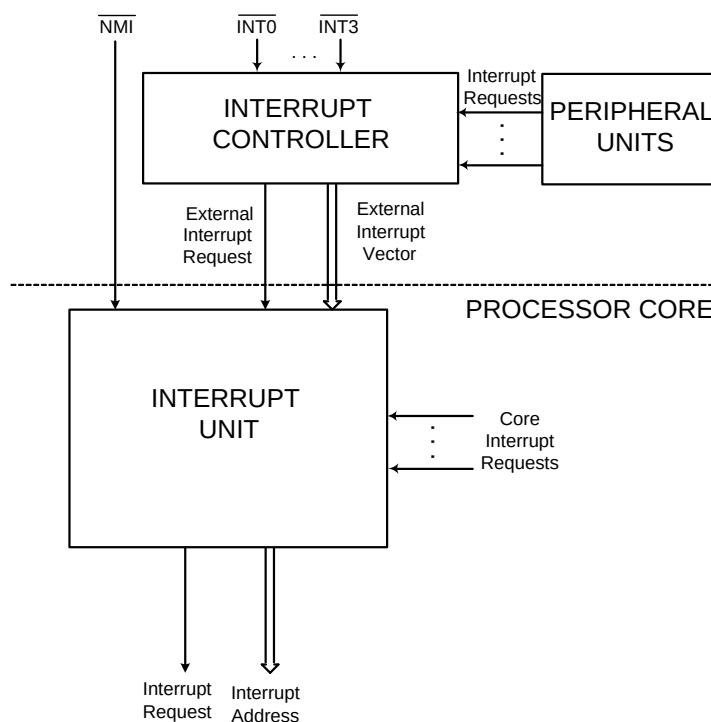


Рисунок 1-13 - Структурная схема системы прерываний процессора K1879BM5Я

В процессорном ядре имеется блок прерываний (INTERRUPT UNIT), куда поступают немаскируемое прерывание NMI, прерывания от ядра (Core Interrupt

					ЮФКВ.431282.006РЭ				Лист
									48
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата		
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Requests) и, как описано выше, адрес- вектор внешнего по отношению к ядру прерывания (External Interrupt Vector) и обобщённый запрос на внешнее прерывание (External Interrupt Request). Все эти запросы на прерывание, а также адрес-вектор внешнего прерывания, фиксируются в специальном программно доступном на чтение и сброс регистре. Далее запросы перемножаются на программно настраиваемую маску (кроме немаскируемого прерывания) и проходят арбитраж. Причём обобщённый запрос на внешнее прерывание также имеет свою маску. Затем в соответствии с победившим запросом выставляется адрес перехода на программу обработки соответствующего прерывания (Interrupt Address) и формируется окончательный запрос на прерывание (Interrupt Request). После того, как в будет разрешена обработка запроса победившего прерывания, соответствующий запрос на прерывание в ядре будет сброшен. Разрешение на обработку следующего прерывания будет получено лишь после того, как закончатся все контекстные переключения при входе в обработку предыдущего прерывания. Более подробно о работе блока прерываний процессорного ядра см. в главе 5.

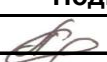
1.8 Особенности работы с периферийными узлами

1.8.1 Доступ к регистрам периферийных узлов

В процессоре K1879BM5Я имеется возможность программного доступа к регистрам периферийных устройств так же, как к регистрам процессорного ядра, непосредственно по коду регистра в команде, а не как к ячейкам памяти. Это позволяет быстрее реагировать на какие-либо внешние или внутренние события, требуется меньше команд, чтоб настроить какой-либо периферийный узел или узнать его состояние, упрощает обработку внешних по отношению к процессорному ядру прерываний в режиме программного поллинга.

Вместе с тем, имеются следующие отличия при работе с регистрами периферийных устройств по сравнению с регистрами процессорного ядра:

- 1) С целью увеличения числа доступных регистров периферийных устройств были введены два регистровых окна, причём номер активного в данный момент окна задаётся программно. Тем самым число таких программно доступных регистров увеличилось в два раза без расширения кода регистра в команде. Работа с регистрами процессорного ядра осуществляется независимо от номера текущего регистрового окна, что позволяет в большинстве случаев достичь программную совместимость с более ранними процессорами семейства NeuroMatrix®.
- 2) Допускается пересылка содержимого регистра периферийного устройства в регистр процессорного ядра, пересылка содержимого регистра процессорного ядра в регистр периферийного устройства, запись константы, непосредственно заданной в команде, в регистр периферийного устройства.
- 3) Запрещается обмен содержимым между двумя регистрами периферийных устройств, а также между регистром периферийного устройства и памятью. Подобных ограничений для регистров процессорного ядра нет.

					ЮФКВ.431282.006РЭ				Лист
									49
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Более подробно о доступе к регистрам периферийных устройств см. в главе 6.

1.8.2 Регистр управления периферией

Для оперативного управления периферийными устройствами процессора K1879BM5Я был введён 32-разрядный регистр управления периферией PCR. Регистр программно доступен по чтению и записи, что позволяет узнать состояние и режим работы всех периферийных устройств или запустить/остановить сразу несколько устройств. Кроме этого имеется возможность побитной установки и сброса полей регистра, что особенно удобно при изменении режима работы только одного из устройств. Формат регистра PCR представлен на Рисунок 1-14, а функциональное назначение его полей приведено в Таблица 1-3. Более подробно влияние соответствующих разрядов регистра PCR на работу периферийных устройств отражено в разделах, описывающих работу этих периферийных устройств.

Правила работы с регистром PCR – такие же, как и с любым регистром периферийного устройства, за одним исключением – доступ к нему не зависит от номера текущего регистрового окна.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
C1F	C0R	C0TE	C0F	GBRE	LBRE	CRS	GTWE	CEN	NOT USED						
0	0	0	0	0	0	0	0	0							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
T1P	T1M	T1A	T0P	T0M	T0A	GDC	GDCA	LDCA	C1R	C1TE					
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Рисунок 1-14 - Формат регистра PCR

					ЮФКВ.431282.006РЭ					Лист
										50
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата		
18061-4		 21.05.12		18061-3						

Таблица 1-3 - Функциональное назначение полей регистра PCR

Разряд PCR	Поле	Функция	Описание	
PCR<0> - PCR<6>		Резерв		
PCR<7>	CEN	Разрешение работы кэш-памяти команд	0 – 1 –	При выборке команд из внешней памяти не используется кэш- память При выборке команд из внешней памяти используется кэш- память
PCR<8>	GTWE	Запрещение аппаратной записи в регистр GPA	0 – 1 –	Аппаратная записи разрешена Аппаратная записи запрещена
PCR<9>	CRST	Сброс содержимого кэш-памяти команд		Запись бита в поле сбрасывает содержимое кэш- памяти
PCR<10>	LBRE	Разрешение передачи локальной шины процессора	0 – 1 –	Передача шины запрещена Передача шины разрешена
PCR<11>	GBRE	Разрешение передачи глобальной шины процессора	0 – 1 –	Передача шины запрещена Передача шины разрешена
PCR<12>	C1F	Частота работы ком. порта 0	0 – 1 –	Частота передачи данных – 150 МГц. Частота передачи данных – 75 МГц.
PCR<13>	C0TE	Разрешение передачи данных ком. портом 0	0 – 1 –	Передача данных запрещена Передача данных разрешена
PCR<14>	C0RE	Разрешение приема данных ком. портом 0	0 – 1 –	Прием данных запрещен Прием данных разрешен
PCR<15>	C1F	Частота работы ком. Порта 1	0 – 1 –	Частота передачи данных – 150 МГц. Частота передачи данных – 75 МГц.
PCR<16>	C1TE	Разрешение передачи данных ком. Портом 1	0 – 1 –	Передача данных запрещена Передача данных разрешена
PCR<17>	C1RE	Разрешение приема данных ком. портом 1	0 – 1 –	Прием данных запрещен Прием данных разрешен
PCR<18>	LDCA	Разрешение работы канала DMA, работающего с локальной памятью	0 – 1 –	Канал остановлен Канал осуществляет передачу данных
PCR<19>	LDCA	Направление передачи данных каналом DMA, работающим с локальной памятью	0 – 1 –	Канал DMA передает данные из внешней памяти во внутреннюю Канал DMA передает данные из внутренней памяти во внешнюю
PCR<20>	LDCP	Приоритет канала DMA, работающего с локальной памятью, относительно ядра	0 – 1 –	Ядро имеет высший приоритет Канал DMA имеет высший приоритет
PCR<21>	GDCA	Разрешение работы канала DMA, работающего с глобальной памятью	0 – 1 -	Канал остановлен Канал осуществляет передачу данных

					ЮФКВ.431282.006РЭ				Лист
									51
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Продолжение таблицы 1- 3

Разряд PCR	Поле	Функция	Описание	
PCR<22>	GDCD	Направление передачи данных каналом DMA, работающим с глобальной памятью	0 –	Канал DMA передает данные из внешней памяти во внутреннюю
			1 –	Канал DMA передает данные из внутренней памяти во внешнюю
PCR<23>	GDCP	Приоритет канала DMA, работающего с глобальной памятью, относительно ядра	0 –	Ядро имеет высший приоритет
			1 –	Канал DMA имеет высший приоритет
PCR<24>	T0A	Разрешение работы таймера 0	0 –	Таймер 0 остановлен
			1 –	Таймер 0 осуществляет счет
PCR<25>	T0M	Режим работы таймера 0	0 –	Однократный режим работы таймера 0
			1 –	Непрерывный режим работы таймера 0
PCR<26> PCR<27>	T0P	Управление внешним выводом TIMER0	00 –	Вывод TIMER0 работает как вход счетного сигнала таймера
			01 –	Вывод TIMER0 работает как выход. Вывод меняет свое состояние при каждом обнулении таймера 0
			10 –	Вывод TIMER0 работает как выход. На вывод выдается импульс положительной полярности длительностью два процессорных такта
			11 –	Вывод TIMER0 работает как выход. На вывод выдается импульс отрицательной полярности длительностью два процессорных такта
PCR<28>	T1A	Разрешение работы таймера 1	0 –	Таймер 1 остановлен
			1 –	Таймер 1 осуществляет счет
PCR<29>	T1M	Режим работы таймера 1	0 –	Однократный режим работы таймера 1
			1 –	Непрерывный режим работы таймера 1
PCR<30> PCR<31>	T1P	Управление внешним выводом TIMER1	00 –	Вывод TIMER1 работает как вход счетного сигнала таймера
			01 –	Вывод TIMER1 работает как выход. Вывод меняет свое состояние при каждом обнулении таймера 1
			10 –	Вывод TIMER1 работает как выход. На вывод выдается импульс положительной полярности длительностью два процессорных такта
			11 –	Вывод TIMER1 работает как выход. На вывод выдается импульс отрицательной полярности длительностью два процессорных такта

					ЮФКВ.431282.006РЭ				Лист
									52
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

2 RISC- ядро

2.1 Структура RISC- ядра

RISC-ядро является одним из основных узлов процессорного ядра. Оно обеспечивает выборку и дешифрацию команд, хранение и модификацию программного счетчика PC, управление всеми исполнительными конвейерами процессора и их синхронизацию, необходимые предварительные адресные вычисления и передачу адресов к внешним адресным генераторам, а также выполняет арифметические и логические операции над 32-разрядными данными в дополнительном коде, когда использование векторного узла неэффективно. Структурная схема RISC- ядра представлена на Рисунок 2-1.

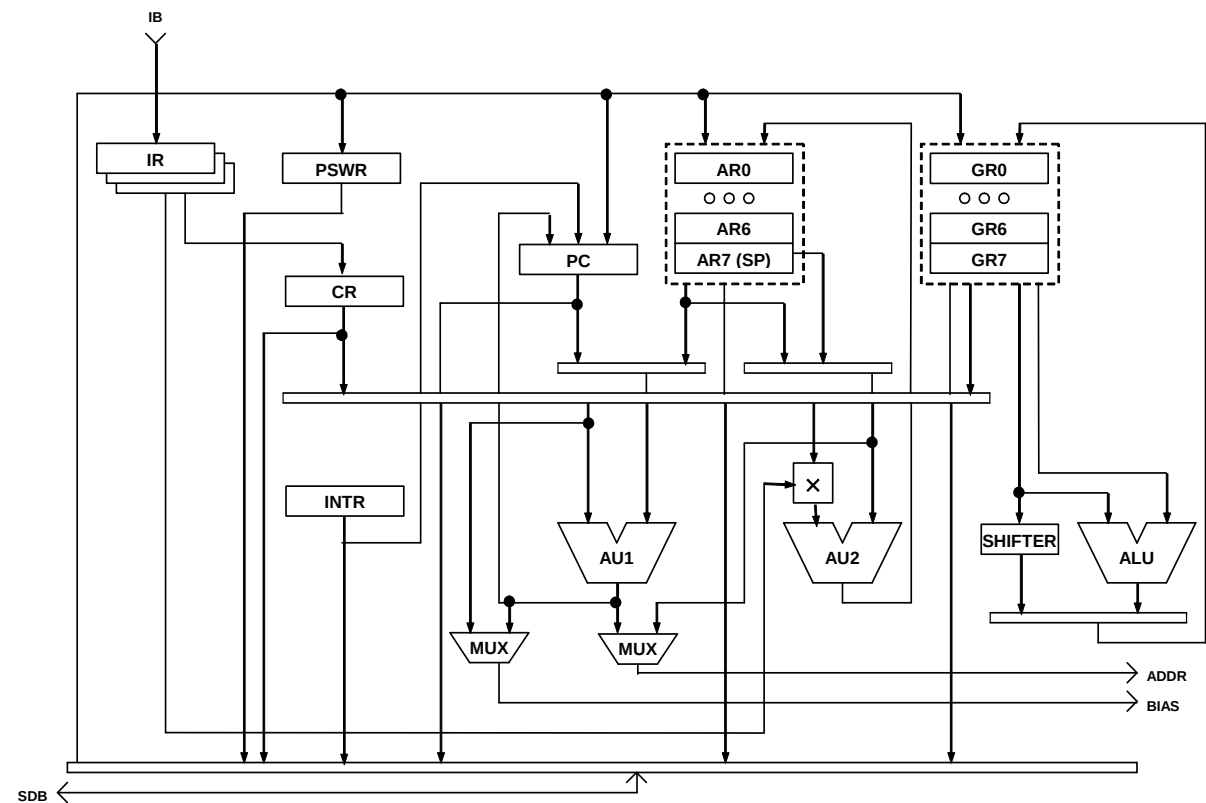


Рисунок 2-1 - Структурная схема RISC- ядра

Ниже приводится описание основных составляющих RISC- ядра:

GR0- GR7 – восемь 32-разрядных регистров общего назначения, которые используются для задания смещения при вычислении адресов команд и данных, а также в качестве источников и приёмников скалярных арифметических операций.

					ЮФКВ.431282.006РЭ				Лист
									53
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			

AR0- AR7 - восемь 32-разрядных регистров адреса, которые необходимы при вычислении адресов команд и данных. Адресный регистр AR7 (SP) является также указателем системного стека.

ALU - арифметико- логическое устройство, которое выполняет логические и арифметические операции, пошаговые операции 32-разрядного умножения над регистрами общего назначения. Результат операций также записывается в регистры общего назначения.

SHIFTER – сдвигатель, который выполняет операции сдвига над регистрами общего назначения. Результат операций также записывается в один из регистров общего назначения.

AU1 – первое адресное устройство, которое используется для формирования адреса чтения из памяти/записи в память скалярных данных или первых векторных данных, а также для вычисления адреса перехода в командах условного перехода и перехода к подпрограммам. Оно использует в качестве операндов значение адресного регистра либо счетчика команд PC в качестве адреса и значение регистра общего назначения, либо непосредственную константу из команды в качестве смещения. Результат вычислений может быть выдан на внешнюю шину адреса или смещения адреса, а также быть записан в программном счетчике PC.

AU2 – второе адресное устройство, которое используется для модификации адресных регистров при выполнении как скалярных, так и векторных команд. Оно берёт в качестве операндов значение адресного регистра либо указателя стека как базу и значение регистра общего назначения как смещение. В случае выполнения векторной команды смещение перед адресными вычислениями увеличивается в число раз, соответствующее числу повторений соответствующей векторной команды. Результат операции сохраняется в адресном регистре.

PC - счетчик команд, показывающий на адрес следующей команды, которая поступит на выполнение.

CR – буфер констант. Он хранит константу, задаваемую командой, для её использования при адресных вычислениях или для её записи в программно доступные регистры как процессорного ядра, так и периферийных узлов.

PSWR – регистр слова состояния процессора, который содержит маски на прерывания, флаги (признаки) выполнения арифметических команд, номер текущего регистрового окна, информацию для аппаратной поддержки вершины системного стека.

IR - конвейерные, программно недоступные регистры команд. Они обеспечивают управление всеми конвейерами RISC-ядра и матрично-векторного сопроцессора.

					ЮФКВ.431282.006РЭ			Лист
								54
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

2.2 Основные режимы работы RISC- ядра и методы адресации памяти

Структура RISC-процессорного ядра выбрана таким образом, чтобы он мог работать одновременно в двух режимах:

- поддержка операций матрично-векторного сопроцессора, когда ядро вычисляет адрес следующей команды, а также адрес первых векторных данных и смещение, необходимых сопроцессору;
- поддержка команд управления (организация циклов, ветвлений и т.д.) и скалярных команд обработки данных, когда RISC-ядро вычисляет адрес следующей команды, исполнительный адрес для скалярных операндов, а также выполняет арифметические и логические операции над данными в GR0- GR7.

Адрес следующей команды может быть определен либо с помощью инкрементации PC, либо путем его задания константой в коде команды, либо сложением содержимого одного из адресных регистров - AR0, ..., AR7 или PC со смещением, заданным константой в коде команды или содержимым одного из регистров общего назначения - GR0, ..., GR7. Тем самым, в RISC- процессорном ядре поддерживаются следующие команды управления (как условные, так и безусловные): переход/переход со смещением (JUMP/SKIP), переход к подпрограмме (CALL), возврат из подпрограммы/прерывания (RET/RETI).

Исполнительный адрес операндов может вычисляться с использованием следующих методов адресации: по содержимому адресного регистра без его изменения, с его инкрементацией, декрементацией, а также по сумме содержимого адресного регистра и соответствующего регистра общего назначения. Для скалярных команд кроме этого возможно определение исполнительного адреса с помощью константы, задаваемой в поле команды. Более подробно о командах управления и методах адресации можно узнать в главах 4 и 5.

2.3 Регистр слова состояния процессора PSWR

32- разрядный регистр слова состояния процессора PSWR содержит всю наиболее важную информацию о работе процессорного ядра. Данный регистр сохраняется в системном стеке при переходе к подпрограмме или прерыванию и восстанавливается при возврате из прерывания. Регистр доступен программно для чтения, записи, а также поразрядной установке или сбросу по маске. Формат регистра PSWR представлен на Рисунок 2-2, а функциональное назначение его полей приведено в Таблица 2-1. После системного сброса все разряды регистра слова состояния процессора содержат нули, что отражено внизу на рисунке 2-2.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED			STE	RESERVED		WIN	OVN	ERM	EXM	STM	Y	N	Z	V	C
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RESERVED															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Рисунок 2-2 - Формат регистра PSWR

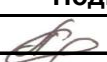
					ЮФКВ.431282.006РЭ					Лист
										55
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата		
18061-4		 21.05.12		18061-3						

Таблица 2-1 - Функциональное назначение полей регистра PSWR

Разряд PSWR	Поле	Функция	Описание	
Флаги формируемые по результатам выполнения скалярных команд				
PSW<0>	C	Признак переноса	0 – 1 –	Флаг сброшен Флаг установлен
PSW<1>	V	Признак переполнения	0 – 1 –	Флаг сброшен Флаг установлен
PSW<2>	Z	Признак нулевого результата	0 – 1 -	Флаг сброшен Флаг установлен
PSW<3>	N	Признак отрицательного результата	0 – 1 –	Флаг сброшен Флаг установлен
PSW<4>	Y	Признак заема, при выполнении операций умножения по Буту	0 – 1 –	Флаг сброшен Флаг установлен
Маски прерываний ядра				
PSW<5>	STM	Маска пошагового прерывания	0 – 1 –	Прерывание маскировано Прерывание разрешено
PSW<6>	EXM	Маска внешнего по отношению к ядру прерывания	0 – 1 –	Прерывание маскировано Прерывание разрешено
PSW<7>	ERM	Маска прерывания по запрещенной команде	0 – 1 –	Прерывание маскировано Прерывание разрешено
PSW<8>	OVM	Маска прерывания по переполнению при выполнении скалярной арифметической операции	0 – 1 –	Прерывание маскировано Прерывание разрешено
PSW<9>	WIN	Код регистрового окна	0 – 1 –	Нулевое окно Первое окно
PSW<10:11>		Reserved		
PSW<12>	STE	Разрешение работы аппаратной вершины стека	0 – 1 –	Аппаратная вершина стека отключена Аппаратная вершииа стека включена
PSW<31:13>		Reserved		

Разряды с 31 по 13 содержит служебную информацию, которая используется для работы аппаратной вершины системного стека, и программно недоступны.

2.4 Регистр запросов на прерывание INTR

32-разрядный регистр запросов на прерывание INTR хранит в себе запросы на прерывания, а также содержит информацию о состоянии каналов ПДП, коммуникационных портов, некоторых узлов матрично-векторного сопроцессора. Формат регистра INTR представлен на Рисунок 2-3, а функциональное назначение его полей приведено в Таблица 2-2. На рисунке 2-3 показано состояние разрядов регистра после системного сброса.

Регистр INTR программно доступен только на чтение и побитовый сброс запросов на прерывание. При возникновении запроса на прерывание в соответствующем бите регистра INTR устанавливается единица, которая сбрасывается, когда процессор

					ЮФКВ.431282.006РЭ			Лист
								56
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

входит в подпрограмму обработки данного прерывания, либо после программного побитового сброса.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFIFO_VAL					AF_E	NMI	OVI	ERI	EXI	IAV					
x	x	x	x	x	1	0	0	0	0	x	x	x	x	x	x

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GDMA	LDMA	CP1R	CP1T	CP0R	CP0T	RESERVED			WF_E	WF_F	VRAM_VAL				
0	0	0	0	0	0	x	x	x	1	0	x	x	x	x	x

Рисунок 2-3 - Формат регистра INTR

Таблица 2-2 - Функциональное назначение полей регистра INTR

Разряд INTR	Поле	Функция	Описание	
INTR<5:0>	IAV ¹⁾	Адрес- вектор внешнего прерывания	000100 – 000101 – 000110 – 000111 – 001000 – 001001 – 001010 – 001011 – 001100 – 001101 – 001110 – 001111 – 010000 –	PE T0 INT3 INT2 INT1 INT0 T1 DMA0 DMA1 CPI1 CPI0 CPO1 CPO0
INTR<6>	EXI	Запрос на внешнее прерывание	0 – 1 –	Отсутствие запроса Наличие запроса
INTR<7>	ERI	Запрос на прерывание по запрещенной команде	0 – 1 –	Отсутствие запроса Наличие запроса
INTR<8>	OVI	Запрос на прерывание по переполнению при выполнении скалярной арифметической операции	0 – 1 –	Отсутствие запроса Наличие запроса
INTR<9>	MNI	Запрос на немаскируемое внешнее прерывание	0 – 1 –	Отсутствие запроса Наличие запроса

					ЮФКВ.431282.006РЭ				Лист
									57
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Продолжение таблицы 2.2

Разряд INTR	Поле	Функция	Описание	
INTR<10>	AF_E	Признак пустоты AFIFO ²⁾	0 – 1 –	AFIFO не пусто AFIFO пусто
INTR<15:11>	AFIFO_VAL	Количество слов в AFIFO ²⁾ на момент окончания всех векторных команд, попавших в конвейер процессора на данный момент ²⁾	0000 – 0001 – . . . 1111 –	1 слово 2 слова . . . 32 слова
INTR<20:16>	VRAM_VAL	Количество слов в VRAM на момент окончания всех векторных команд, попавших в конвейер процессора на данный момент ²⁾	0000 – 0001 – . . . 1111 –	1 слово 2 слова . . . 32 слова
INTR<21>	WF_F	Признак полноты WFIFO ²⁾	0 – 1 –	WFIFO не заполнено WFIFO заполнено
INTR<22>	WF_E	Признак пустоты WFIFO ²⁾	0 – 1 –	WFIFO не пусто WFIFO пусто
INTR<25:23>		Reserved		
INTR<26>	CP0T	Состояние канала передачи ком. порта 0 ³⁾	0 – 1 –	Канал передачи остановлен Канал передачи активен
INTR<27>	CP0R	Состояние канала приема ком. порта 0 ³⁾	0 – 1 –	Канал приема остановлен Канал приема активен
INTR<28>	CP1T	Состояние канала передачи ком. порта 1 ³⁾	0 – 1 –	Канал передачи остановлен Канал передачи активен
INTR<29>	CP1R	Состояние канала приема ком. порта 1 ³⁾	0 – 1 –	Канал приема остановлен Канал приема активен
INTR<30>	LDMA	Состояние каналов ПДП локальной шины ³⁾	0 – 1 –	Каналы ПДП остановлены Каналы ПДП активны
INTR<31>	GDMA	Состояние каналов ПДП глобальной шины ³⁾	0 – 1 –	Каналы ПДП остановлены Каналы ПДП активны

Примечания:

- 1) Подробно система прерываний описана в разделе
- 2) AFIFO, VRAM, WFIFO – программно доступные узлы векторно-матричного сопроцессора. Подробно описаны в разделе 3
- 3) Подробно работа коммуникационных портов описана в разделе 10 ,а работа каналов ПДП память-память – в разделе 14

					ЮФКВ.431282.006РЭ				Лист
									58
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

3 Матрично-векторный сопроцессор

3.1 Структура матрично-векторного сопроцессора

Матрично-векторный сопроцессор является основным вычислительным узлом процессорного ядра. Сопроцессор ориентирован на обработку данных произвольной разрядности от 1 до 64 разрядов, упакованных в 64-разрядные слова. Структурная схема сопроцессора представлена на Рисунок 3.

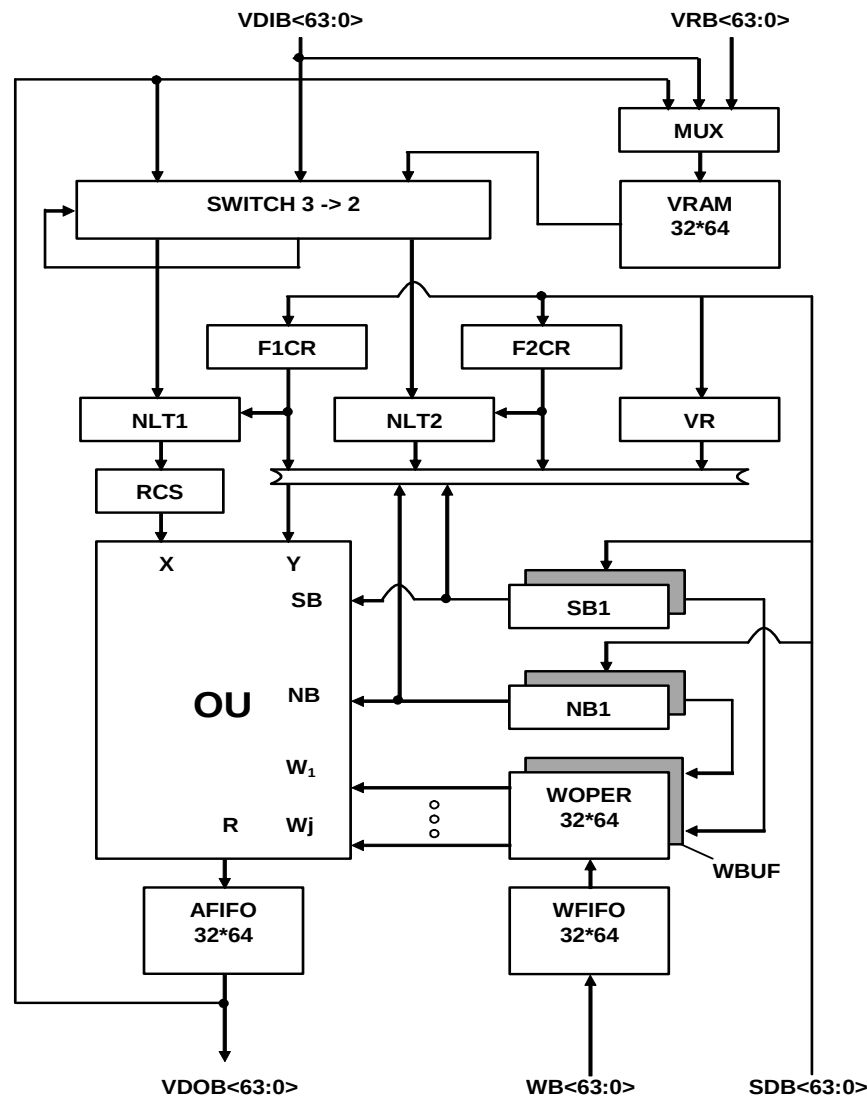


Рисунок 3-1 - Структурная схема матрично-векторного сопроцессора

					ЮФКВ.431282.006РЭ				Лист
									59
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			

Основными узлами матрично- векторного сопроцессора являются:

Операционное устройство	OU
Циклический сдвигатель вправо	RCS
Нелинейные преобразователи	NLT1, NLT2
Коммутатор 3 в 2	SWITCH 3→2
Память весовых коэффициентов и операционная память весовых коэффициентов	WBUF и WOPER
FIFO весовых коэффициентов	WFIFO
Накопительное FIFO	AFIFO
Векторный регистр	VRAM
Регистр порогов	VR
Регистры управления нелинейными преобразователями	F1CR, F2CR
Регистр границ и операционный регистр границ операнда X	SB1 и SB2
Регистр границ и операционный регистр границ операнда Y и результата R	NB1 и NB2

Работа всех перечисленных выше узлов будет описана в следующих подразделах.

3.2 Форматы векторных данных

3.2.1 Данные

Матрично-векторный сопроцессор предназначен для обработки целочисленных данных, разрядность которых может быть произвольной и в общем случае лежит в диапазоне от 1 до 64 разрядов. Однако, схемотехническая реализация ряда исполнительных узлов сопроцессора накладывает дополнительные ограничения на разрядность данных:

- множители, поступающие на вход X OU и используемые в операциях взвешенного суммирования, должны иметь четную разрядность;
- переменные, для которых вычисляется нелинейная функция активации, должны иметь не менее двух разрядов.

Целочисленные данные, используемые в арифметических операциях, должны быть представлены в дополнительном коде. Результаты арифметических операций формируются так же в дополнительном коде.

					ЮФКВ.431282.006РЭ				Лист
									60
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

3.2.2 64- разрядные слова упакованных данных

В каждом такте сопроцессор осуществляет обработку всех данных слова, поступающего на любой из его исполнительных узлов. При этом исполнительные узлы определяют границы данных в слове по содержимому соответствующих конфигурационных регистров. Разряды NB2, в которых записана 1, соответствуют старшим разрядам данных слова, поступающего на вход Y, а при выполнении арифметических операций и на вход X OU. Разряды SB2, в

которых записана 1, соответствуют младшим разрядам данных слова, поступающего на вход X OU при выполнении операции взвешенного суммирования. Если в i-м разряде F1CR записана 1, а в (i+1)-м - 0, то i-й разряд слова, поступающего на вход NLT1, будет являться старшим разрядом одного из данных, упакованных в этом слове. Аналогично F2CR определяет границы данных в слове, поступающем на вход NLT2. В качестве примера на Рисунок 3-1 приведено содержимое конфигурационных регистров для слова, состоящего из двухразрядного операнда D₁, четырехразрядного операнда D₂, шестиразрядного операнда D₃ и т.д. Здесь 'х' в NLTCR1 и NLTCR2 означает, что значение данного разряда не определяет границ данных в слове.

В регистры NB2 и SB2 информация поступает соответственно из регистров NB1 и SB1 при выполнении команды LOAD. Регистры NB1, SB1, F1CR F2CR и VR подключены к скалярной шине данных процессорного ядра – SDB<63:0> - и программно доступны по записи.

13	12	11	10	9	8	7	6	5	4	3	2	1	0	
D3								D2				D1	- слово упакованных данных	
1	0	0	0	0	0	0	0	1	0	0	0	1	0	- NB2
0	0	0	0	0	0	0	1	0	0	0	1	0	1	- SB2
1	х	х	х	х	х	х	0	1	х	х	0	1	х	- F1CR (F2CR)

Рисунок 3-1 - Форматы конфигурационных регистров

3.2.3 Матрицы весовых коэффициентов и вектора слов упакованных данных

Все исполнительные узлы сопроцессора позволяют за один такт выполнять операции над 64-разрядными словами упакованных данных. Базовой операцией является операция взвешенного суммирования, при выполнении которой в каждом такте используется матрица весовых коэффициентов, хранящаяся в WOPER. Размерность матрицы весовых коэффициентов может достигать 32 64-разрядных слов упакованных весовых коэффициентов.

С целью эффективного использования аппаратных ресурсов сопроцессора предусмотрен механизм подкачки новой матрицы весовых коэффициентов из внешней памяти на фоне выполнения операций с текущим содержимым WOPER. 64-разрядные слова упакованных весовых коэффициентов поступают с одной из

					ЮФКВ.431282.006РЭ				Лист
									61
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

внешних шин процессорного ядра – WB<63:0> - через WFIFO в WBUF. При этом процесс загрузки WBUF длится от 1 до 32 тактов в зависимости от того, сколько грузится слов упакованных весовых коэффициентов, и управляется содержимым регистров SB1 и NB1, которые задают соответственно количество слов упакованных весовых коэффициентов в матрице весов и границы весовых коэффициентов в этих 64-разрядных словах. Затем по команде LOAD за один такт содержимое WBUF переписывается в WOPER, а содержимое регистров NB1 и SB1 - в регистры NB2 и SB2 соответственно. Одновременно с этим OU может выполнять операции с использованием прежнего содержимого WOPER, NB2 и SB2.

Так как процесс загрузки матрицы весов длится от 1 до 32 тактов, то каждая векторная команда позволяет выполнять за L тактов одни и те же операции над векторами из L 64-разрядных слов упакованных данных. Переменная L задается в одном из полей команды и может принимать целочисленное значение в диапазоне от 1 до 32.

3.3 Операционное устройство OU

OU служит для выполнения арифметических и логических операций над 64-разрядными словами упакованных данных $X=\{X_K \dots X_1\}$ и $Y=\{Y_I \dots Y_1\}$, поступающими соответственно на входы X и Y OU, и матрицей весов W , которая подается на входы $W_1, \dots, W_J$ в виде J 64-разрядных слов упакованных весовых коэффициентов $W_1=\{W_{11} \dots W_{1I}\}, \dots, W_J=\{W_{J1} \dots W_{JI}\}$. Результат каждой операции формируется на выходе R в виде 64-разрядного слова упакованных данных $R=\{R_I \dots R_1\}$. Переменная I может принимать любое целочисленное значение от 1 до 64 в зависимости от содержимого NB2 (I равно количеству единиц в NB2), а переменная J - от 1 до 32 в зависимости от содержимого SB2 (J равно количеству единиц в SB2). Значения, принимаемые переменной K, зависят от типа выполняемой операции: $K=I$ - для арифметических операций, $K=J$ - для операции взвешенного суммирования.

Тип выполняемой операции задается кодом команды. Операции выполняются в конвейере с темпом одна операция за такт. Никаких признаков результатов операций OU не формирует.

OU выполняет три следующих набора операций, каждому из которых соответствует своя программная модель OU, как показано на Рисунок 3-2:

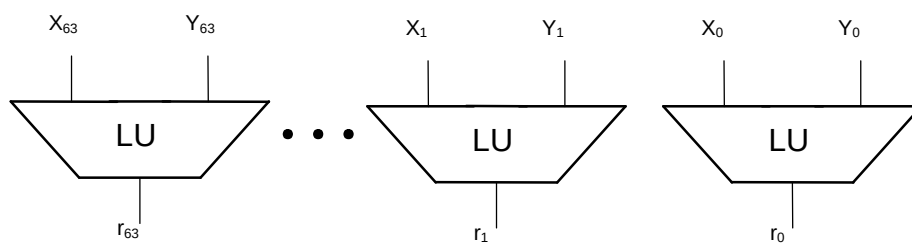
- 16 всевозможных поразрядных логических операций над 64-разрядными операндами, поступающими на входы X и Y. В данном режиме OU представляется в виде 64 параллельно работающих одноразрядных логических устройств LU, выполняющих одну и ту же логическую операцию над каждой парой разрядов входных операндов (рисунок 3- 3а). Содержимое регистров SB2 и NB2 не влияет на результаты логических операций.
- арифметические операции над словами X и Y: $X_i + Y_i$; $X_i - Y_i$; $X_i + 1$; $X_i - 1$, где $i=1, \dots, I$. При выполнении данных арифметических операций OU можно представить в виде I параллельно включенных арифметических устройств AU, выполняющих одну и ту же арифметическую операцию над соответствующими данными слов X и Y (рисунок 3- 4б). Количество и разрядности AU и соответствующих данных в словах X, Y и R совпадают и

					ЮФКВ.431282.006РЭ				Лист
									62
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

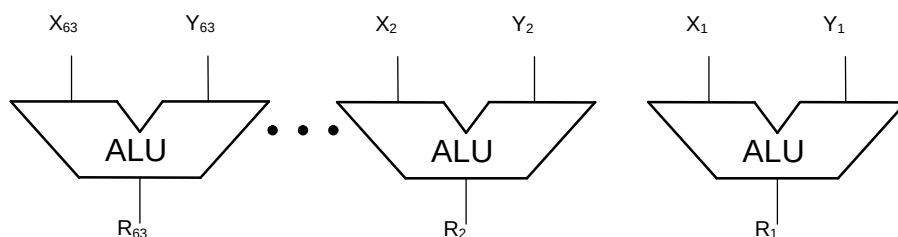
определяются содержимым регистра NB2. Содержимое регистра SB2 не влияет на результаты данных арифметических операций.

- Сложение вектора Y с произведением матрицы весов W : $R_i = Y_i + \sum W_{ij} * X_j$, где $i=1,...,I$, $j=1,...,J$. При выполнении данной операции, получившей также название взвешенного суммирования, ОУ можно представить в виде I параллельно работающих схем, каждая из которых содержит J умножителей и один $(J+1)$ - операндный сумматор (рисунок 3- 4с). Количество I и разрядности соответствующих операндов в словах Y , $WJ,...,W1$ и R совпадают и определяются содержимым регистра NB2, а количество J и разрядности операндов в векторе X определяются содержимым регистра SB2. Умножители в ОУ реализованы по модифицированному алгоритму Бута, поэтому разрядность каждого операнда, входящего в состав слова X , должна быть четной.

					ЮФКВ.431282.006РЭ				Лист
									63
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					



a)



б)

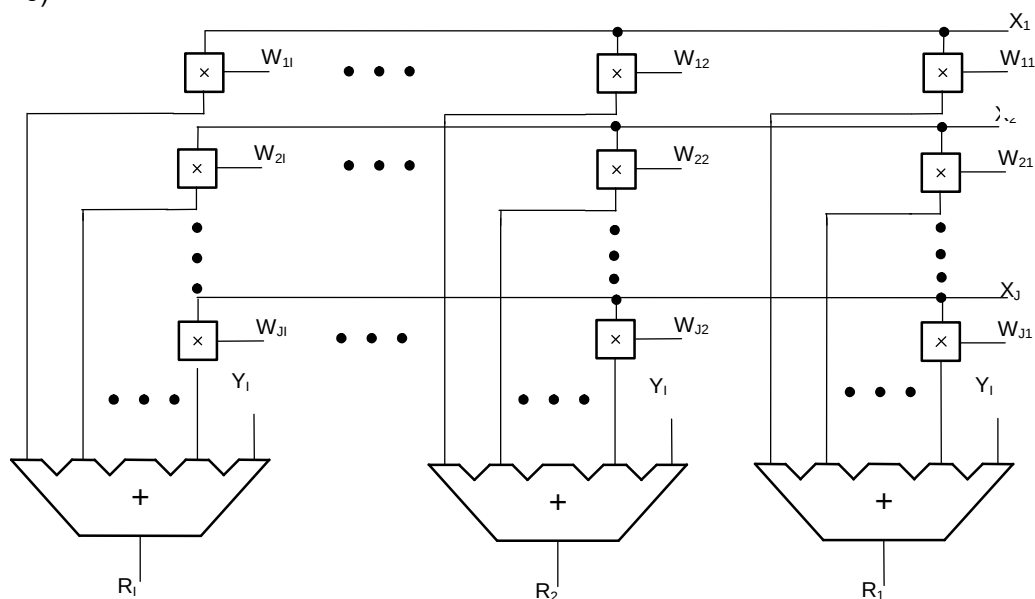


Рисунок 3-2 - Программные модели ОУ в различных режимах его работы

- а) Программная модель ОУ при выполнении логических операций.
- б) Программная модель ОУ при выполнении арифметических операций.
- с) Программная модель ОУ при выполнении взвешенного суммирования.

					ЮФКВ.431282.006РЭ			Лист
								64
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата	
18061-4				21.05.12	18061-3			

3.4 Циклический сдвигатель вправо RCS

В зависимости от кода команды 64-разрядные слова, поступающие на вход X OU, проходят через RCS без изменений или циклически сдвигаются вправо на один разряд. За один такт выполняется сдвиг одного слова как единого операнда, не зависимо от количества данных в слове.

3.5 Нелинейные преобразователи NLT1, NLT2

NLT1 и NLT2 служат для вычисления нелинейных функций активации над 64-разрядными словами упакованных данных. Для каждого нелинейного преобразователя в VU предусмотрен свой программно доступный регистр управления (F1CR для NLT1 и F2CR для NLT2), содержимое которого в зависимости от кода выполняемой команды может определять количество и разрядности данных, составляющих обрабатываемое слово, а также максимальное абсолютное значение результата вычисления функции насыщения Н для каждого составляющего слова (Рисунок 3-3 б).

NLT1 и NLT2 абсолютно идентичны, поэтому для обозначения нелинейного преобразователя далее будет использоваться мнемоника NLTx. Все сказанное о NLTx будет относиться как к NLT1, так и к NLT2. Аналогично, мнемоника FxCR используется ниже для обозначения одного из регистров F1CR или F2CR.

В зависимости от кода команды NLTx выполняет за один такт одну из трех операций над 64- разрядным словом упакованных данных:

- пропускает на выход входное слово без изменений независимо от содержимого регистра FxCR;
- вычисляет пороговую функцию для каждого операнда входного слова (Рисунок 3-3 а). При этом содержимое регистра FxCR определяет количество и разрядности данных входного и выходного слова. Формат регистра FxCR при вычислении пороговой функции представлен на Рисунок 3-1;
- вычисляет функцию насыщения для каждого операнда входного слова (Рисунок 3-3 б). При этом содержимое регистра FxCR определяет не только количество и разрядности операндов входного и выходного слов упакованных данных, но и максимальные абсолютные значения каждого операнда выходного слова. Формат регистра FxCR при вычислении функции насыщения представлен на Рисунок 3-1.
- Из представленных на Рисунок 3-1 форматов регистра FxCR следует, что минимальная разрядность операндов, составляющих обрабатываемое слово, равна двум. Поэтому за один такт NLTx может обрабатывать от 1 до 32 данных различной разрядности, суммарная разрядность которых равна 64.
- Необходимо отметить, что при прохождении слова упакованных данных через NLTx независимо от выполняемой им операции количество и разрядности операндов, составляющих 64-разрядное слово, не изменяются. Уменьшение абсолютных значений входных операндов в результате вычисления нелинейных функций активации сопровождается расширением знаковых разрядов операндов. Таким образом, NLTx служит только для

					ЮФКВ.431282.006РЭ				Лист
									65
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

уменьшения абсолютных значений входных операндов, а не для уменьшения их разрядности.

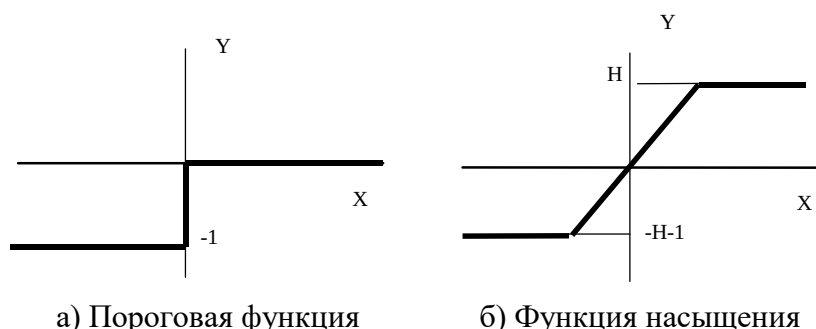


Рисунок 3-3 - Нелинейные функции активации, вычисляемые NLTx

3.6 Памяти весовых коэффициентов WBUF и WOPER

Память весовых коэффициентов состоит из двух матриц ячеек памяти WBUF и WOPER, каждая из которых имеет емкость 32x64 бита и позволяет хранить матрицу весов **W** в виде J 64- разрядных слов упакованных весовых коэффициентов: $W_1=\{W_{11} \dots W_{1J}\}, \dots, W_J=\{W_{J1} \dots W_{J1}\}$.

WOPER служит для хранения матрицы весов, используемой в операциях взвешенного суммирования, выполняемых OU. Выходы всех ячеек WOPER соединены непосредственно с соответствующими входами OU, а их входы - с выходами соответствующих ячеек WBUF. Благодаря этому запись во все ячейки WOPER осуществляется за один такт по команде LOAD. При этом содержимое WBUF целиком копируется в WOPER. Одновременно с этим содержимое регистров SB1 и NB1 копируется в регистры SB2 и NB2.

WBUF служит для подкачки из WFIFO новой матрицы весов на фоне выполнения OU текущих операций взвешенного суммирования с использованием старой матрицы весов, хранящейся в WOPER. Загрузка матрицы весов в WBUF инициируется одной командой и осуществляется за J тактов путем последовательной записи J 64- разрядных слов упакованных весовых коэффициентов, выбираемых из WFIFO. При этом количество загружаемых слов J определяется содержимым SB1 (J равно количеству единиц в SB1). В режиме записи WBUF работает по аналогии с памятью магазинного (стекового) типа. При этом первым загружается слово $W_1=\{W_{11} \dots W_{1J}\}$, а последним - слово $W_J=\{W_{J1} \dots W_{J1}\}$. Во всех этих словах количество весовых коэффициентов и границы между ними совпадают и определяются содержимым регистра NB1. Последовательность загрузки и расположение весовых коэффициентов в WBUF иллюстрируется на Рисунок 3-4.

					ЮФКВ.431282.006РЭ				Лист
									66
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

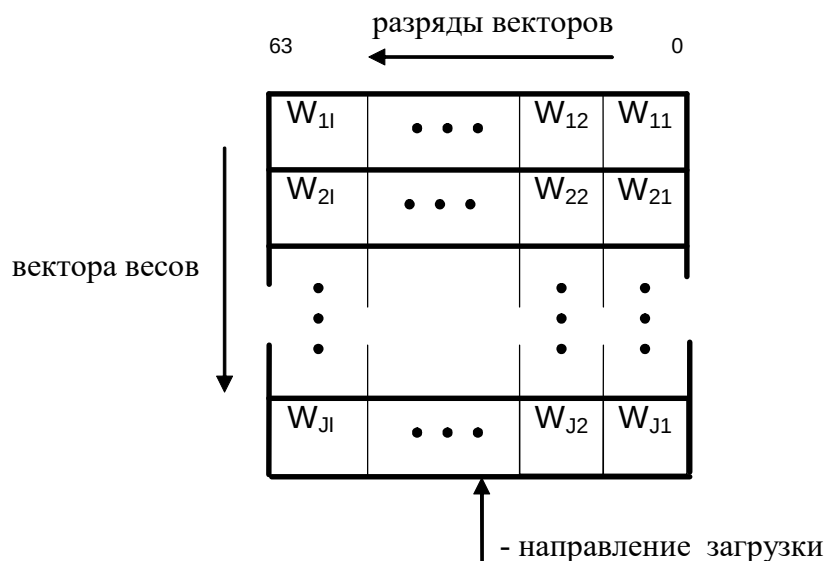


Рисунок 3-4 - Формат матрицы весов WBUF

3.7 FIFO весовых коэффициентов (WFIFO)

Двухпортовое WFIFO имеет емкость 32x64 бит и используется в качестве накопительного буфера в процессе подкачки матрицы весов в WBUF из внешней памяти. Запись и чтение из WFIFO ведется 64-разрядными словами упакованных весовых коэффициентов. Загрузка WFIFO осуществляется через входную шину данных процессорного ядра – WB<63:0>.

WFIFO введено в схему сопроцессора с целью повышения эффективности использования шин процессорного ядра в процессе подкачки весовых коэффициентов в WBUF из внешней памяти. Как отмечалось в предыдущем подразделе, загрузка матрицы весов в WBUF выполняется от 1 до 32 тактов. При этом в зависимости от содержимого теневого регистра SB1 количество загружаемых слов J может принимать целочисленное значение в диапазоне от 1 до 32. В отсутствие WFIFO непосредственная загрузка матрицы весов из внешней памяти в WBUF, проводимая при малых значениях J, приводила бы к значительным простоям в работе одной из шин. Поэтому процесс загрузки матрицы весов из внешней памяти в WBUF выполняется процессором в два этапа. Первоначально, по команде загрузки WFIFO в него записывается массив из N 64-разрядных слов упакованных весовых коэффициентов, выбираемых из внешней памяти. Значение N задается кодом команды и находится в диапазоне от 1 до 32. Затем по команде загрузки матрицы весов в WBUF J 64-разрядных слов упакованных весовых коэффициентов переписываются из WFIFO в WBUF. Следует отметить, что нецелесообразно использовать значения N, меньшие, чем значения J, так как это может привести к зависанию процессорного ядра. При N>>J в WFIFO можно записать сразу несколько матриц весов, которые затем будут последовательно переписываться в WBUF, причём команды загрузки WFIFO и WBUF могут существенно отстоять друг от друга в общем потоке команд.

					ЮФКВ.431282.006РЭ				Лист
									67
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Таким образом, WFIFO служит для согласования асинхронных процессов загрузки матрицы весов в WBUF и чтения слов упакованных весовых коэффициентов из внешней памяти. Контроль за данными процессами может осуществляться программно путем анализа флагов “WFIFO пустое” и “WFIFO полное”, которые фиксируются в регистре INTR RISC- ядра.

3.8 Накопительное FIFO (AFIFO)

Двухпортовое AFIFO емкостью 32х64 бита используется в VU в качестве аккумулятора и служит для хранения одного вектора 64-разрядных слов упакованных данных, которые являются результатом выполнения последней векторной операционной команды. В зависимости от кода команды содержимое AFIFO может пересылаться в следующие приемники:

- во внешнюю память через шину выходных данных (VDOB<63:0>);
- одновременно во внешнюю память и в VRAM через шину выходных данных;
- на входы исполнительных узлов VU по цепи обратной связи, проходящей через коммутатор 3 в 2;
- одновременно во внешнюю память и на входы исполнительных узлов VU по цепи обратной связи;
- одновременно во внешнюю память, в VRAM и на входы исполнительных узлов VU.

Выходы AFIFO и цепь обратной связи VU отделены от шины выходных данных процессорного ядра буфером. Поэтому при пересылке содержимого AFIFO только на входы исполнительных узлов сопроцессора шина выходных данных процессорного ядра остается свободной.

Необходимо отметить, что AFIFO предназначено для хранения только одного вектора слов упакованных данных. Если в последовательности выполняемых команд между двумя векторными операционными командами не встречается ни одной команды чтения из AFIFO и если вторая векторная операционная команда также не требует чтения из AFIFO, то процессор отработает эту команду, как команду NOP, и сформирует при этом внутреннее прерывание по неправильной последовательности команд.

Контроль за содержимым AFIFO может осуществляться программно путем анализа флагов “AFIFO пустое” и “AFIFO полное”, которые фиксируются в регистре INTR.

3.9 Векторный регистр VRAM

VRAM представляет собой двухпортовую память типа FIFO емкостью 32х64 бита, которая подключена к шинам векторных данных VU – VRB<63:0>, VDIB<63:0>, VDOB<63:0>. Основное отличие VRAM от обычного FIFO заключается в том, что после чтения из VRAM его содержимое не изменяется. VRAM служит для хранения одного вектора 64-разрядных слов упакованных данных, которые могут передаваться на исполнительные узлы VU через коммутатор 3 в 2. В зависимости от кода команды слова, записываемые в VRAM, выбираются из внешней памяти или из AFIFO.

					ЮФКВ.431282.006РЭ				Лист
									68
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Необходимо отметить, что VRAM предназначен для хранения только одного вектора слов упакованных данных, поэтому любая запись в RAM приводит к потере ее прежнего содержимого. Вместе с тем, допускается одновременная запись нового пакета данных и чтение предыдущего пакета.

3.10 Коммутатор 3 в 2

Коммутатор 3 в 2 обеспечивает выбор двух источников векторных данных, поступающих на входы исполнительных узлов сопроцессора. В зависимости от кода команды через коммутатор 3 в 2 на вход каждого нелинейного преобразователя могут поступать следующие вектора слов упакованных данных:

- вектора данных с нулевыми значениями всех разрядов;
- содержимое VRAM;
- содержимое AFIFO по цепи обратной связи сопроцессора;
- вектора данных из внешней памяти по шине VDIB<63:0>.

В случае, когда вектор слов упакованных данных выбирается из внешней памяти, то количество слов в нем задается кодом команды. Если же вектор выбирается из VRAM или AFIFO, то количество слов в нем равно числу 64-разрядных слов, записанных в эти памяти по предыдущим командам. Последнее связано с тем, что содержимое VRAM или AFIFO всегда считывается целиком.

Кроме функций коммутации пакетов векторных данных коммутатор 3 в 2 может выполнять функции поразрядного маскирования векторных данных, пропускаемых на исполнительные узлы VU. Если код векторной команды задает операцию маскирования, то на вход NLT1 поступает результат поразрядной логической операции И над пропускаемым на NLT1 словом упакованных данных и 64-разрядной маской, а на вход NLT2 - результат поразрядной логической операции И над пропускаемым на NLT2 словом упакованных данных и инверсией 64-разрядной маски. При этом векторам слов упакованных данных соответствует вектор масок, который выбирается одновременно с векторами слов упакованных данных из тех же источников и по тем же правилам. Фактически коммутатор 3 в 2 является полным коммутатором 3 в 3, у которого третьим выходом является маска.

Код команды может задавать одновременную обработку до трех векторов упакованных данных. Если при этом выбираются пакеты с разным количеством слов, то процессор отработает эту команду, как команду NOP, и сформирует внутреннее прерывание по запрещенной векторной команде.

3.11 Регистр порогов VR

Регистр порогов VR служит для хранения 64-разрядного слова упакованных порогов или смещений. Существуют команды, по которым при выполнении операции взвешенного суммирования содержимое VR подается на вход Y OU.

					ЮФКВ.431282.006РЭ				Лист
									69
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

4 Методы адресации памяти

4.1 Методы адресации команд

При выборе очередной команды из внешней памяти её адрес может вычисляться следующими способами:

- по содержимому счётчика адреса команд с его инкрементацией на 2 (выборка команд идёт по 64 разряда) на линейных участках программы;
- по содержимому AR-регистра или GR-регистра для команд перехода/перехода к подпрограмме с соответствующей модификацией счётчика адреса команд (PC):

PC <- AR_i, i = 0, ..., 7;

PC <- AR_i + GR_i, i = 0, ..., 7;

PC <- GR_i, i = 0, ..., 7;

PC <- PC + GR_i;

- по содержимому AR-регистра или PC с непосредственно заданным в команде смещением в виде 32-разрядной константы (Const32) для команд перехода/перехода к подпрограмме со смещением с соответствующей модификацией PC:

PC <- AR_i + Const32;

PC <- Const32;

PC <- PC + Const32.

- по содержимому стека адресов возврата, находящемуся во внешней памяти и адресуемому по содержимому указателя стека (SP) с его декрементацией на 2 для команд возврата из подпрограммы/прерывания с соответствующей модификацией PC: PC <- [- SP].

4.2 Методы адресации скалярных данных

Процессорное ядро поддерживает обмен данными с внешней памятью как скалярными, так и векторными данными, задаваемый соответственно скалярными или векторными командами. Скалярные команды задают единичную пересылку регистр <- память или память <- регистр. В зависимости от кода регистра (т.е. от его разрядности) обмен с памятью осуществляется по 32 или 64 разряда, при этом исполнительный адрес памяти (Address) может вычисляться следующими способами:

- по содержимому AR-регистра или GR-регистра с соответствующей модификацией AR- регистра:

Address <- GR_i, i = 0, ..., 7; нет модификации адресных регистров.

Address <- AR_i + GR_i; AR_i <- AR_i + GR_i, i = 0, ..., 7.

Address <- GR_i; AR_i <- GR_i, i = 0, ..., 7.

					ЮФКВ.431282.006РЭ				Лист
									70
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	

Address <- ARi + GRi; i = 0, ...,7; нет модификации адресных регистров.

Address <- ARi, i = 0, ...,7; нет модификации адресных регистров.

Address <- ARi; ARi <- ARi + GRi, i = 0, ...,7.

Address <- ARi - a; ARi <- ARi - a, i = 0, ...,7; a = 1 при адресации 32- разрядных данных, a = 2 при адресации 64- разрядных данных.

Address <- ARi; ARi <- ARi + a, i = 0, ...,7; a = 1 при адресации 32- разрядных данных, a = 2 при адресации 64- разрядных данных.

- по содержимому AR-регистра с непосредственно заданным в команде смещением в виде 32- разрядной константы (Const32):

Address <- Const32; нет модификации адресных регистров.

Address <- ARi + Const32; ARi <- ARi + Const32, i = 0, ...,7.

Address <- Const32; ARi <- Const32, i = 0, ...,7.

Address <- ARi + Const32; i = 0, ...,7; нет модификации адресных регистров.

4.3 Методы адресации векторных данных

Векторные команды задают обмен с внешней памятью блоками по N 64-разрядных слов, где N определяется кодом команды и может меняться в диапазоне от 1 до 32. Исполнительный адрес памяти при этом вычисляется по тем же правилам, что и для скалярных команд, но N раз, и N раз будет модифицирован соответствующий адресный регистр. Отличие состоит лишь в том, что для векторных команд нельзя использовать адресацию с помощью непосредственно заданного в команде смещения в виде 32-разрядной константы. Все остальные методы адресации по содержимому AR-регистра или GR-регистра с соответствующей модификацией AR-регистра остаются доступными:

- Address <- GRi, i = 0, ...,7; нет модификации адресных регистров.

Address <- ARi + GRi; ARi <- ARi + GRi, i = 0, ...,7.

Address <- GRi; ARi <- GRi, i = 0, ...,7.

- Address <- ARi + GRi; i = 0, ...,7; нет модификации адресных регистров.

- Address <- ARi, i = 0, ...,7; нет модификации адресных регистров.

Address <- ARi; ARi <- ARi + GRi, i = 0, ...,7.

Address <- ARi - 2; ARi <- ARi - 2, i = 0, ...,7.

Address <- ARi; ARi <- ARi + 2, i = 0, ...,7.

4.4 Особенности работы с системным стеком и стеками пользователя

Процессорное ядро имеет специальный регистр-указатель стека SP, с помощью которого организуется стек во внешней памяти. Этот стек используется в качестве системного при вызовах подпрограмм, обработке прерываний или возврате из них. Пользователь имеет возможность использовать его для передачи параметров между процедурами или для временного хранения своих данных, а также организовать свой

					ЮФКВ.431282.006РЭ				Лист
									71
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

стек, используя в качестве указателя стека любой из адресных регистров - AR0 - AR6.

4.4.1 Системный стек

Указатель стека SP - это 32-разрядный регистр, который содержит адрес вершины системного стека. Стек наполняется от младших адресов к старшим. SP всегда указывает на адрес, по которому будет записан следующий элемент (см. Рисунок 4-1). Запись в стек идёт в режиме постинкремента, чтение - в режиме декремента.

Запись в стек осуществляется каждый раз, когда выполняется команда перехода к подпрограмме или осуществляется вход в прерывание. В этом случае в память идёт запись по адресу в SP 64-разрядного слова, старшая часть которого содержит 32-разрядное слово состояния процессора, а младшая - 32-разрядный счётчик адреса команд, а сам SP затем увеличивается на два.

Чтение из стека происходит каждый раз, когда встречается команда возврата из подпрограммы или прерывания. В данном случае содержимое SP уменьшается на 2, по этому адресу из стека читается и восстанавливается счётчик адреса команд и старое слово состояния процессора (только для возврата из прерывания).



Рисунок 4-1 - Конфигурация системного стека

Вышеописанный механизм позволяет легко создавать программные прерывания, когда при вызове обработчика прерывания можно использовать обычную команду перехода к подпрограмме, а выйти из него можно командой возврата из прерывания.

Пользователь может также писать и читать из системного стека, пользуясь обычными методами адресации относительно AR7(SP), но при этом он должен строго следить за тем, чтобы содержимое SP было чётным. В противном случае при переходе к подпрограммам или при обработке прерываний часть данных в стеке может быть потеряна.

После системного сброса содержимое SP не определено, поэтому необходимо позаботиться о записи в него адреса начала системного стека до того, как будут разрешены прерывания или встретится хоть одна команда перехода к подпрограмме.

					ЮФКВ.431282.006РЭ				Лист
									72
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		21.05.12		18061-3					

Не существует ограничений на расположение системного стека во внешней или во внутренней памяти, лишь бы адрес начала стека был выровнен по границе 64-разрядного слова. Он может находиться как в локальной, так и в глобальной памяти, но если используется режим работы с общей памятью, желательно помещать его в ту часть памяти, которая доступна только самому процессору.

4.4.2 Аппаратная вершина системного стека

Для ускорения выполнения команд возврата из подпрограммы/прерывания в процессоре K1879BM5Я была введена аппаратная вершина стека. Программно она может отключаться с помощью обнуления 12-го разряда регистра PSWR, и тогда работа с системным стеком происходит так, как описано в предыдущем разделе. После системного сброса аппаратная вершина стека также отключена.

Чтобы включить аппаратную вершину стека, необходимо записать в 12-й разряд регистра PSWR единицу. После этого первая же команда перехода к подпрограмме или первый же вход в прерывание дублируют запись адреса возврата и PSWR в системный стек, находящийся во внешней или внутренней памяти, и в аппаратную вершину стека. При втором и дальнейших переходах к подпрограмме/входах в прерывание, в аппаратной вершине стека помимо последнего адреса возврата и копии PSWR добавляется информация, позволяющая вычислить адрес предыдущей записи в системном стеке по команде перехода к подпрограмме/ по входу в прерывание.

При выполнении команды возврата из подпрограммы/прерывания адрес возврата и состояние PSWR считывается из аппаратной вершины стека, а в саму вершину из системного стека подкачивается новое значение, позволяющее выполнить следующую команду возврата из подпрограммы/прерывания. Тем самым поддерживаются многоуровневые входы/выходы в подпрограммы/прерывания практически неограниченной глубины.

4.4.3 Стеки пользователя

Пользователь имеет возможность сам создать свой стек, используя в качестве указателя стека любой из адресных регистров - AR0 - AR6. Обмен со стеком будет осуществляться с помощью обычных методов адресации: запись в режиме постинкремента, чтение - в режиме декремента. В данном случае можно писать и читать из стека как 32-разрядные, так и 64-разрядные данные, причём в первом случае указатель стека будет меняться на +/- 1, во втором на +/- 2. Ограничение существует только на обмен 64-разрядными данными: указатель стека должен быть в этот момент выровнен на границу 64-разрядного слова. В остальном работа со стеком пользователя аналогична работе с системным стеком.

					ЮФКВ.431282.006РЭ			Лист
								73
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

5 Управление потоком команд

5.1 Векторные команды

Одной из особенностей процессора K1879BM5Я является наличие векторных команд, которые позволяют вести эффективную обработку массивов упакованных в 64-разрядные слова данных. Векторная команда может выполняться разное количество тактов - от 1 до 32 - в зависимости от кода команды. Если она однотактовая, то её работа в конвейере ни чем особенным не отличается от работы обычной скалярной команды. В случае, когда векторная команда выполняется несколько тактов, это можно рассматривать как аппаратную организацию цикла, состоящего из одной однотактовой векторной команды. Если векторные команды используют разные аппаратные ресурсы процессора, то они могут выполняться одновременно. Кроме этого возможно одновременное выполнение векторных и скалярных команд. Такое решение позволяет более полно использовать аппаратные ресурсы процессора, а также четыре банка внутренней памяти и две внешних памяти (локальную и глобальную). Например, можно одновременно читать из одного банка памяти очередной блок данных, чтобы выполнить с ним какую-либо операцию, и писать в другой банк памяти результат предыдущей векторной команды.

Поскольку векторные команды имеют по сравнению со скалярными более глубокий конвейер, их использование в общем случае оправдано, если обрабатываются блоки данных, содержащие не менее 6 64-разрядных слов. Когда данное условие не выполняется, возможны простои конвейера из-за взаимозависимостей по данным.

5.2 Команды управления

Процессорное ядро выполняет следующие команды управления:

- переход;
- переход со смещением, заданным в команде в виде 32- разрядной константы;
- переход к подпрограмме;
- переход к подпрограмме со смещением, заданным в команде в виде 32-разрядной константы;
- возврат из подпрограммы;
- возврат из прерывания.

Любая команда управления может быть как условной, так и безусловной. Адрес перехода, задаваемый в команде перехода, должен быть выровнен по границе 64-разрядного слова.

Для избежания появления пустых тактов в конвейере желательно для каждой команды перехода/перехода к подпрограмме, или возврата из подпрограммы/прерывания использовать три отложенные команды.

					ЮФКВ.431282.006РЭ				Лист
									74
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.		Подп. и дата	

5.3 Внутренние прерывания процессорного ядра

5.3.1 Типы запросов на прерывания

Процессорное ядро поддерживает как внутренние, так и внешние прерывания. Внутренними прерываниями являются:

- прерывание по переполнению при выполнении скалярных арифметических операций,
- прерывание по запрещённой векторной команде,
- отладочное пошаговое прерывание.

Также поддерживается одно внешнее немаскируемое прерывание NMI и одно внешнее маскируемое прерывание с адрес-вектором, задаваемым внешними по отношению к процессорному ядру устройствами. Прерывания имеют жестко определенный приоритет, а внутренние прерывания также и фиксированные адрес-вектора прерываний. Все прерывания, за исключением немаскируемого NMI, маскируемые. Маски определяются путем программной установки или сброса соответствующего разряда регистра слова состояния процессора PSWR.

Прерывания представлены в Таблица 5-1 в порядке уменьшения приоритета сверху вниз (при установке нескольких запросов на прерывание будет обслуживаться тот запрос, который имеет наибольший приоритет).

Таблица 5-1 - Прерывания процессорного ядра

№	Тип прерывания	Обозначение	Адрес- вектор
0	Немаскируемое внешнее прерывание	NMI	0 hex
1	Прерывание по переполнению при выполнении скалярных арифметических операций	OVI	8 hex
2	Прерывание по запрещённой команде	ERI	10 hex
3	Внешнее прерывание	EXI	20 - 80 hex
4	Пошаговое прерывание	ST	18 hex

Примечания:

*) адрес-вектора прерывания от внешних устройств 9-разрядные, причём старшие 6 разрядов определяются информацией на входной шине INTV<5:0>

5.3.2 Формирование запросов на прерывания

Запрос прерывания любого типа устанавливается только на один такт и в конце этого такта фиксируется по переднему фронту синхросигнала в соответствующем разряде регистра запросов на прерывание INTR.

Запрос по немаскируемому внешнему прерыванию возникает при приходе сигнала высокого уровня на вход NMI и фиксируется в регистре INTR в конце такта, в котором пришел данный запрос.

Запрос прерывания по переполнению при выполнении арифметической операции, заданной скалярной командой, возникает, если признак V регистра PSWR

					ЮФКВ.431282.006РЭ				Лист
									75
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

становится равным единице в результате выполнения скалярной арифметической операции. Данный запрос фиксируется в INTR одновременно с установкой в единицу бита V PSWR. Попытка изменения признака V регистра PSWR командами ввода-вывода, пересылки из регистра в регистр и записи константы данное прерывание не вызовут.

Запрос прерывания по запрещённой команде возникает при попытке выполнить команду, которая пытается сделать любое из следующих действий:

1) Для векторных команд -

- использовать данные из внешней памяти для операций в векторном процессоре, но при этом не задать операции чтения из внешней памяти;
- читать из пустого AFIFO;
- писать в непустое AFIFO, если нет операции чтения из него в той же команде;
- использовать в качестве операндов для операций в векторном узле VRAM и AFIFO, в которых находится разное число 64-разрядных данных;
- использовать в качестве операндов для операций в векторном узле VRAM и данные из внешней памяти, причём число 64-разрядных данных в VRAM не совпадает с кодом в команде, который задаёт количество обращений к внешней памяти;
- использовать в качестве операндов для операций в векторном узле AFIFO и данные из внешней памяти, причём число 64-разрядных данных в AFIFO не совпадает с кодом в команде, который задаёт количество обращений к внешней памяти;
- задать одновременно сдвиг операнда X и пороговую функцию (функцию насыщения) над этим же операндом;
- задать операцию с использованием регистра VR и с не нулевым полем, отвечающим за выбор операнда Y.

2) Для скалярных команд -

- пересылать содержимое одного периферийного регистра в другой периферийный регистр или PC;
- использовать в командах записи/чтения из памяти периферийный регистр в качестве источника/приёмника;
- менять регистр SB1 между векторными командами, содержащими операции загрузки весов из WFIFO в WBUF и перезапись весов из WBUF в WOPER. Эта ситуация может привести к самоблокировке конвейера, ликвидировать которую можно только с помощью системного сброса, либо к непредсказуемой работе процессора. Поэтому данная скалярная команда не выполняется (заменяется на код «нет операции»), а вместо её провала в конвейер фиксируется запрос на данное прерывание.

Запрос по внешнему прерыванию возникает при приходе сигнала высокого уровня на вход внешнего прерывания INTR и фиксируется в регистре INTR в конце такта, в

					ЮФКВ.431282.006РЭ				Лист
									76
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

котором пришел данный запрос, вместе с адрес-вектором IAV<5:0>, соответствующим этому внешнему прерыванию.

Запросом на пошаговое прерывание является установка в единицу соответствующей маски на данное прерывание в регистре PSWR.

После фиксации запроса на прерывание в регистре запросов INTR его обработка начнётся, если выполняются следующие условия:

- соответствующая этому прерыванию маска в PSWR равна единице;
- нет готовых к обработке других более приоритетных прерываний;
- в конвейере нет не законченных команд, меняющих маски прерываний в регистре PSWR;
- прерываемая команда не является отложенной.

Если эти условия соблюдаются, очередная команда не выполняется, а вместо неё осуществляется переход по адрес- вектору прерывания с запоминанием адреса возврата и слова состояния процессора, и соответствующий запрос в INTR сбрасывается. Другие прерывания будут запрещены, пока не произойдёт любая запись в регистр PSWR и не установятся новые маски прерываний.

В конце обработки прерывания выбирается команда возврата из прерывания, по которой восстанавливается содержимое счётчика команд и слово состояния процессора, снова выбирается команда, которая из- за прерывания не была выполнена, и продолжается обычное выполнение программы. Следует отметить, что любая команда возврата из прерывания разрешает обработку других прерываний, поскольку по ней идёт запись в PSWR старого содержимого из стека.

Когда разрешается пошаговое прерывание (режим отладки), при возврате из данного прерывания включается специальный механизм, который позволяет выбрать и исполнить очередную 64-разрядную команду или пару 32-разрядных команд, и только потом войти в новое пошаговое прерывание. Для остальных прерываний возможно по выходу из одного сразу попасть в другое прерывание.

5.4 Системный сброс

После включения питания процессор находится в неопределённом состоянии. Чтобы начать с ним работу, необходимо выставить низкий уровень на входе $\overline{RST}$ и удерживать его по меньшей мере 50 периодов опорного тактового сигнала CLK. Более подробно процесс подачи тактового сигнала и сигнала системного сброса процессора описан в главе 7.

Состояние регистров после системного сброса отражено в Таблица 5-2.

					ЮФКВ.431282.006РЭ			Лист
								77
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата	
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

Таблица 5-2 - Состояние регистров процессора после системного сброса

Регистр	Состояние после системного сброса	Примечание
PC	0000.0000.0000.0000.0000.0000.0000.0000 bin	
PSWR	0000.0000.0000.0000.0000.0000.0000.0000 bin	
INTR	0000.00xx.x10x.xxxx.xxxx. x100.00xx.xxxx bin	
PCR	0000.0000.0000.0000.0000.0000.0000.0000 bin	
IMR	0000.0000.0000 bin	Все маскируемые прерывания запрещены
IRR	0000.0000.0000 bin	После начальной инициализации по коммуникационным портам или через ПДП взводится соответствующий запрос на прерывание
IOPCR	0000.0000 bin	Все выводы GPIO сконфигурированы "на ввод"

Все остальные регистры имеют неопределенное значение.

Вспомогательные векторные регистры векторного узла находятся в таком состоянии:

WFIFO и AFIFO - пусты;

VRAM – в неопределенном состоянии

					ЮФКВ.431282.006РЭ				Лист
									78
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

6 Введение в систему команд

Система команд процессора K1879BM5Я была разработана и оптимизирована так, чтобы обеспечить ему максимальную эффективность при решении задач обработки больших потоков данных. Система команд K1879BM5Я совместима с системой команд других процессоров этого же семейства и является уникальной по отношению к другим процессорам.

Характерными особенностями системы команд процессора K1879BM5Я являются:

- Фиксированная длина команды. Все команды имеют длину 32 разряда, либо 64 разряда, если старшим словом команды является непосредственно передаваемая константа.
- Сверхбольшое слово команды (VLIW). Каждая команда может задавать несколько операций, причем эти операции могут исполняться независимо.
- Аппаратная поддержка циклов. В командах, определяющих работу матрично-векторного сопроцессора, допускается задавать число повторений команды от 1 до 32.
- Принудительное включение последовательного исполнения команд. Процессорное ядро является мультиконвейерным, динамическим суперскалярным вычислительным устройством, которое может исполнять несколько команд одновременно, но, в то же время, система команд допускает блокировку параллельного исполнения нескольких команд, что значительно облегчает первоначальную отладку пользовательских программ.

Процессор использует команды, которые можно разделить на 4 основные группы: векторные команды и команды скалярные – обмена с памятью, управления и пересылки. Все команды выполняются за один такт синхронизации. Форматы команд приведены на Рисунок 6-1, краткое их описание дано ниже.

					ЮФКВ.431282.006РЭ				Лист
									79
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	

		31	30	29	28	27	26	25		24	23	22	21	20	19	18	17	16	15		0
1.1	P	0	1	MA		R/W		ARi		Рист/пр- к											КОП СК
1.2	P	1	1	0	MA		R/W		ARi		Рист/пр- к										КОП СК
63	АДРЕС (смещение)																				
2.1	P	1	1	1	Рпр- к					Рист											КОП СК
2.2	P	1	0	0	Рпр- к					0	0	x	x	x	x						КОП СК
63	КОНСТАНТА																				
3.1	P	1	0	1	KM	1		ARi		0	1	x		ARj							КОП СК
3.2	P	1	0	0	KM	1		ARi		0	1	x		ARj							КОП СК
63	КОНСТАНТА- СМЕЩЕНИЕ																				
3.3	P	1	0	1	x x	0		x x x		0	1	x		x	x x						КОП СК
3.4	P	1	0	0	x x	0		x x x		0	1	x		x	x x						КОП СК
63	КОНСТАНТА- СМЕЩЕНИЕ																				
4.1	P	0	0	0	KM	J/C		ARi		1	0			Условие							КОП СК
4.2	P	1	0	0	KM	J/C		ARi		1	0			Условие							КОП СК
63	АДРЕС (смещение)																				
4.3	P	0	0	0	1	0	0	1	1	1	1	1	1	Условие							КОП СК
4.4	P	0	0	0	0	0	1	1	1	1	1	1	1	Условие							КОП СК
5.1	P	0	0	MA		R/W		ARi		0	1	V_	W	количество							КОП ВК
												W									L
5.2	P	0	0	MA		x		ARi		0	0	1	W	количество							КОП ВК
																					L
5.3	P	0	0	x	x	x	x		x	x	x	0	0	0	W	x	x	x	x	x	КОП ВК
																					L

Рисунок 6-1 - Система команд процессора K1879BM5Я

					ЮФКВ.431282.006РЭ					Лист
										80
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12			18061-3					

6.1 Форматы команд, задающих пересылку данных регистр- память

Рист/пр- к $\leftrightarrow$ (фaдр.(ARi, GRi)); ARi $\leftarrow$ fm(ARi, GRi)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	0
1.1	P	0	1	MA			R/W	ARi										КОП СК

R/W	Направление пересылки данных
0	Чтение из памяти в Rист/пр- к
1	Запись в память из Rист/пр- к

MA			fадр.(ARi, GRi)	fM(ARi, GRi)
0	0	0	GRi	ARi
0	0	1	ARi+GRi	ARi+GRi
0	1	0	GRi	GRi
0	1	1	ARi+GRi	ARi
1	0	0	ARi	ARi
1	0	1	ARi	ARi+GRi
1	1	0	ARi- a	ARi- a
1	1	1	ARi	ARi+a

Примечание:

a=1 при адресации 32- разрядных данных;

a=2 при адресации 64- разрядных данных.

6.1.1 Рист/пр- к $\leftrightarrow$ (фaдр.(ARi, CM)); ARi $\leftarrow$ fm(ARi, CM)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	0
1.2	P	1	1	0	MA		R/W	ARi										КОП СК
63	АДРЕС (смещение)																	32

R/W	Направление пересылки данных
0	Чтение из памяти в Рист/пр- к
1	Запись в память из Рист/пр- к

MA			фaдр.(ARi, CM)	fM(ARi, CM)
0	0		Адрес	ARi
0	1		ARi+CM	ARi+CM
1	0		Адрес	Адрес
1	1		ARi+CM	ARi

					ЮФКВ.431282.006РЭ				Лист
									81
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

6.2 Форматы команд пересылки данных типа “регистр- регистр”

6.2.1 Рист→Rпр- к

	31	30	29	28	27	26	25	24	23	22		21	20	19	18	17	16	15	0
2.1	Р	1	1	1	Rпр- к							Рист				КОП СК			

6.2.2 Rпр- к←константа

	31	30	29	28	27	26	25	24	23	22		21	20	19	18	17	16	15		0
2.2	P	1	0	0	R _{пр-к}						0	0	x	x	x	x	КОП СК			
63	CONSTANTA																			32

6.3 Форматы команд модификации адресных регистров

6.3.1 ARj←fM(ARi,GRi)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	0
3.1	P	1	0	1	KM	1	ARi		0		1	x	ARj		КОП СК			

ARпр- к			AR приёмник
0	0	0	AR0
0	0	1	AR1
0	1	0	AR2
0	1	1	AR3
1	0	0	AR4
1	0	1	AR5
1	1	0	AR6
1	1	1	SP(AR7)

КМ	fM(ARi, GRi)	
0	0	ARi
0	1	ARi+GRi
1	0	GRi
1	1	PC+GRi

6.3.2 ARj←fM(ARi, CM)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	0	
3.2	P	1	0	0	KM	1	ARi				0	1	x	ARj			КОП СК		
63	CONSTANTA-СМЕЩЕНИЕ																		32

ARпр- к	См.формат 3.1
---------	---------------

КМ	fM(ARi, CM)	
0	0	ARi
0	1	ARi+CM
1	0	CM
1	1	PC+CM

					ЮФКВ.431282.006РЭ				Лист
									82
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

6.3.3 Нет операций ввода/вывода и модификации адресных регистров

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	0
3.3	P	1	0	1	x x	0	x x x	0	1	x	x	x x	КОП СК					

6.3.4 Нет операций ввода/вывода и модификации адресных регистров

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	0
3.4	P	1	0	0	x x	0	x x x	0	1	x	x	x x	КОП СК					
63	CONSTANT-OFFSET																	

6.4 Форматы команд управления

6.4.1 Переход/переход к подпрограмме

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	0
4.1	P	0	0	0	KM	J/C	ARi	1	0	Условие				КОП СК				

J/C	Тип переход
0	Переход
1	Переход к п/п

K	M	Модификация PC
0	0	PC:=ARi
0	1	PC:=ARi+GRi
1	0	PC:=GRi
1	1	PC:=PC+GRi

Условие				Анализируемое сочетание признаков
0	0	0	0	Переход, если C=0
0	0	0	1	Переход, если V=0
0	0	1	0	Переход, если N+Z=0
0	0	1	1	Переход, если N=0
0	1	0	0	Переход, если (V ⊕ N)+Z=0
0	1	0	1	Переход, если V ⊕ N=0
0	1	1	0	Переход, если Z=0
0	1	1	1	Переход безусловный
1	0	0	0	Переход, если C=1
1	0	0	1	Переход, если V=1
1	0	1	0	Переход, если N+Z=1
1	0	1	1	Переход, если N=1
1	1	0	0	Переход, если (V ⊕ N)+Z=1
1	1	0	1	Переход, если V ⊕ N=1
1	1	1	0	Переход, если Z=1
1	1	1	1	Перехода нет

					ЮФКВ.431282.006РЭ				Лист
									83
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

6.4.2 Переход/переход к подпрограмме со смещением

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	0
4.2	P	1	0	0	КМ	J/C	ARi				1	0	Условие				КОП СК	
63	АДРЕС (смещение)																	32

Тип переход	J/C	Условие	см. формат 4.1.
Переход	0		
Переход к п/п	1		

КМ	Модификация PC
0 0	PC:=ARi
0 1	PC:=ARi+ CM
1 0	PC:=Адрес
1 1	PC:=PC+CM

6.4.3 Возврат из подпрограммы

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	0
4.3	P	0	0	0	1	0	0	1	1	1	1	1	Условие				КОП СК	
	Условие см. формат 4.1.																	

6.4.4 Возврат из прерывания

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	0
4.4	P	0	0	0	0	0	1	1	1	1	1	1	Условие				КОП СК	
	Условие см. формат 4.1.																	

					ЮФКВ.431282.006РЭ				Лист
									84
Изм.	Лист	№ докум.	Подп.	Дата	Инв.№подл.	Подп. и дата	Взам.инв.№	Инв.№дубл.	Подп. и дата
					18061-4	 21.05.12	18061-3		

6.5.1 БП $\leftrightarrow$ (fадр.(ARi, GRi)); ARi $\leftarrow$ fM(ARi, GRi)


$$\mathbf{ARi} \leftarrow \mathbf{fM}(\mathbf{ARi}, \mathbf{GRi})$$


6.5.3 Нет операций ввода/вывода



Примечание: поле “количество” задает количество 64-разрядных слов, участвующих в операциях пересылок данных.

6.5.4 Форматы поля КОП СК

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	TC	BC							GRист				GRпр- к	

W	0	КЛОП	GRист2	GRист1	GRпр- к
---	---	------	--------	--------	---------

W	1	КАОП	GRист2	GRист1	GRпр- к
---	---	------	--------	--------	---------

GR			РОН - источник/приемник
0	0	0	GR0
0	0	1	GR1
0	1	0	GR2
0	1	1	GR3
1	0	0	GR4
1	0	1	GR5
1	1	0	GR6
1	1	1	GR7

W		Управление записью в GRпр- к и в регистр признаков
0	1	Есть запись в GRпр- к, нет записи признаков
1	0	Есть запись признаков, нет записи в GRпр- к
1	1	Есть запись в GRпр- к и есть запись признаков

6.5.5 Форматы поля КОП СК, задающего операцию сдвига

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	TC	BC							GRист				GRпр- к	

TC	Тип сдвига
0 0	Циклический сдвиг
0 1	Логический сдвиг
1 0	Арифметический сдвиг
1 1	Логический сдвиг через "C"

Примечание:

Поле BC задает величину сдвига в дополнительном коде:

положительное значение - сдвиг влево (от 0 до 31 разряда)

отрицательное значение - сдвиг вправо (от 1 до 32 разрядов)

"C" - признак переноса слова состояния процессора

Логический сдвиг через "C" может выполняться только на один разряд влево или вправо; сдвиги остальных типов могут выполняться на любое от 1 до 31 число разрядов влево или вправо

Сдвиг на 0 или 32 разряда любого типа воспринимается как код "нет операции", и при этом не изменяется ни приёмник результата операции GRпр- к, ни признаки.

Сдвиги от 1 до 31 разряда меняют признаки слова состояния процессора по следующим правилам:

N - признак знака - равен старшему (знаковому) разряду результата;

Z - признак нуля - равен единице, если все разряды регистра приемника GR нулевые, или нулю в противном случае;

V - признак переполнения - устанавливается в единицу только при арифметических сдвигах влево, если получаемый признак C не равен 31-разряду GR приемника, во всех остальных случаях равен нулю;

C - признак переноса, равен последнему вытолкнутому при сдвиге разряду из GR источника.

Схемы различных вариантов сдвига на один разряд изображены на Рисунок 6-2.

Сдвиги на большее число разрядов эквивалентны многократному сдвигу на единицу, хотя и выполняются за один такт работы процессора.

					ЮФКВ.431282.006РЭ				Лист
									86
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

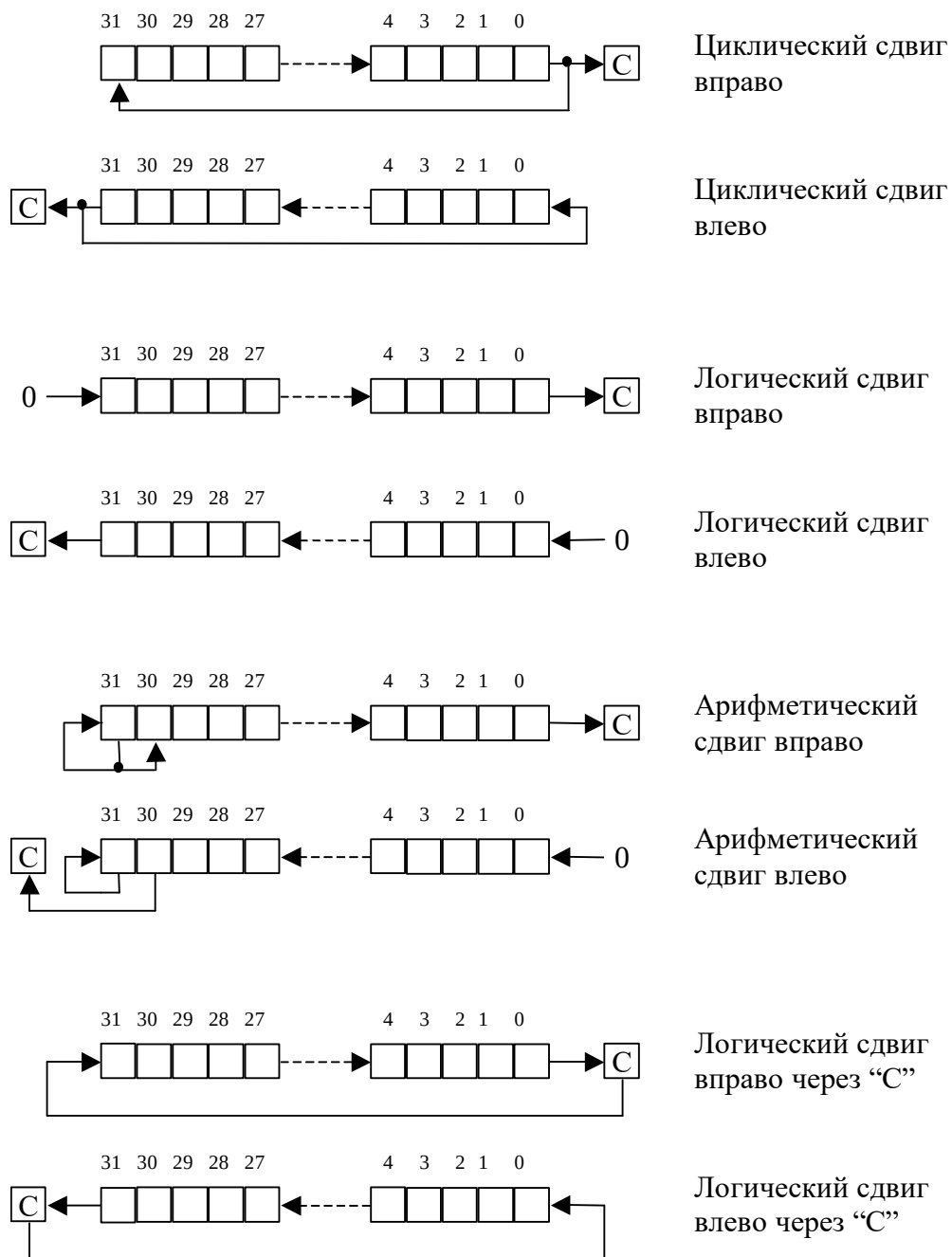


Рисунок 6-2 - Схемы выполнения различных типов операций сдвигов

					ЮФКВ.431282.006РЭ				Лист
									87
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата		
18061-4		21.05.12			18061-3				

6.5.6 Формат поля КОП СК, задающего логическую операцию

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

W	0	КЛОП	GR _{ист2}	GR _{ист1}	GRпр-к
---	---	------	--------------------	--------------------	--------

КЛОП				Код логической операции	N	Z	V	C
0	0	0	0	0	0	1	0	0
0	0	0	1	$\overline{GR_{ист2}} \& \overline{GR_{ист1}}$	+	+	0	0
0	0	1	0	$GR_{ист2} \& \overline{GR_{ист1}}$	+	+	0	0
0	0	1	1	$\overline{GR_{ист1}}$	+	+	0	0
0	1	0	0	$\overline{GR_{ист2}} \& GR_{ист1}$	+	+	0	0
0	1	0	1	$\overline{GR_{ист2}}$	+	+	0	0
0	1	1	0	$GR_{ист2} \oplus \overline{GR_{ист1}}$	+	+	0	0
0	1	1	1	$\overline{GR_{ист2}} + \overline{GR_{ист1}}$	+	+	0	0
1	0	0	0	$GR_{ист2} \& GR_{ист1}$	+	+	0	0
1	0	0	1	$GR_{ист2} \oplus \overline{GR_{ист1}}$	+	+	0	0
1	0	1	0	$GR_{ист2}$	+	+	0	0
1	0	1	1	$GR_{ист2} + \overline{GR_{ист1}}$	+	+	0	0
1	1	0	0	$GR_{ист1}$	+	+	0	0
1	1	0	1	$\overline{GR_{ист2}} + GR_{ист1}$	+	+	0	0
1	1	1	0	$GR_{ист2} + GR_{ист1}$	+	+	0	0
1	1	1	1	- 1	1	0	0	0

					ЮФКВ.431282.006РЭ				Лист
									88
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

6.5.7 Формат поля КОП СК, задающего арифметическую операцию

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

W	1	КАОП	GR _{ист2}	GR _{ист1}	GRпр-к
---	---	------	--------------------	--------------------	--------

КАОП				Код арифметической операции		Y	N	Z	V	C
0	0	0	0	GR _{ист2} -GR _{ист1}		-	+	+	+	+
0	0	0	1	GR _{ист2} -GR _{ист1} -1+"C"		-	+	+	+	+
0	0	1	0	GR _{ист2} +1		-	+	+	+	+
0	0	1	1	GR _{ист2} +"C"		-	+	+	+	+
0	1	0	0	GR _{ист2} -1		-	+	+	+	+
0	1	0	1	GR _{ист2} -1+"C"		-	+	+	+	+
0	1	1	0	GR _{ист2} + GR _{ист1}		-	+	+	+	+
0	1	1	1	GR _{ист2} + GR _{ист1} +"C"		-	+	+	+	+
1	0	0	0	Первый шаг умножения		+	?	?	0	?
1	0	0	1	Шаг умножения		+	?	?	0	?
1	0	1	X	Резерв						
1	1	0	0	-GR _{ист2}		-	+	+	+	+
1	1	X	1	Резерв						
1	1	1	X	Резерв						

Примечание:

"C" - признак переноса из слова состояния процессора.

Если в поле W задаёт запись признаков, то они устанавливаются соответственно столбцам N,Z,V,C таблиц 6.2 и 6.3., иначе они сохраняют своё значение. Признак Y меняется только операциями "Первый шаг умножения" и "Шаг умножения" независимо от поля W. В таблицах используются следующие обозначения:

"+" - признак устанавливается по результату операции;

"0" - признак обнуляется;

"1" - признак устанавливается в единицу;

"?" - значение признака не определено.

Признак Y равен предпоследнему по значимости (1- му) разряду множителя (GR7) при выполнении операций "Первый шаг умножения" и "Шаг умножения";

признак N равен 31 (знаковому) разряду результата;

признак Z равен единице, если все разряды результата нулевые, иначе - нулю;

признак V равен нулю для операций шага умножения, для остальных операций он формируется как результат операции "исключающее ИЛИ" переноса из 31 разряда и переноса в 31 разряд;

признак C равен переносу из 31 разряда.

					ЮФКВ.431282.006РЭ				Лист
									89
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

6.6 Формат поля КОП ВК

6.6.1 Общий формат поля КОП ВК

12	11	10	9	8	7	6	5	4	3	2	1
1	0	КЛОП				FPX	FPY	X		Y	

Логическая операция над операндами X и Y

1	1	КАОП				FSX	FSY	X		Y	
---	---	------	--	--	--	-----	-----	---	--	---	--

Арифметическая операция над операндами X и Y

0	1	M	0	SH	0	FPY	X		Y		
0	1	M	0	0	FPX	FPY	X		Y		

Операция маскирования $X * M + Y * \overline{M}$

0	1	0 0	1	X	X	X	0 0	0 0			
---	---	-----	---	---	---	---	-----	-----	--	--	--

Запись в AFIFO содержимого регистров F2CR, F1CR, NB2, SB2, VR

0	0	0 0	0	X	X	X	0 0	0 0			
---	---	-----	---	---	---	---	-----	-----	--	--	--

Нет операции

0	0	M	VR	SH	0	FSY	X		Y		
0	0	M	VR	0	FSX	FSY	X		Y		

Операция взвешенного суммирования типа $W * X + Y$

ОП		Выбор операнда
0	0	Операнд равен нулю
0	1	Операнд из RAM
1	0	Операнд из AFIFO
1	1	Операнд выбирается из внешней памяти

FP(FA)	Управление функцией пороговой (функцией насыщения)
0	Функция не используется
1	Функция используется

6.6.2 Формат поля КОП ВК, задающего логическую операцию

12	11	10	9	8	7	6	5	4	3	2	1
1	0	КЛОП				FPX	FPY	X		Y	

КЛОП				Код логической операции
0	0	0	0	0
0	0	0	1	$\bar{X} \& \bar{Y}$
0	0	1	0	$X \& \bar{Y}$
0	0	1	1	$\bar{Y}$
0	1	0	0	$\bar{X} \& Y$
0	1	0	1	$\bar{X}$
0	1	1	0	$X \oplus Y$
0	1	1	1	$\bar{X} + \bar{Y}$
1	0	0	0	$X \& Y$
1	0	0	1	$\bar{X} \oplus Y$
1	0	1	0	X
1	0	1	1	$X + \bar{Y}$
1	1	0	0	Y
1	1	0	1	$\bar{X} + Y$
1	1	1	0	$X + Y$
1	1	1	1	-1

6.6.3 Формат поля команд КОП ВК, задающего арифметическую операцию

12	11	10	9	8	7	6	5	4	3	2	1
1	1	КАОП				FSX	FSY	X		Y	

КАОП				Код арифметической операции
X	0	0	X	$X - Y$
X	0	1	X	$X + 1$
X	1	0	X	$X - 1$
X	1	1	X	$X + Y$

6.6.4 Операции маскирования и взвешенного суммирования

12	11	10	9	8	7	6	5	4	3	2	1
0	1	M		0	0	FPX	FPY	X		Y	
0	1	M		0	SH	0	FPY	X		Y	

Операция маскирования $X * M + Y * \overline{M}$

0	0	M		VR	0	FSX	FSY	X		Y	
0	0	M		VR	SH	0	FSY	X		Y	

Операция взвешенного суммирования типа $W * X + Y$

SH	Управление циклическим сдвигом операнда X на 1 разряд вправо
0	Нет сдвига
1	Есть сдвиг

VR	Управление выборкой регистра VR в качестве операнда Y
0	VR не является операндом Y
1	VR является операндом Y

M		Выбор операнда - маски
0	0	Маскирование отсутствует
0	1	Маска выбирается из RAM
1	0	Маска выбирается из AFIF0
1	1	Маска выбирается из внешней памяти

6.6.5 Поле управления одновременным выполнением нескольких команд

31

	Управление выполнением данной команды на фоне выполнения векторных команд
	Команда выполняется даже если еще не закончились предыдущие векторные команды
	Выполнение команды откладывается до окончания всех векторных команд

6.6.6 Поле выбора адресного регистра

25 24 23

ARi	Номер AR или GR		
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

Примечание: AR7 (SP) может использоваться в качестве системного указателя стека адресов возврата при входе/выходе из подпрограммы (прерывания), причём изменяется он в этом случае только на +/- 2.

					ЮФКВ.431282.006РЭ				Лист
									92
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

6.7 Поле R_{ист/пр-к} в командах пересылки данных

Код регистра	Регистровое окно 0		Регистровое окно 1	
	Регистр- источник	Регистр- приемник	Регистр- источник	Регистр- приемник
Регистры процессорного ядра				
0 0 0 0 0 0	GR0,AR0	GR0,AR0	GR0,AR0	GR0,AR0
0 0 0 0 0 1	GR1,AR1	GR1,AR1	GR1,AR1	GR1,AR1
0 0 0 0 1 0	GR2,AR2	GR2,AR2	GR2,AR2	GR2,AR2
0 0 0 0 1 1	GR3,AR3	GR3,AR3	GR3,AR3	GR3,AR3
0 0 0 1 0 0	GR4,AR4	GR4,AR4	GR4,AR4	GR4,AR4
0 0 0 1 0 1	GR5,AR5	GR5,AR5	GR5,AR5	GR5,AR5
0 0 0 1 1 0	GR6,AR6	GR6,AR6	GR6,AR6	GR6,AR6
0 0 0 1 1 1	GR7,AR7	GR7,AR7	GR7,AR7	GR7,AR7
0 0 1 0 0 0	-	NB	-	NB
0 0 1 0 0 1	-	SB	-	SB
0 0 1 0 1 0	-	F1CR	-	F1CR
0 0 1 0 1 1	-	F2CR	-	F2CR
0 0 1 1 0 0	-	VR	-	VR
0 0 1 1 0 1	-	PCRset	-	PCRset
0 0 1 1 1 0	-	PCRreset	-	PCRreset
0 0 1 1 1 1	PSWR,PC	PSWR,PC	PSWR,PC	PSWR,PC
0 1 0 0 0 0	AR0	AR0	AR0	AR0
0 1 0 0 0 1	AR1	AR1	AR1	AR1
0 1 0 0 1 0	AR2	AR2	AR2	AR2
0 1 0 0 1 1	AR3	AR3	AR3	AR3
0 1 0 1 0 0	AR4	AR4	AR4	AR4
0 1 0 1 0 1	AR5	AR5	AR5	AR5
0 1 0 1 1 0	AR6	AR6	AR6	AR6
0 1 0 1 1 1	AR7(SP)	AR7(SP)	AR7(SP)	AR7(SP)
0 1 1 0 0 0	GR0	GR0	GR0	GR0
0 1 1 0 0 1	GR1	GR1	GR1	GR1
0 1 1 0 1 0	GR2	GR2	GR2	GR2
0 1 1 0 1 1	GR3	GR3	GR3	GR3
0 1 1 1 0 0	GR4	GR4	GR4	GR4
0 1 1 1 0 1	GR5	GR5	GR5	GR5
0 1 1 1 1 0	GR6	GR6	GR6	GR6
0 1 1 1 1 1	GR7	GR7	GR7	GR7
1 0 0 0 0 0	-	NBL	-	NBL
1 0 0 0 0 1	-	SBL	-	SBL
1 0 0 0 1 0	-	F1CRL	-	F1CRL
1 0 0 0 1 1	-	F2CRL	-	F2CRL
1 0 0 1 0 0	-	VRL	-	VRL
1 0 0 1 0 1	PCR	PCR	PCR	PCR
1 0 0 1 1 0	INTR	INTRreset	INTR	INTRreset
1 0 0 1 1 1	PC	PC	PC	PC
1 0 1 0 0 0	-	NBH	-	NBH
1 0 1 0 0 1	-	SBH	-	SBH
1 0 1 0 1 0	-	F1CRH	-	F1CRH
1 0 1 0 1 1	-	F2CRH	-	F2CRH
1 0 1 1 0 0	-	VRH	-	VRH
1 0 1 1 0 1	-	PSWRset	-	PSWRset
1 0 1 1 1 0	-	PSWRreset	-	PSWRreset
1 0 1 1 1 1	PSWR	PSWR	PSWR	PSWR

					ЮФКВ.431282.006РЭ					Лист
										93
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12			18061-3					

Код регистра	Регистровое окно 0		Регистровое окно 1	
	Регистр- источник	Регистр- приемник	Регистр- источник	Регистр- приемник
Регистры периферийных устройств				
1 1 0 0 0 0	LEMA	LEMA	OCA0	OCA0
1 1 0 0 0 1	GEMA	GEMA	ICA0	ICA0
1 1 0 0 1 0	LIMA	LIMA	OCA1	OCA1
1 1 0 0 1 1	GIMA	GIMA	ICA1	ICA1
1 1 0 1 0 0	IOP	IOP	-	-
1 1 0 1 0 1	-	IOPset	-	-
1 1 0 1 1 0	-	IOPreset	-	-
1 1 0 1 1 1	IOPCR	IOPCR	GPA	GPA
1 1 1 0 0 0	DMAC0	DMAC0	OCC0	OCC0
1 1 1 0 0 1	DMAC1	DMAC1	ICC0	ICC0
1 1 1 0 1 0	T0	T0	OCC1	OCC1
1 1 1 0 1 1	T1	T1	ICC1	ICC1
1 1 1 1 0 0	IMR	IMR	-	LMCR0
1 1 1 1 0 1	-	IMRset	-	LMCR1
1 1 1 1 1 0	-	IMRreset	-	GMCR0
1 1 1 1 1 1	IRR	IRRreset	-	GMCR1

					ЮФКВ.431282.006РЭ				Лист
									94
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Таблица 6-1 - Обозначение регистров и их назначение

Обозначение регистров и их назначение	Разрядность
Регистры процессорного ядра	
GRI - регистр общего назначения i (i=0,...,7)	32
ARj - адресный регистр j (j=0,...,6)	32
SP(AR7) - указатель стека адресов возврата	32
PC - программный счетчик	32
PSWR - регистр слова состояния процессора	32
PSWRset - код для побитовой установки PSWR в единицу (псевдорегистр)	-
PSWRreset - код для побитового сброса PSWR в ноль (псевдорегистр)	-
INTR – регистр запросов на прерывание	32
INTRreset – код для побитового сброса INTR в ноль (псевдорегистр)	-
PCR - регистр управления периферией	32
PCRset - код для побитовой установки PCR в единицу (псевдорегистр)	-
PCRReset - код для побитового сброса PCR в ноль (псевдорегистр)	-
FiCR (H,L) - регистр управления функцией насыщения i (i=1,2) (старшая, младшая часть)	64(32)
VR(H,L) - регистр порога (старшая, младшая часть)	64(32)
NB(H,L) - i- й регистр границ нейронов (старшая, младшая часть)	64(32)
SB(H,L) - регистр границ синапсов (старшая, младшая часть)	64(32)
Регистры периферийных устройств	
Ti – таймер i (i=0, 1)	32
IRR – регистр запросов на внешние прерывания	12
IRRreset – код для побитового сброса IRR в ноль (псевдорегистр)	-
IMR – регистр масок на внешние прерывания	12
IMRset – код для побитовой установки IMR в единицу (псевдорегистр)	-
IMRreset – код для побитового сброса IMR в ноль (псевдорегистр)	-
GPA – регистр адреса гиперстраницы кеш команд	12
LMCRi - регистр i управления локальной внешней шиной (i=0, 1)	32
GMCRi - регистр i управления глобальной внешней шиной (i=0, 1)	32
LEMA - регистр адреса локальной внешней памяти каналов ПДП	32

					ЮФКВ.431282.006РЭ					Лист
										95
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12			18061-3					

GEMA - регистр адреса глобальной внешней памяти каналов ПДП	32
LIMA - регистр адреса локальной внутренней памяти каналов ПДП	15
GIMA - регистр адреса глобальной внутренней памяти каналов ПДП	15
DMACi – счетчик i- го канала ПДП (i=0, 1)	15
OCAi – регистр адреса канала вывода i- го коммуникационного порта (i=0, 1)	32
ICAi – регистр адреса канала ввода i- го коммуникационного порта (i=0, 1)	32
OCCi - счетчик канала вывода i- го коммуникационного порта (i=0, 1)	32
ICCi - счетчик канала ввода i- го коммуникационного порта (i=0, 1)	32
IOP – порт общего назначения	8
IOPset - код для побитовой установки IOP в единицу (псевдорегистр)	-
IOPreset - код для побитового сброса IOP в ноль (псевдорегистр)	-
IOPCR - регистр управления портом общего назначения	8

					ЮФКВ.431282.006РЭ				Лист
									96
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

7 Блок генерации тактового сигнала и сигнала системного сброса

Блок генерации тактового сигнала и сигнала системного сброса (CRG) предназначен для формирования внутреннего тактового сигнала процессора (PCLK), кратного опорному тактовому сигналу процессора и синфазного с ним, а также для формирования сигналов системного сброса процессора.

7.1 Структурная схема блока CRG

Структурная схема блока CRG представлена на Рисунок 7-1.

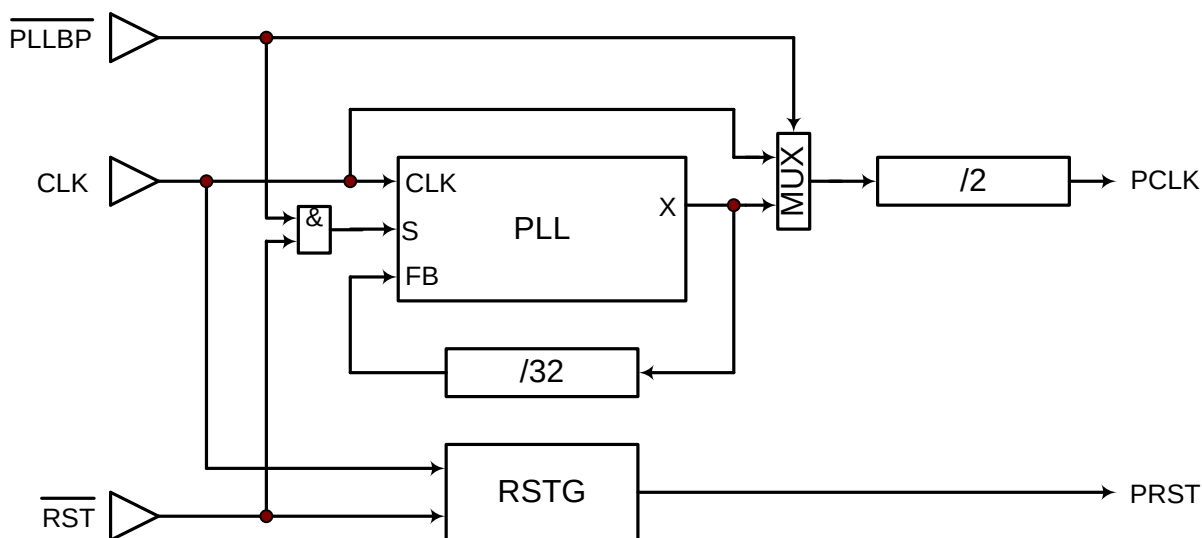


Рисунок 7-1 - Структурная схема блока CRG

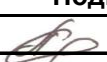
Блок CRG в своем составе содержит следующие узлы:

PLL (Phase Locked Loop) – аналоговый блок, включающий в себя высокочастотный генератор импульсного сигнала и схему фазовой автоподстройки частоты (ФАПЧ), опорной частотой которой является сигнал, подаваемый на вход CLK процессора

/32 – делитель частоты высокочастотного генератора импульсного сигнала, формирующий сигнал обратной связи (Feed Back) для схемы ФАПЧ. Коэффициент деления частоты задан аппаратно и равен 32.

/2 – выходной делитель частоты, формирующий тактовый сигнал работы процессора (PCLK). Коэффициент деления частоты задан аппаратно и равен 2.

MUX (Multiplexer) – мультиплексор тактового сигнала, управляемый с внешнего вывода PLLBP процессора. Данный мультиплексор позволяет формировать тактовый сигнал процессора (PCLK) непосредственно с внешнего вывода CLK процессора (с учетом делителя /2). В режиме формирования тактового сигнала процессора непосредственно с внешнего вывода CLK процессора аналоговый блок PLL

					ЮФКВ.431282.006РЭ			Лист
								97
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18061-4				21.05.12	18061-3			

находится в состоянии сброса и не формирует высокочастотного сигнала на выходе блока.

RSTG (Reset Generator) – блок генерации сигнала системного сброса процессора (PRST).

7.2 Внешние выводы блока CRG

С блоком генерации тактовых сигналов связаны следующие внешние выводы микросхемы: CLK, PLLBP и RST . Функциональное назначение выводов показано в Таблица 7-1.

Таблица 7-1 - Функциональное описание выводов блока генерации тактовых сигналов

Обозначение ¹⁾	Кол-во	Тип ²⁾	Функциональное назначение
CLK	1	I	Вход опорного тактового сигнала процессора
PLLBP	1	I	Вход управления режимом умножения тактовой частоты процессора
RST	1	I	Вход системного сброс

Примечания: 1) Для выводов со знаком инверсии активным является низкий уровень сигнала.
2) Используемые обозначения типов выводов:
I – вход,

Режимы работы блока генерации тактовых сигналов в зависимости от состояния конфигурационного входа показаны в Таблица 7-2.

Таблица 7-2 - Режимы работы блока CRG в зависимости от состояния конфигурационных входов

Обозначение	Функциональное назначение	Описание
PLLBP	Вход управления режимом умножения тактовой частоты процессора	0 – Аналоговый блок PLL находится в неактивном состоянии. Тактовая частота работы процессора равна половине частоты входного тактового сигнала процессора 1 – Аналоговый блок PLL находится в активном состоянии. Тактовая частота работы процессора в 16 раз выше частоты входного тактового сигнала процессора.

					ЮФКВ.431282.006РЭ				Лист
									98
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

7.3 Основные режимы работы блока CRG

Блок генерации тактового сигнала и сигналов системного сброса (CRG) может работать в следующих режимах:

- Генерация тактового сигнала процессора (PCLK) осуществляется с использованием аналогового блока PLL. (PLL mode).
- Генерация тактового сигнала процессора (PCLK) осуществляется непосредственно с внешнего вывода CLK процессора. Аналоговый блок PLL находится в неактивном состоянии (PLL by-pass mode).

Выбор режима работы блока CRG осуществляется подачей соответствующего уровня на конфигурационный вход PLLBP процессора.

В режиме с использованием аналогового блока PLL (PLL mode) на вход CLK процессора подается опорный тактовый сигнал. Частота опорного тактового сигнала должна задаваться в пределах 2,5МГц. – 20МГц. На вход системного сброса процессора (RST) должен быть подан сигнал низкого уровня длительностью не менее 50 тактов опорного тактового сигнала. Генератор сигналов сброса RSTG формирует внутренний сигнал сброса (PRST). После того как сигнал системного сброса процессора переведен в неактивное состояние (высокий уровень на входе RST) начинается установка тактового сигнала, генерируемого аналоговым блоком PLL, и синхронизация его с опорным тактовым сигналом. Процесс установки занимает 4096 тактов опорного тактового сигнала. Во время этого процесса тактовый сигнал на узлы процессора, тактируемые сигналом PCLK, не подается. Внутренний сигнал сброса процессора (PRST) находится в активном состоянии. По истечении времени установки на узлы процессора будет подан тактовый сигнал (PCLK), частота которого в 16 раз выше частоты опорного тактового сигнала. Одновременно с подачей сигнала PCLK внутренний сигнал сброса процессора (PRST) переводится в неактивное состояние. Процессор готов к работе.

В режиме генерации тактового сигнала процессора непосредственно с внешнего вывода CLK (PLL by-pass mode) аналоговый блок PLL переводится в неактивное состояние. Опорный тактовый сигнал со входа CLK процессора подается непосредственно на вход делителя частоты /2. Таким образом процессор работает на частоте равной половине частоты опорного тактового сигнала. В этом режиме частота опорного тактового сигнала не должна превышать 200МГц. После того как сигнал на входе CLK станет стабильным на вход системного сброса процессора (RST) должен быть подан сигнал низкого уровня длительностью не менее 50 тактов опорного тактового сигнала. Генератор сигналов сброса RSTG формирует внутренний сигнал сброса (PRST). После того как сигнал системного сброса процессора переведен в неактивное состояние (высокий уровень на входе RST) внутренний сигнал сброса (PRST) переводится в неактивное состояние через 64 такта опорного тактового сигнала.

					ЮФКВ.431282.006РЭ				Лист
									99
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

8 Интерфейс с внешней шиной

8.1 Общие сведения

Блоки интерфейса с внешней шиной (ЕМІ) обеспечивают обмен информацией между процессором и устройствами, подключенными к внешним шинам. В состав процессора входят два блока интерфейса с внешней шиной – блок интерфейса с локальной шиной и блок интерфейса с глобальной шиной. Каждый из блоков отвечает за свою область адресного пространства процессора. По устройству и функциональным возможностям оба блока идентичны. Ниже будет описан блок интерфейса в общем виде (в дальнейшем ЕМІ). Специфические особенности интерфейсов с глобальной и локальной шинами будут оговорены особо.

Тактовый сигнал для любого блока интерфейса задается внешним тактовым генератором.

8.2 Основные режимы работы и характеристики интерфейса

Суммарное число внешних выводов интерфейса с внешней шиной – 104, в том числе 64 вывода шины данных и 20 выводов шины адресов.

ЕМІ поддерживает мультипроцессорный режим работы с общей внешней шиной и имеет два основных режима работы - “Master” и “Slave”.

8.2.1 Режим “Master”

В режиме “Master” процессор является активным устройством, управляющим внешней шиной. В данном режиме ЕМІ позволяет осуществлять обращения к четырем банкам внешней памяти объемом до 2 Гбайт каждый в режиме произвольного доступа. (Объем адресуемой внешней памяти нулевого банка уменьшен на 128 кбайт за счет внутренней памяти процессора.)

ЕМІ позволяет работать как с 64-разрядными словами данных, так и с 32-разрядными полусловами данных.

ЕМІ обеспечивает работу с микросхемами асинхронной статической памяти (SRAM), синхронной динамической памяти (SDRAM) и синхронной статической памяти (SSRAM) без использования дополнительного внешнего оборудования. Возможность программной настройки интерфейса позволяет процессору эффективно работать с микросхемами внешней памяти различного объема и быстродействия.

Режим регенерации внешней памяти типа SDRAM поддерживается аппаратно. Начальная инициализация микросхем SDRAM может осуществляться как самим процессором, так и внешним устройством.

8.2.2 Режим “Slave”

В режиме “Slave” процессор является пассивным устройством, не управляющим внешней шиной. В данном режиме ЕМІ обеспечивает произвольный доступ

					ЮФКВ.431282.006РЭ				Лист
									100
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	

внешнего устройства к ячейкам только локальной (глобальной) внутренней памяти процессора. Таким образом, устройству, подключенному к одной из внешних шин процессора, доступна только половина внутренней памяти процессора.

Блок ЕМІ обеспечивает доступ внешнего устройства к внутренней памяти процессора в конвейерном режиме с использованием сигналов готовности (RDY и STRB).

Выборка данных из внутренней памяти и запись данных во внутреннюю память процессора осуществляется только 64- разрядными словами.

8.3 Структурная схема интерфейса с внешней шиной

Структурная схема блока ЕМІ представлена на Рисунок 8-1.

При обозначении внешних выводов интерфейса на рисунке 8-1 опущен префикс L или G. Префикс L перед наименованием внешнего вывода означает принадлежность вывода интерфейсу с локальной шиной. Префикс G перед наименованием внешнего вывода означает принадлежность вывода интерфейсу с глобальной шиной.

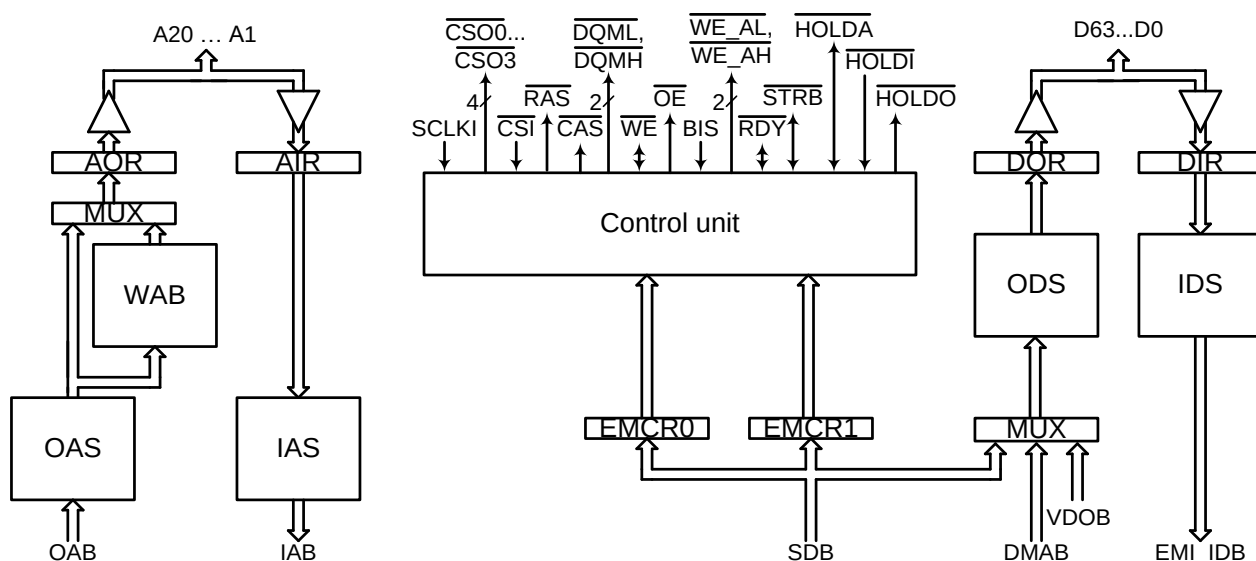


Рисунок 8-1 - Структурная схема блока интерфейса с внешней шиной

Блок ЕМІ содержит следующие узлы:

IDS (Input Data Synchronize Buffer) - буфер данных магазинного типа (FIFO), предназначенный для синхронизации процессов, протекающих на внешней шине данных процессора K1879BM5Я и на ее внутренних входных шинах данных, как в режиме чтения процессора из внешней памяти (ПРОЦЕССОР в режиме Master), так и в режиме произвольного доступа внешнего устройства к внутренней памяти

					ЮФКВ.431282.006РЭ				Лист
									101
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата		
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4				21.05.12		18061-3			

процессора (ПРОЦЕССОР в режиме Slave). Буфер позволяет существенно повысить производительность блока интерфейса при выполнении операций, требующих использования ресурсов внешней шины.

ODS (Output Data Synchronize Buffer) - буфер данных магазинного типа (FIFO), предназначенный для синхронизации процессов, протекающих на внешней шине данных ПРОЦЕССОРА K1879BM5Я и на ее внутренних выходных шинах данных, как в режиме записи данных во внешнюю память (процессор в режиме Master), так и в режиме произвольного доступа внешнего устройства к внутренней памяти процессора (процессор в режиме Slave).

DIR (Data input register) - 64-разрядный входной регистр данных, предназначенный для промежуточного хранения информации при считывании данных из внешней памяти (процессор в режиме "Master") и при записи данных во внутреннюю память процессора (процессор в режиме "Slave").

DOR (Data output register) - 64-разрядный выходной регистр данных, предназначенный для промежуточного хранения информации при записи данных во внешнюю память (процессор в режиме "Master") и при считывании данных из внутренней памяти процессора (процессор в режиме "Slave").

IAS (Input Address Synchronize Buffer) - буфер данных магазинного типа (FIFO), предназначенный для синхронизации процессов, протекающих на внешней шине адреса процессора K1879BM5Я и на ее внутренней входной шине адреса в режиме произвольного доступа внешнего устройства к внутренней памяти процессора (процессор в режиме Slave).

AIR (Address Input Register) - 15-разрядный регистр входного адреса, предназначенный для промежуточного хранения адреса при обращении внешнего устройства к внутренней памяти процессора в режиме произвольного доступа (процессор в режиме Slave).

OAS (Output Address Synchronize Buffer) - буфер данных магазинного типа (FIFO), предназначенный для синхронизации процессов, протекающих на внешней шине адреса процессора K1879BM5Я и на ее внутренней выходной шине адреса при обращении процессора к внешней памяти (процессор в режиме Master).

WAB (Write Address Buffer) - буфер данных магазинного типа (FIFO), предназначенный для временного хранения адресов внешней памяти при операциях записи данных (процессор в режиме Master). Буфер используется для накопления пакетов операций записи во внешнюю память с целью оптимизации использования внешней шины процессора.

MUX - выходной мультиплексор адреса. С помощью данного мультиплексора интерфейс осуществляет переключение между выполнением операций чтения данных из внешней памяти и выполнением операций записи данных во внешнюю память.

Формирование отдельно пакетов чтения из внешней памяти и пакетов записи во внешнюю память позволяет минимизировать переключения шины данных процессора с ввода на вывод и обратно. Если буфер **WAB** не полон, то операции

					ЮФКВ.431282.006РЭ				Лист
									102
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

чтения являются более приоритетными и обслуживаются интерфейсом в первую очередь. После заполнения буфера **WAB** интерфейс переключается на обслуживание пакета записи.

При совпадении адреса операции чтения с адресом операции записи, обслуживании пакета чтения прерывается и интерфейс переключается на обслуживание пакета записи.

AOR (Address Output Register) – 20-разрядный регистр адреса, предназначенный для промежуточного хранения адреса при обращении процессора K1879BM5Я к внешней памяти (процессор в режиме “Master”).

EMCR0 и **EMCR1** (External Memory Control Registers #0 & #1) - регистры управления интерфейсом с внешней шиной, предназначенные для задания конфигурации интерфейса и временных параметров доступа к внешней памяти. Оба регистра программно доступны на запись. Более детально эти регистры описаны в разделе 8.6.

Control Unit – устройство управления интерфейсом. На основании содержимого регистров управления EMCRO и EMCR1, а также значений внешних и внутренних управляющих сигналов устройство управления выполняет следующие функции:

- формирование сигналов управления внешней памятью,
- формирование сигналов управления при арбитраже и передаче управления внешней шиной между процессором K1879BM5Я и внешним устройством,
- формирование запросов на чтение или запись данных при обращениях к внутренней памяти процессора,
- формирование сигналов управления отдельными узлами и блоками интерфейса.

8.4 Внешние выводы интерфейса

Функциональное назначение выводов интерфейса с внешней шиной зависит от режима работы процессора, типа обмена по шине и типа используемых микросхем внешней памяти.

Функциональное назначение выводов интерфейса при работе процессора в режиме “Master” показано в

Таблица 8-1.

Функциональное назначение выводов интерфейса при работе процессора в режиме “Slave” показано в Таблица 8-2.

Режимы работы процессора в зависимости от состояния конфигурационных входов показаны в

					ЮФКВ.431282.006РЭ				Лист
									103
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Таблица 8-3.

Таблица 8-1 - Функциональное описание выводов интерфейса с внешней шиной (при работе процессора K1879BM5Я в режиме "Master")

Обозначение ^{1) 2)}	Кол-во	Тип ³⁾	Функциональное назначение в различных режимах работы		
			"Master" & SRAM	"Master" & SDRAM	"Master" & SSRAM
D0 ... D63	64	I/O	Шина данных	Шина данных	Шина данных
A1 ... A15	15	I/O	Выходы адреса	Выходы адреса	Выходы адреса
A16... A20	5	O(Z)	Выходы адреса	Выходы адреса	Выходы адреса
SCLK	1	I	Тактовый сигнал внешней шины	Тактовый сигнал внешней шины	Тактовый сигнал внешней шины
$\overline{\text{CS00}}, \overline{\text{CS01}}, \overline{\text{CS02}}, \overline{\text{CS03}}$	4	O(Z)	Выборка банка внешней памяти	Выборка банка внешней памяти	Выборка банка внешней памяти
$\overline{\text{CSI}}$	1	I	-	-	-
$\overline{\text{OE}}$	1	O(Z)	Разрешение выдачи из внешней памяти	-	Разрешение выдачи из внешней памяти
$\overline{\text{WE}}$	1	I/O	-	Разрешение записи во внешнюю память	Разрешение записи во внешнюю память
$\overline{\text{WE_AL}}, \overline{\text{WE_AH}}$	2	O(Z)	Разрешение записи в младшую/старшую половину 64-разрядного слова	-	-
$\overline{\text{RAS}}$	1	O(Z)	-	Строб адреса строки	-
$\overline{\text{CAS}}$	1	O(Z)	-	Строб адреса столбца	-
$\overline{\text{DQML}}, \overline{\text{DQMH}}$	2	O(Z)	-	Разрешение записи в младшую/старшую половину 64-разрядного слова	Разрешение записи в младшую/старшую половину 64-разрядного слова
$\overline{\text{RDY}}$	1	I/O	-	-	Вход готовности внешнего устройства
$\overline{\text{STRB}}$	1	I/O	-	-	Вход сигнала готовности данных от внешнего устройства
$\overline{\text{HOLDI}}$	1	I	Запрос внешнего устройства на захват шины		
$\overline{\text{HOLD0}}$	1	O	Запрос процессора на захват шины		
$\overline{\text{HOLDA}}$	1	I/O	Разрешение захвата шины		
BIS	1	I	Режим управления шиной после сброса		

					ЮФКВ.431282.006РЭ					Лист
										104
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12			18061-3					

Примечания:

- 1) При обозначении выводов глобального интерфейса перед наименованием вывода употребляется префикс G, а при обозначении выводов локального интерфейса перед наименованием вывода употребляется префикс L.
- 2) Для выводов со знаком инверсии активным является низкий уровень сигнала.
- 3) Используемые обозначения типов выводов:
I – вход,
O – выход,
O(Z) – выход с высокоимпедансным состоянием,
I/O – двунаправленный вывод.

					ЮФКВ.431282.006РЭ				Лист
									105
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата		
18061-4		 21.05.12			18061-3				

Таблица 8-2 - Функциональное описание выводов интерфейса с внешней шиной (при работе процессора K1879BM5Я в режиме "Slave")

Обозначение ^{1) 2)}	Кол - во	Тип ³⁾	Функциональное назначение в различных режимах работы
			"Slave"
D0 ... D63	64	I/O	Шина данных
A1 ... A15	15	I/O	Входы адреса
A16... A20	5	O(Z)	-
SCLK	1	I	Тактовый сигнал внешней шины
$\overline{\text{CS00}}$, $\overline{\text{CS01}}$, $\overline{\text{CS02}}$, $\overline{\text{CS03}}$	4	O(Z)	-
$\overline{\text{CSI}}$	1	I	Выборка внутренней памяти процессора
$\overline{\text{OE}}$	1	O(Z)	-
$\overline{\text{WE}}$	1	I/O	Разрешение записи данных во внутреннюю память
$\overline{\text{WE_AL}}$, $\overline{\text{WE_AH}}$	2	O(Z)	-
$\overline{\text{RAS}}$	1	O(Z)	-
$\overline{\text{CAS}}$	1	O(Z)	-
$\overline{\text{DQML}}$, $\overline{\text{DQMH}}$	2	O(Z)	-
$\overline{\text{RDY}}$	1	I/O	Выход готовности к приему следующего обращения к внутренней памяти
$\overline{\text{STRB}}$	1	I/O	Выход сигнала готовности данных при чтении из внутренней памяти
$\overline{\text{HOLDI}}$	1	I	Запрос внешнего устройства на захват шины
$\overline{\text{HOLDO}}$	1	O	Запрос процессора на захват шины
$\overline{\text{HOLDA}}$	1	I/O	Разрешение захвата шины
BIS	1	I	Режим управления шиной после сброса

Примечания:

- 4) При обозначении выводов глобального интерфейса перед наименованием вывода употребляется префикс G, а при обозначении выводов локального интерфейса перед наименованием вывода употребляется префикс L.
- 5) Для выводов со знаком инверсии активным является низкий уровень сигнала.
- 6) Используемые обозначения типов выводов:
I – вход,
O - выход,
O(Z) – выход с высокоимпедансным состоянием,
I/O – двунаправленный вывод

					ЮФКВ.431282.006РЭ			Лист
								106
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата	
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4				21.05.12		18061-3		

Таблица 8-3 - Режимы работы интерфейса процессора K1879BM5Я в зависимости от состояния конфигурационных входов

Обозначение	Функциональное назначение	Описание	
BIS	Принадлежность внешней шины процессора после системного сброса	0 -	Шина не принадлежит процессору
		1 -	Шина принадлежит процессору

8.5 Синхронизация работы блока интерфейса

Каждый из блоков интерфейсов тактируется своим синхросигналом независимым друг от друга и от тактового сигнала процессора. Сигнал, тактирующий работу интерфейса процессора K1879BM5Я, задается внешним образом. Генератор тактового сигнала должен быть подключен к выводу SCLK интерфейса.

8.6 Регистры конфигурации интерфейса с внешней шиной

Процессор содержит две пары программно доступных по записи управляющих регистров: LEMCR0, LEMCR1 и GEMCR0, GEMCR1. Эти управляющие регистры позволяют пользователю установить конфигурацию интерфейса и временные параметры доступа к внешней памяти. При этом пара регистров LEMCR0, LEMCR1 устанавливает конфигурационные и временные параметры интерфейса с локальной шиной, а пара регистров GEMCR0, GEMCR1 соответственно интерфейса с глобальной шиной. Так как эти пары конфигурационных регистров абсолютно идентичны, то в дальнейшем описана только пара регистров LEMCR0, LEMCR1, конфигурирующая интерфейс с локальной шиной.

8.6.1 Регистр управления LEMCR0

В регистре LEMCR0 задается общая конфигурация интерфейса с локальной шиной, а также временные и конфигурационные параметры памяти, подключенной к локальной шине. Формат регистра LEMCR0 представлен на Рисунок 8-2, а функциональное назначение его полей приведено в Таблица 8-4.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSP			SI	T _{WR}	T _{CYC}		T _{SOE}	T _{SSOE}	SST	NOT USED					
0	0	0	0	0	0	0	0	0	0	0					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NOT USED				B3TYP		B2TYP		B1TYP		B0TYP		PTYP	SDS		
				0	0	0	0	0	0	0	0	0	0	0	0

Рисунок 8-2 - Формат регистра управления интерфейсом с внешней шиной LEMCR0

					ЮФКВ.431282.006РЭ				Лист
									107
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Таблица 8-4 - Функциональное назначение полей регистра LEMCRO

Поле	Функция	Описание	
SST	Тип внешней памяти SSRAM	0 – 1 –	Flow- Through SSRAM Pipelined SSRAM
T _{SSOE}	Удержание шины данных в высокоимпедансном состоянии после снятия сигнала $\overline{OE}$ при обращении к памяти типа SSRAM	0 – 1 –	1 такт 2 такта
T _{SOE}	Удержание шины данных в высокоимпедансном состоянии после снятия сигнала $\overline{OE}$ при обращении к памяти типа SRAM	0 – 1 –	1 такт 2 такта
T _{СУС}	Время цикла чтения/записи при обращении к памяти типа SRAM	111 – 110 – 101 – 100 – 011 – 010 – 001 – 000 –	2 такта 3 такта 4 такта 5 тактов 6 тактов 7 тактов 8 тактов 9 тактов
TWR	Задержка операций записи относительно момента открывания шины данных	0 – 1 –	0 тактов 1 такт
SI	Задание параметров памяти типа SDRAM (инициализация SDRAM)	0 – 1 –	Инициализация SDRAM производится внешним образом Инициализацию SDRAM проводит процессор
CSP	Размер столбцов в памяти типа SDRAM	000 – 001 – 010 – 011 – 100 – 101 – 110 – 111 –	256 слов 512 слов резерв 1024 слов резерв 2048 слов резерв 4096 слов
SDS	Размер внешней памяти типа SDRAM (в 64- разрядных словах)	000 – 001 – 010 – 011 – 100 – 101 – 110 – 111 –	2М слов 4М слов 8М слов 16М слов 32М слов 64М слов 128М слов 256М слов
PTYP	Поддержка страничной организации при обмене по конвейерному типу памяти с RDY	0 – 1 –	Страничная организация памяти не поддерживается Страничная организация памяти поддерживается
BOGYP	Тип обмена по внешней шине при работе процессора K1879BM5Я в режиме “Master” с банком 0	00 – 01 – 10 – 11 –	Асинхронный SSRAM Конвейерный с RDY SDRAM

					ЮФКВ.431282.006РЭ				Лист
									108
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Продолжение таблицы 8 - 4

Поле	Функция	Описание	
B1TYP	Тип обмена по внешней шине при работе процессора K1879BM5Я в режиме "Master" с банком 1	00 – 01 – 10 – 11 –	Асинхронный SSRAM Конвейерный с RDY SDRAM
B2TYP	Тип обмена по внешней шине при работе процессора K1879BM5Я в режиме "Master" с банком 2	00 – 01 – 10 – 11 –	Асинхронный SSRAM Конвейерный с RDY SDRAM
B3TYP	Тип обмена по внешней шине при работе процессора K1879BM5Я в режиме "Master" с банком 3	00 – 01 – 10 – 11 –	Асинхронный SSRAM Конвейерный с RDY SDRAM

Поля SST и T_{SSOE} задают временные и конфигурационные параметры внешней памяти типа SSRAM.

- SST определяет тип используемой памяти типа SSRAM.
- T_{SSOE} задает время (в тактах внешней шины), необходимое для перевода выходов микросхем памяти типа SSRAM в высокоимпедансное состояние после снятия процессором управляющего сигнала на выводе $\overline{OE}$.

Поля T_{CYC} и T_{SOE} задают временные параметры внешней памяти типа SRAM.

- T_{CYC} задает время (в тактах внешней шины) циклов записи и чтения из микросхем памяти типа SRAM.
- T_{SOE} задает время (в тактах внешней шины), необходимое для перевода выходов микросхем памяти типа SRAM в высокоимпедансное состояние после снятия процессором управляющего сигнала на выводе $\overline{OE}$.

Поля CSP и SDS определяют конфигурационные параметры микросхем памяти типа SDRAM.

- CSP задает размер столбцов в используемых микросхемах памяти типа SDRAM.
- SDS задает объем (в 64-разрядных словах) используемой памяти типа SDRAM.

Поле SI определяет: кем производится инициализация микросхем памяти типа SDRAM. При записи в данное поле логической "1" запускается процедура инициализации SDRAM со следующими параметрами:

- Длина посылки данных (Burst Length) – 1 слово.
- Тип данных в посылке (Burst Type) – последовательный
- Задержка данных на чтение (Cas Latency) – определяется полем CL регистра состояния LEMCR1.

					ЮФКВ.431282.006РЭ			Лист
								109
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

- Длина посылки данных при записи (Write Burst Length) – 1 слово.

Инициализация SDRAM проводится после подачи сигнала Reset только один раз. Последующие установка и сброс бита SI не оказывают влияние на работу интерфейса.

Инициализация внешней памяти типа SDRAM производится одновременно во всех банках локального (глобального) интерфейса, тип обмена в которых определен как SDRAM. Для правильной инициализации необходимо, чтобы все временные и конфигурационные параметры, определяющие работу микросхем SDRAM, были заданы до начала инициализации.

Поля B3TYPE...B0TYPE определяют тип обмена по внешней локальной шине в режиме "Master". Тип обмена с каждым из четырех внешних банков памяти определяется индивидуально для каждого банка. Если в двух и более банках определен один и тот же тип внешней памяти, то временные и конфигурационные параметры микросхем памяти в этих банках должны быть идентичны.

После системного сброса все поля регистра LMCR0 обнуляются.

Общая конфигурация интерфейса с глобальной шиной задается в регистре GEMCR0 аналогично.

8.6.2 Регистр управления LEMCR1

Регистр LEMCR1 определяет временные параметры внешней памяти типа SDRAM. Формат регистра LEMCR1 представлен на рисунке 8.3, а функциональное назначение его полей приведено в Таблица 8-5.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
T _{RAS}			T _{RCD}		T _{RFC}			T _{RD} L	CL		NOT USED				
0	0	0	0	0	0	0	0	0	0	0					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NOT USED		RP													
		0	0	0	0	0	0	0	0	0	0	0	0	0	0

Рисунок 8-3 - Формат регистра управления интерфейсом с внешней шиной LEMCR1

Поля CL, T_{RD}L, T_{RFC}, T_{RCD}, T_{RAS} определяют временные параметры микросхем типа SDRAM

- CL задает задержку (в тактах внешней шины) между выдачей запроса на чтение при работе с памятью типа SDRAM и получением считываемых данных. Значение этого поля должно совпадать с соответствующим значением, записанным в регистр управления микросхем SDRAM при их начальной инициализации.

					ЮФКВ.431282.006РЭ					Лист
										110
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата		
18061-4		 21.05.12		18061-3						

- T_{RD_L} задает задержку (в тактах внешней шины) между последней командой записи в ячейку памяти из открытой строки и закрытием этой строки.
- T_{RFC} задает время (в тактах внешней шины) выполнения команд регенерации памяти.
- T_{RCD} задает время (в тактах внешней шины) выполнения команд открытия и закрытия строк памяти и время выполнения команды LMR (Load Mode Register) при инициализации SDRAM.
- T_{RAS} задает минимальное время (в тактах внешней шины) в течении которого невозможно закрыть открытую строку памяти типа SDRAM.

Таблица 8-5 - Функциональное назначение полей регистра LEMCR1

Поле	Функция	Описание	
CL	Cas Latency при обращении к памяти типа SDRAM	00 –	CL = 3 такта
		01 –	CL = 2 такта
		10 –	CL = 1 такт
		11 –	Резерв
T_{RD_L}	Задержка на закрытие строки после записи SDRAM	0 –	1 такт
		1 –	2 такта
T_{RFC}	Время регенерации строки памяти типа SDRAM	011 –	6 тактов
		010 –	7 тактов
		001 –	8 тактов
		000 –	9 тактов
		111 –	10 тактов
		110 –	11 тактов
		101 –	12 тактов
		100 –	13 тактов
T_{RCD}	Задержка выдачи сигнала CAS относительно RAS	11 –	2 такта
		10 –	3 такта
		01 –	4 такта
		00 –	5 тактов
T_{RAS}	Минимальное время, в течение которого строка памяти типа SDRAM должна быть открыта	101 –	4 такта
		100 –	5 тактов
		011 –	6 тактов
		010 –	7 тактов
		001 –	8 тактов
		000 –	9 тактов
		111 –	10 тактов
		110 –	11 тактов
RP	Период регенерации внешней памяти типа SDRAM	Значение периода регенерации в тактах частоты процессора	

Периодичность команд регенерации внешней памяти типа SDRAM определяется специальным таймером. В каждом из интерфейсов процессора (локальном или глобальном) реализован отдельный таймер регенерации. Счетным сигналом таймеров регенерации является тактовый сигнал работы процессора PCLK.

					ЮФКВ.431282.006РЭ				Лист
									111
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Период команд регенерации для памяти, подключенной к локальному интерфейсу, задается пользователем в поле RP регистра конфигурации LEMCR1. Значение, задаваемое пользователем в регистре конфигурации, определяется по формуле:

$$N = \left\lfloor \frac{T_{RP}}{N_{cyc} * T_{pclk}} \right\rfloor , \quad \text{где}$$

T_{RP} – период регенерации микросхем памяти;

N_{cyc} – количество циклов регенерации за период.

T_{pclk} – период тактовой частоты работы процессора

Значение N представляет собой целую часть данного выражения, взятую в дополнительном коде.

После системного сброса все поля регистра LMCR1 обнуляются.

Временные и конфигурационные параметры памяти типа SDRAM, расположенной в банках глобального интерфейса, задаются в регистре GEMCR1 аналогично.

8.7 Циклы обращения к внешней памяти

В данном разделе описываются циклы обращения к внешней памяти, выполняемые процессором в режиме “Master”.

На Рисунок 8-4 представлены типы обмена по внешней шине, поддерживаемые процессором K1879BM5Я в режиме “Master”. Выбор соответствующего типа обмена по шине для каждого из поддерживаемых банков внешней памяти осуществляется в соответствии с установкой полей B0TYP – B3TYP регистра конфигурации LEMCR0 для локального и GEMCR0 для глобального интерфейсов.

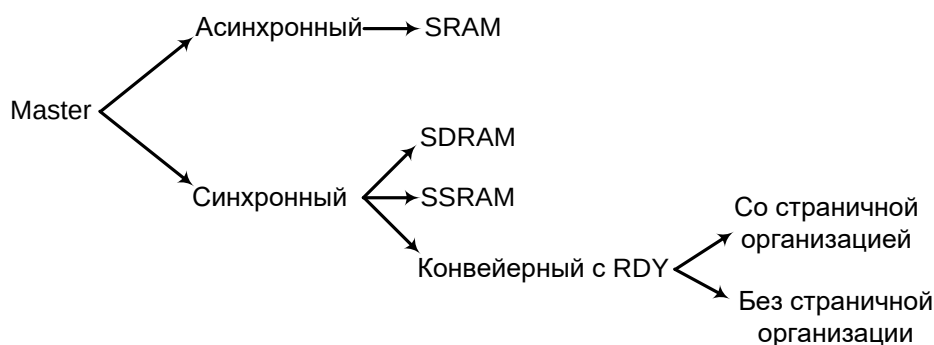


Рисунок 8-4 - Поддерживаемые типы обмена по внешней шине в режиме “Master”

Тип обмена в каждом из четырех банков внешней памяти, поддерживаемых интерфейсом, может быть произвольным. Однако если два или более банка

					ЮФКВ.431282.006РЭ				Лист
									112
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата		
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

работают с одним типом памяти, то временные и конфигурационные параметры используемых микросхем памяти данного типа должны быть идентичны.

В каждый момент времени интерфейс обслуживает один из банков памяти и соответственно настроен на работу с определенным типом памяти. Перенастройка интерфейса на обслуживание другого типа памяти происходит автоматически в момент обращения к другому банку памяти. Для того, чтобы изменения конфигурационных параметров (тип обмена, временные параметры и т.п.) банка, обслуживаемого интерфейсом в данный момент, вступили в силу, необходимо произвести обращение в другой банк памяти этого интерфейса.

После системного сброса и локальный и глобальный интерфейсы обслуживают нулевой банк памяти настроены на работу с асинхронной статической памятью (SRAM) с максимальным временем цикла чтения/записи.

8.7.1 Асинхронный тип обмена по внешней шине в режиме “Master”.

Организация циклов чтения и записи при асинхронном типе обмена по внешней шине производится с помощью управляющих выводов $\overline{CSO_i}$ (в соответствии с адресом текущего обращения к памяти), OE, WE_AL, WE_AH. Остальные управляющие выходы находятся в неактивном состоянии.

Цикл обмена по шине занимает от двух до девяти тактов сигнала SCLK. Время выполнения команд чтения и записи в данном режиме определяется полем T_{СУС} регистра конфигурации LEMCR0 для локального и GEMCR0 для глобального интерфейсов.

На Рисунок 8-5 приведены временные диаграммы циклов чтения из внешней памяти типа SRAM.

					ЮФКВ.431282.006РЭ			Лист
								113
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата	
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

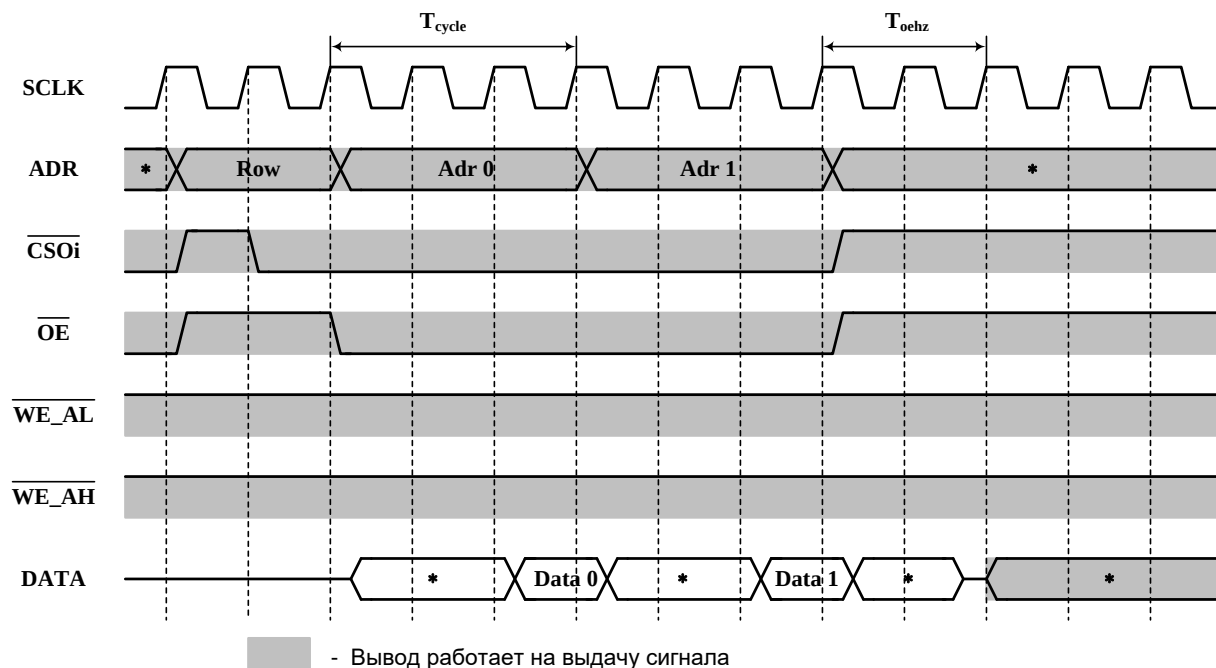


Рисунок 8-5 - Временные диаграммы циклов чтения из внешней памяти типа SRAM

Для увеличения объема подключаемой асинхронной памяти в интерфейсе поддержана страничная организация доступа. При первом обращении к данному банку памяти или при изменении старших разрядов страницы внешней памяти (разряды 28...20 текущего адреса) перед выполнением операции чтения интерфейс выполняет операцию выдачи адреса текущей страницы памяти. Данная операция всегда выполняется за два такта сигнала SCLK. В первом такте по положительному фронту сигнала SCLK, процессор K1879BM5Я выдает на внешнюю шину адрес текущей страницы. Адрес страницы формируется из адреса текущего обращения путем сдвига на восемь разрядов вправо. На Рисунок 8-6 представлено формирование адреса текущей страницы.

Одновременно с выдачей на внешнюю шину адреса текущей страницы процессор переводит управляющие сигналы CS0i и OE в неактивное состояние.

					ЮФКВ.431282.006РЭ				Лист
									114
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4		 21.05.12		18061-3					

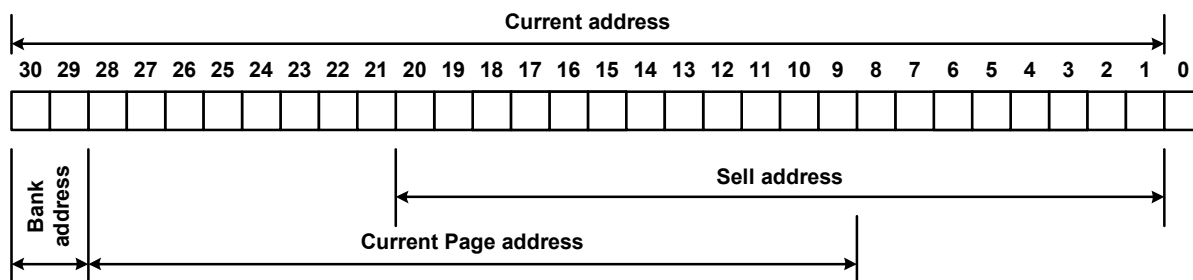


Рисунок 8-6 - Формирование адреса текущей страницы при обращении к внешней памяти типа SRAM

По следующему положительному фронту сигнала SCLK процессор активизирует сигнал CS_{0i}. Этот сигнал может быть использован для фиксации адреса текущей страницы.

При чтении из внешней памяти типа SRAM, по окончании операции выдачи адреса страницы, по положительному фронту сигнала SCLK, процессор K1879BM5Я выдает на внешнюю шину адрес требуемой ячейки памяти и сигнал OE. Через время T_{сус} по положительному фронту сигнала SCLK, считываемые данные защелкиваются во входном регистре данных. Если следующий цикл чтения не идет непосредственно за предыдущим процессор снимает сигнал OE. Вывод CS_{0i} остается в активном состоянии до момента обращения в другую страницу данного банка памяти или в другой банк памяти.

На Рисунок 8-7 приведены временные диаграммы циклов записи во внешнюю память типа SRAM.

Операция открытия текущей страницы при операциях записи во внешнюю память типа SRAM выполняется так же, как и при операциях чтения из памяти данного типа.

По окончании операции выдачи адреса страницы, при записи во внешнюю память типа SRAM, процессор K1879BM5Я по положительному фронту сигнала SCLK выдает на внешнюю шину адрес ячейки памяти, в которую выполняется запись, и записываемые данные. Через время, равное половине периода SCLK, процессор выдает сигналы разрешения записи WE_AL и WE_AH. В конце цикла записи управляющие сигналы WE_AL и WE_AH снимаются. Вывод CS_{0i} остается в активном состоянии до момента обращения в другую страницу данного банка памяти или в другой банк памяти.

					ЮФКВ.431282.006РЭ				Лист
									115
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4				21.05.12	18061-3				

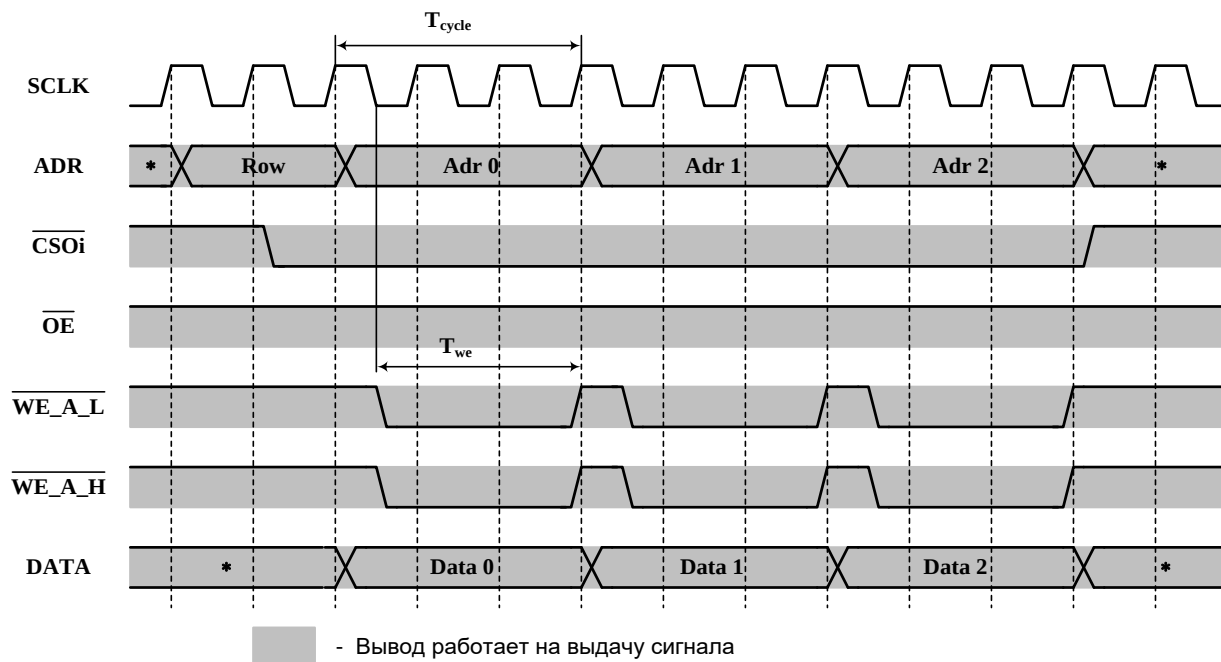


Рисунок 8-7 - Временные диаграммы циклов записи во внешнюю память типа SRAM

На Рисунок 8-8 представлены временные диаграммы цикла чтения из памяти и последующих за ним двух циклов записи в открытую страницу памяти типа SRAM.

По положительному фронту сигнала SCLK одновременно с защелкиванием считываемых данных во входном регистре процессор снимает сигнал OE. Через время T_{SOE} , определяемое полем T_{SOE} регистра конфигурации LEMCR0 для локального и GEMCR0 для глобального интерфейсов процессор выдает на внешнюю шину адрес ячейки, в которую выполняется запись и записываемые данные. Задержка на время T_{SOE} необходима для перевода выходов данных памяти в состояние “на ввод”. После этого через время, равное половине тактового сигнала шины SCLK, формируется активный уровень управляющих сигналов WE_AL и WE_AH. По окончании цикла записи процессор деактивирует эти управляющие сигналы.

					ЮФКВ.431282.006РЭ				Лист
									116
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4		 21.05.12		18061-3					

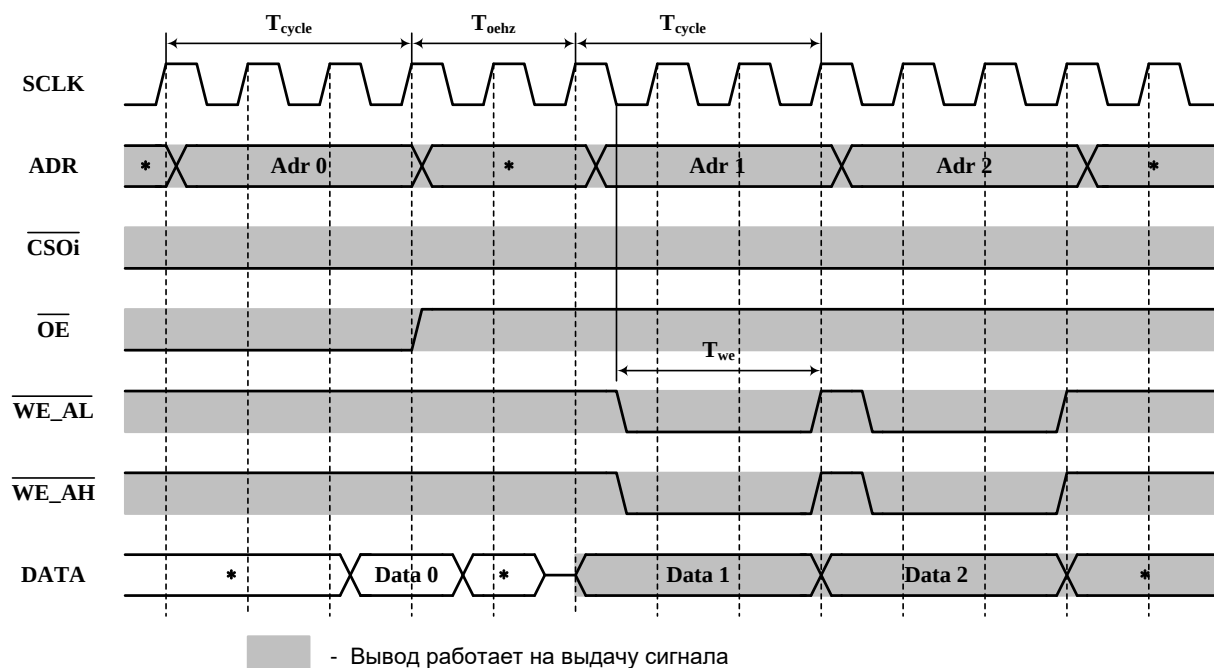


Рисунок 8-8 - Временные диаграммы последовательных циклов чтения – записи при работе с внешней памятью типа SRAM

На Рисунок 8-9 представлены временные диаграммы цикла записи в память и последующих за ним двух циклов чтения из открытой страницы памяти типа SRAM.

В конце цикла записи по положительному фронту сигнала SCLK процессор снимает сигналы WE_AL и WE_AH. Если сразу же после цикла записи идет цикл чтения из памяти, то одновременно переводятся в состояние “на ввод” выходы данных. Через время, равное одному такту сигнала SCLK, процессор выдает на шину адреса адрес требуемой ячейки памяти, а на управляющий вывод OE - сигнал низкого уровня. С этого момента начинается отсчет времени T_{Cyc} . По окончании цикла, если не производится следующего обращения к памяти, процессор снимает сигнал OE, и через время T_{SOE} переводит выходы шины данных в состояние “на вывод”.

					ЮФКВ.431282.006РЭ				Лист
									117
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4		 21.05.12		18061-3					

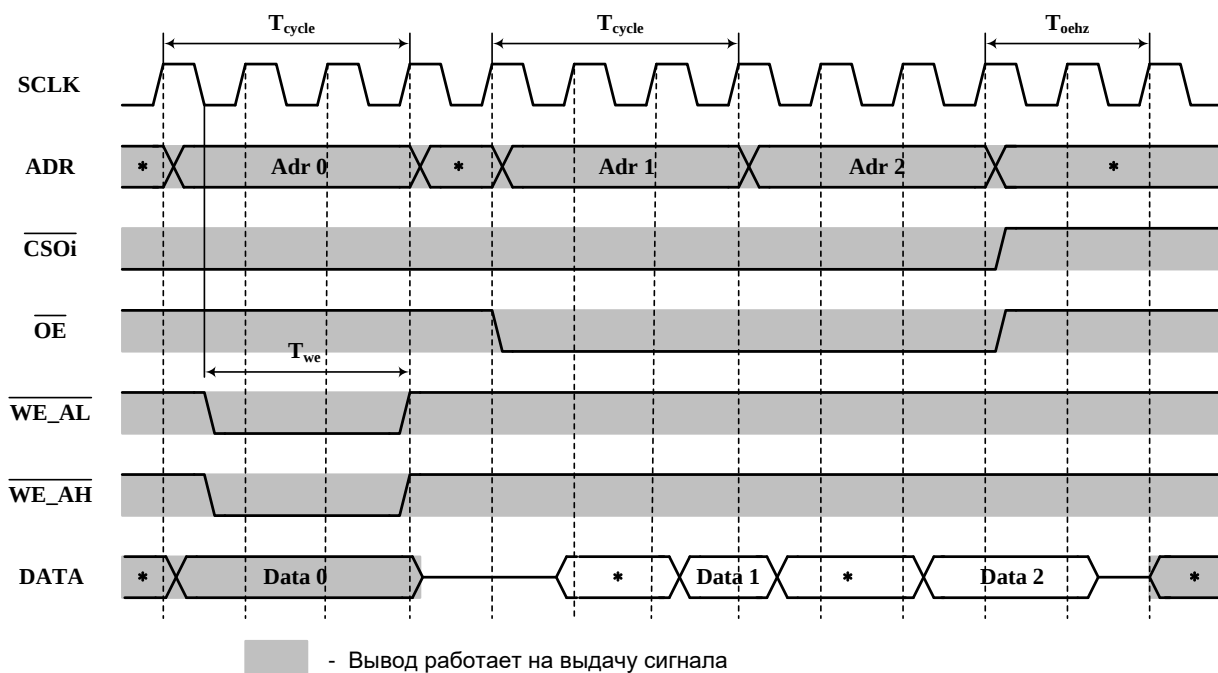


Рисунок 8-9 - Временные диаграммы последовательных циклов записи – чтения при работе с внешней памятью типа SRAM

8.7.2 Синхронный тип обмена по внешней шине в режиме “Master”

Организация циклов чтения и записи при синхронном типе обмена по внешней шине производится с помощью управляющих выводов $\overline{CS0i}$ (в соответствии с адресом текущего обращения к памяти), $\overline{OE}$, $\overline{RAS}$, $\overline{CAS}$, $\overline{WE}$, $\overline{DQML}$, $\overline{DQM\overline{H}}$, $\overline{RDY}$ и $\overline{STRB}$ (если используется обмен с сигналами готовности). Управляющие выходы $\overline{WE_AL}$ и $\overline{WE_AH}$ находится в неактивном состоянии.

Синхронный тип обмена по шине позволяет работать со следующими видами внешней памяти: синхронной динамической памятью (SDRAM), синхронной статической памятью (SSRAM). Кроме того возможен обмен данными с внешними устройствами, в конвейерном режиме с использованием сигналов готовности внешнего устройства $\overline{RDY}$ и $\overline{STRB}$. Режим работы интерфейса при синхронном типе обмена задается полями $B0TYP - B3TYP$ регистра конфигурации $LEMCR0$ для локального и $GEMCR0$ для глобального интерфейсов.

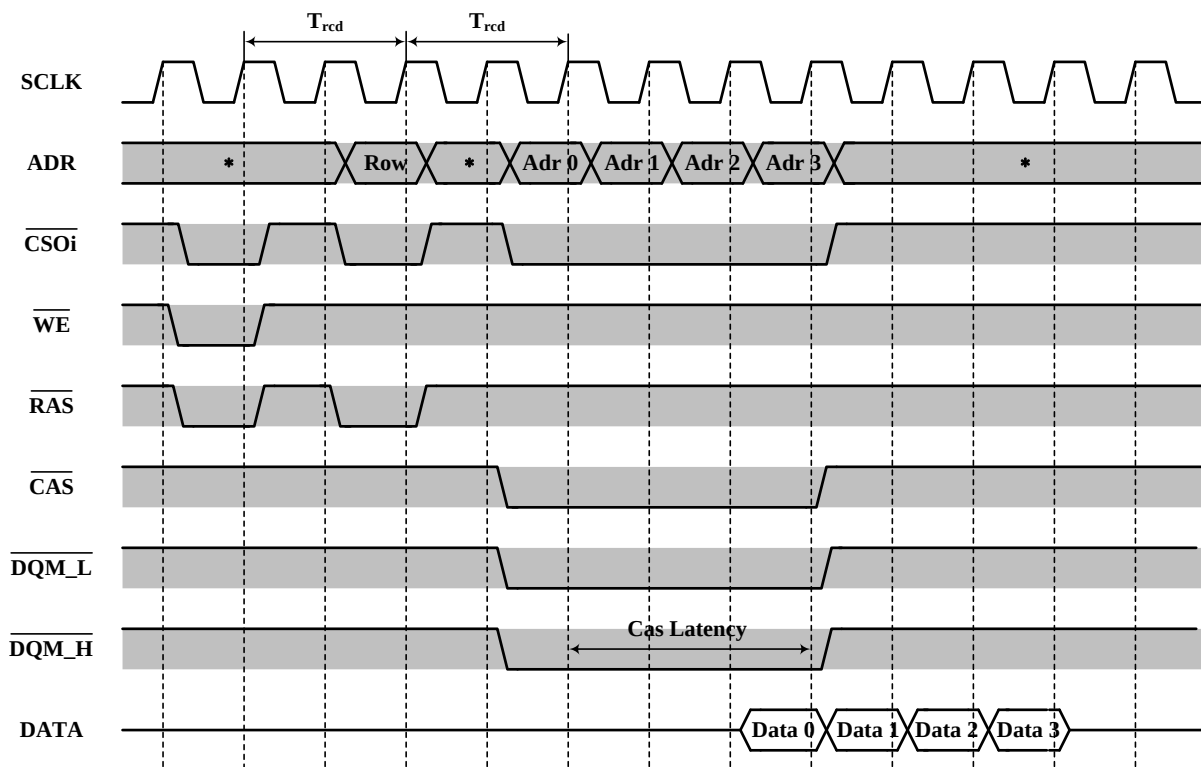
8.7.2.1 Работа с синхронной динамической памятью (SDRAM)

Интерфейс может работать с микросхемами внешней памяти типа SDRAM различного объема с внутренней четырехбанковой организацией. Работа с микросхемами памяти типа SDRAM с внутренней организацией в два банка без дополнительного оборудования не поддерживается.

					ЮФКВ.431282.006РЭ				Лист
									118
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.		Подп. и дата		
18061-4		 21.05.12		18061-3					

Управление обменом с внешней памятью типа SDRAM осуществляется с помощью выводов CS0i, RAS, CAS, WE, DQML, DQMН. При этом выходы OE, RDY и STRB находятся в неактивном состоянии.

На Рисунок 8-10 приведены временные диаграммы трех последовательных циклов чтения из неоткрытой строки внешней памяти типа SDRAM. Параметр CAS Latency равен трем тактам.



Примечание: параметр Cas Latency равен 3 тактам

■ - Вывод работает на выдачу сигнала

Рисунок 8-10 - Временные диаграммы циклов чтения из неоткрытой строки SDRAM

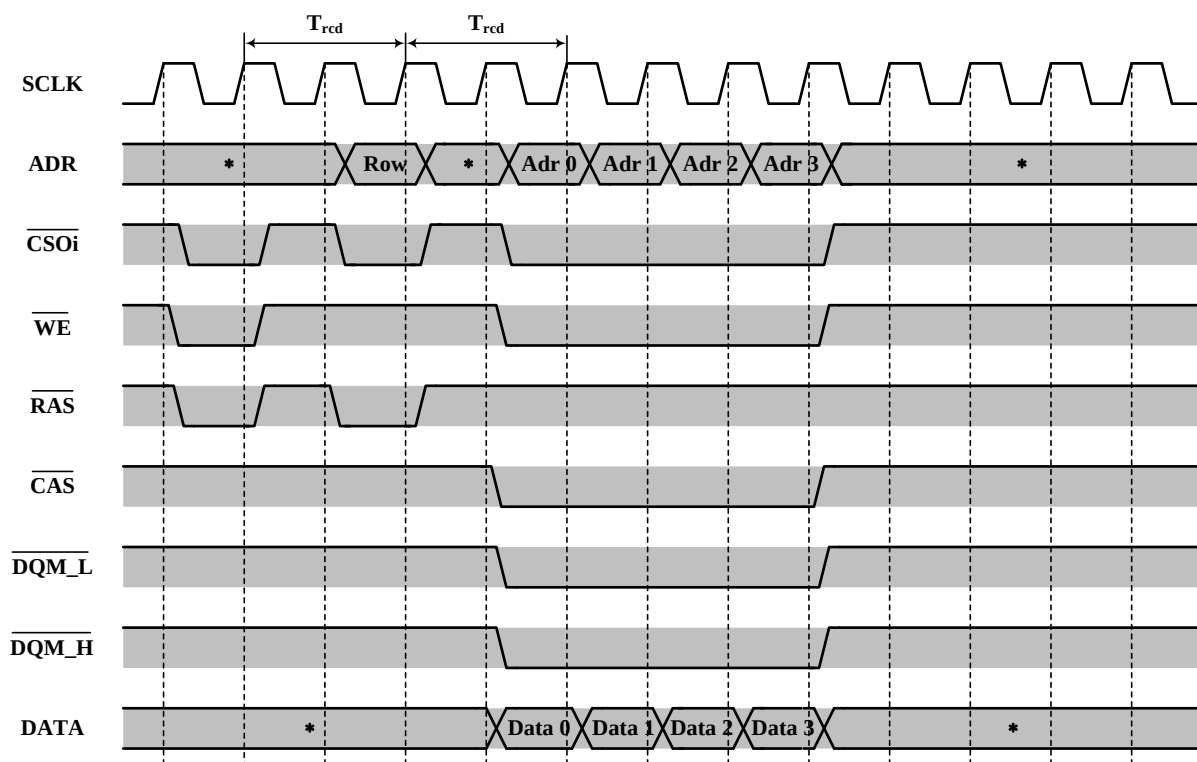
При обращении за данными в неоткрытую строку памяти типа SDRAM последовательно выполняются следующие команды памяти типа SDRAM: Precharge, Active и Read. Длительность выполнения команд Precharge и Active определяется полем Trcd регистра конфигурации LEMCR1 для локального и GEMCR1 для глобального интерфейсов. Длительность выполнения команды Read всегда составляет один такт. После команды Active процессор запоминает адрес текущей открытой строки, поэтому при следующих обращениях в эту же строку выполнения команд Precharge и Active не требуется. Соответствие команд SDRAM состояниям на управляющих выходах интерфейса представлено в

					ЮФКВ.431282.006РЭ				Лист
									119
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4				21.05.12	18061-3				

Таблица 8-6.

Состояния управляющих выводов и адрес требуемой ячейки памяти защелкиваются в памяти SDRAM по положительному фронту сигнала SCLK. Данные на входах процессора K1879BM5Я появляются через время, определяемое параметром CAS Latency, и защелкиваются во входном регистре данных по положительному фронту сигнала SCLK. Параметр CAS Latency задается в поле CL регистра конфигурации LEMCR1 для локального и GEMCR1 для глобального интерфейсов.

На Рисунок 8-11 приведены временные диаграммы четырех последовательных циклов записи в неоткрытую страницу внешней памяти типа SDRAM. Параметр CAS Latency равен трем тактам.



Примечание: параметр Cas Latency равен 3 тактам

■ - Вывод работает на выдачу сигнала

Рисунок 8-11 - Временные диаграммы циклов записи в неоткрытую страницу SDRAM

Открытие строки при операциях записи происходит точно так же, как и при операциях чтения. Записываемые данные защелкиваются во внешней памяти по положительному фронту сигнала SCLK вместе с требуемым адресом и сигналами управления. Длительность команды записи - один такт. Управляющие выходы DQML, DQMH используются для маскировки записи данных в младшую или старшую половину 64- разрядного слова соответственно.

					ЮФКВ.431282.006РЭ				Лист
									120
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4				21.05.12	18061-3				

На Рисунок 8-12 приведены временные диаграммы последовательного цикла два чтения – две записи – одно чтение из открытой страницы внешней памяти типа SDRAM. Параметр CAS Latency равен трем тактам.

Если непосредственно за операцией чтения из внешней памяти типа SDRAM идет операция записи в эту память, то процессор, после защелкивания последних считываемых данных во входном регистре, по следующему положительному фронту сигнала SCLK переводит выходы данных в состояние “на вывод”. С задержкой, определяемой полем TWR регистра конфигурации LEMCR0 для локального и GEMCR0 для глобального интерфейсов на шину выставляется адрес записываемого слова, записываемые данные и управляющие сигналы, определяющие операцию записи.

Если непосредственно за операцией записи во внешнюю память типа SDRAM идет операция чтения из этой памяти, то в следующем такте после последней операции записи процессор переводит выходы шины данных в состояние “на ввод” и одновременно выдает на внешние выходы адрес считываемого слова и управляющие сигналы, определяющие операцию чтения.

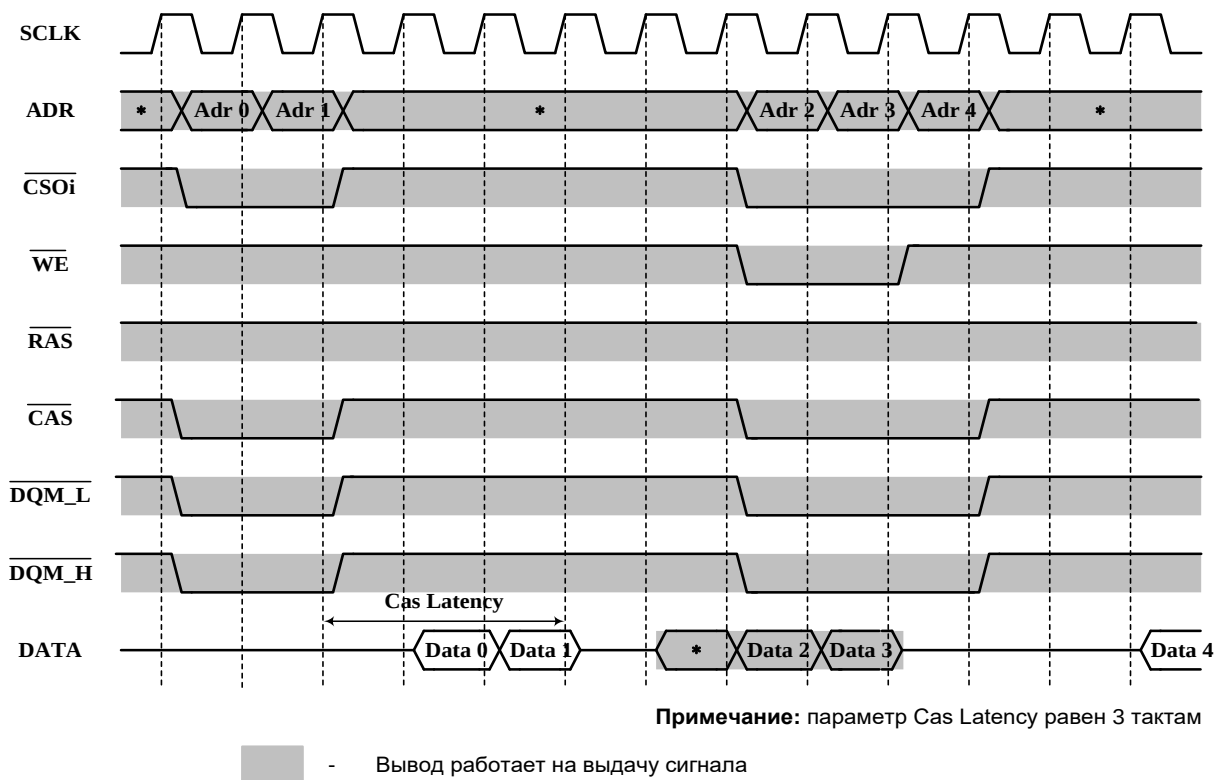
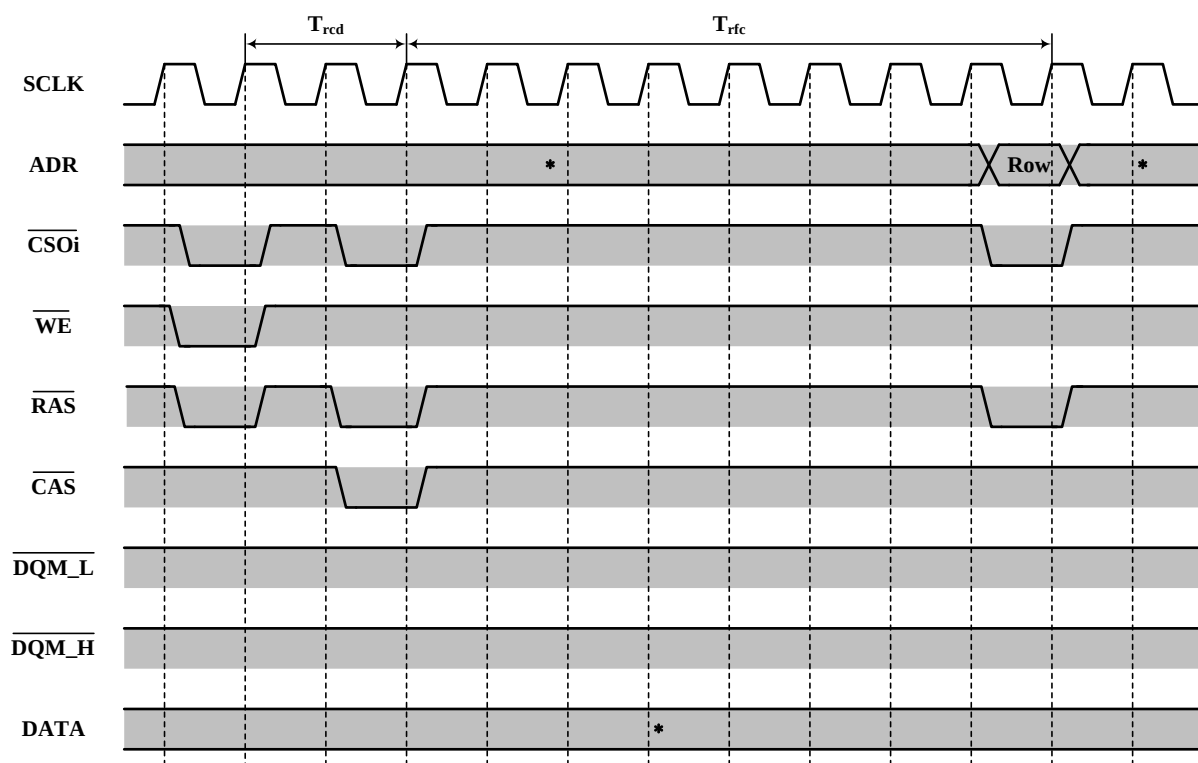


Рисунок 8-12 - Временные диаграммы перехода чтение- запись и запись- чтение при обращении к внешней памяти типа SDRAM

На Рисунок 8-13 приведены временные диаграммы одного цикла регенерации строки внешней памяти типа SDRAM. Регенерация строки памяти осуществляется последовательной подачей команд Precharge и Refresh. Длительность выполнения

					ЮФКВ.431282.006РЭ				Лист
									121
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4				21.05.12	18061-3				

этих команд определяется полями Trcd и Trfc регистра конфигурации LEMCR1 для локального и GEMCR1 для глобального интерфейсов. Период следования команд регенерации задается полем RP регистра LEMCR1 для локального и GEMCR1 для глобального интерфейсов. Регенерация внешней памяти, если она необходима, производится независимо от того в какой банк памяти идет текущее обращение.



Примечание: параметр Cas Latency равен 3 тактам

■ - Вывод работает на выдачу сигнала

Рисунок 8-13 - Временные диаграммы регенерации строки SDRAM

Соответствие команд SDRAM состояниям на управляющих выходах интерфейса представлено в Таблица 8-6. Команда защелкивается во внешней памяти по положительному фронту сигнала SCLK.

					ЮФКВ.431282.006РЭ				Лист
									122
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инов.№дубл.	Подп. и дата		
Инв.№подл.		Подп. и дата		Взам.инв.№		Инов.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Таблица 8-6 - Соответствие команд SDRAM состояниям на управляющих выходах интерфейса

Команда SDRAM	$\overline{\text{CS0i}}$	$\overline{\text{RAS}}$	$\overline{\text{CAS}}$	$\overline{\text{WE}}$	$\overline{\text{DQML}}$	$\overline{\text{DQMH}}$
Deactive	H	X	X	X	X	X
Nop	L	H	H	H	H	H
Precharge	L	L	H	L	H	H
Active	L	L	H	H	H	H
Read	L	H	L	H	L	L
Write	L	H	L	L	L/H	L/H
Refresh	L	L	L	H	H	H
MRS	L	L	L	L	H	H

8.7.2.2 Работа с синхронной статической памятью (SSRAM).

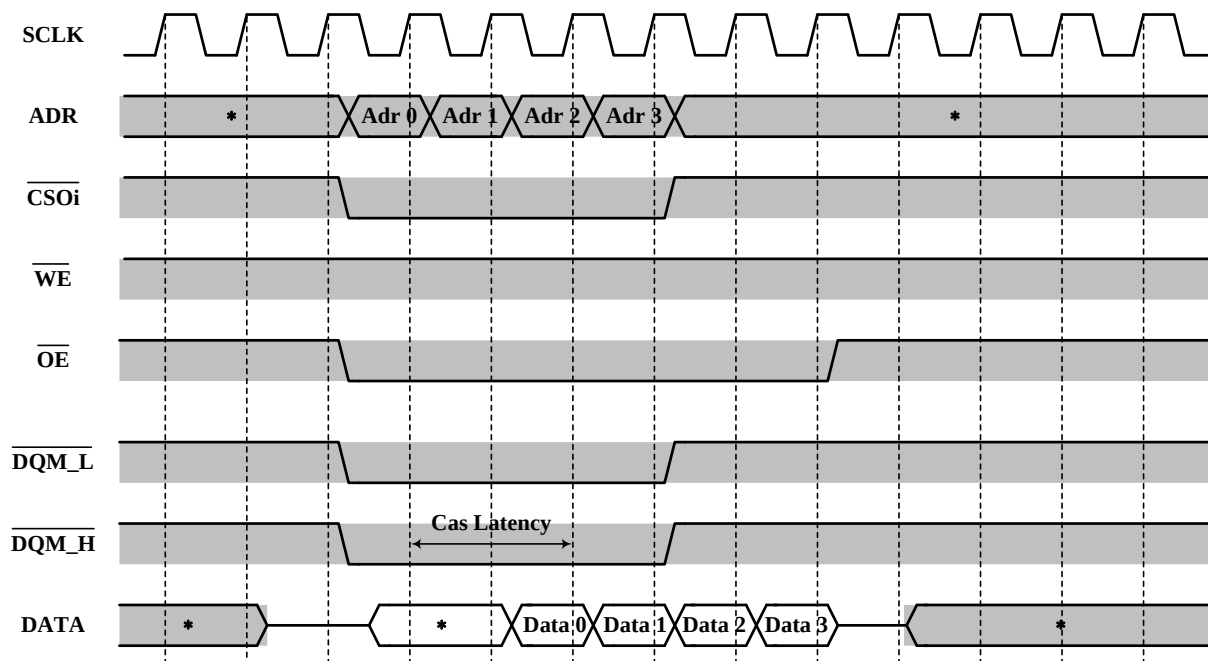
Интерфейс может работать со следующими типами микросхем памяти SSRAM:

- одноклаковой - Flow- Through SSRAM
- двухклаковой с двухклаковым переводом в неактивное состояние - DCD (Double Cycle Deselect) Pipelined SSRAM

Управление обменом с внешней памятью типа SSRAM осуществляется с помощью выводов $\overline{\text{CS0i}}$, $\overline{\text{WE}}$, $\overline{\text{DQML}}$, $\overline{\text{DQMH}}$, $\overline{\text{OE}}$. При этом выходы $\overline{\text{RAS}}$, $\overline{\text{CAS}}$, $\overline{\text{RDY}}$ и $\overline{\text{STRB}}$ находятся в неактивном состоянии.

На Рисунок 8-14 приведены временные диаграммы четырех последовательных циклов чтения из внешней памяти типа SSRAM (Pipelined).

					ЮФКВ.431282.006РЭ			Лист
								123
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				



Примечание: параметр Cas Latency равен 2 тактам (Pipelined SSRAM)

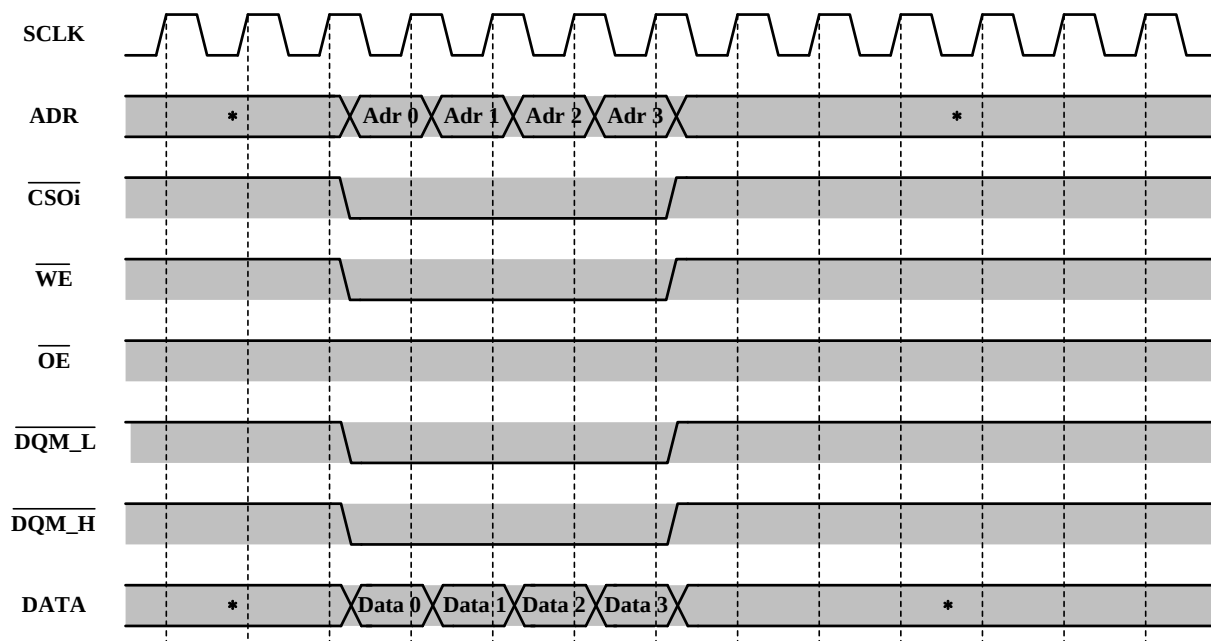
■ - Вывод работает на выдачу сигнала

Рисунок 8-14 - Временные диаграммы циклов чтения из SSRAM

При чтении из внешней памяти типа SSRAM, по положительному фронту сигнала SCLK процессор K1879BM5Я выдает на внешнюю шину адрес требуемой ячейки памяти и сигналы CS0i, OE, DQM_L и DQM_H. Адрес ячейки, в которую идет обращение, защелкивается внешней памятью по положительному фронту сигнала SCLK. Следующая команда чтения может быть защелкнута по следующему положительному фронту сигнала SCLK. После фиксации команды чтения, через время, определяемое параметром Cas Latency, считываемые данные по фронту SCLK защелкиваются во входном регистре данных процессора. Параметр Cas Latency, в случае внешней памяти типа SSRAM, определяется конструктивными особенностями микросхем памяти. Для Flow- Through SSRAM этот параметр равен 1 такту, а для Pipelined SSRAM - 2 тактам. Тип внешней памяти SSRAM задается полем SST регистра конфигурации LEMCR0 для локального и GEMCR0 для глобального интерфейсов. Сигнал OE снимается при защелкивании контроллером последних считываемых данных. Через время, определяемое полем TSSOE регистра конфигурации LEMCR0 для локального и GEMCR0 для глобального интерфейсов, процессор переводит выводы шины данных в состояние “на вывод”.

На Рисунок 8-15 приведены временные диаграммы четырех последовательных циклов записи во внешнюю память типа SSRAM (Pipelined).

					ЮФКВ.431282.006РЭ				Лист
									124
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4		 21.05.12		18061-3					



Примечание: параметр Cas Latency равен 2 тактам (Pipelined SSRAM)

■ - Вывод работает на выдачу сигнала

Рисунок 8-15 - Временные диаграммы циклов записи в SSRAM

При записи во внешнюю память типа SSRAM, по положительному фронту сигнала SCLK процессор K1879BM5Я выдает на внешнюю шину адрес требуемой ячейки памяти, записываемые данные и сигналы CS0i, WE, DQML и DQMH. По следующему положительному фронту SCLK адрес и данные фиксируются внешней памятью. Длительность цикла записи составляет один такт. Управляющие выходы DQML и DQMH используются для маскировки записи данных в младшую или старшую половину 64-разрядного слова соответственно.

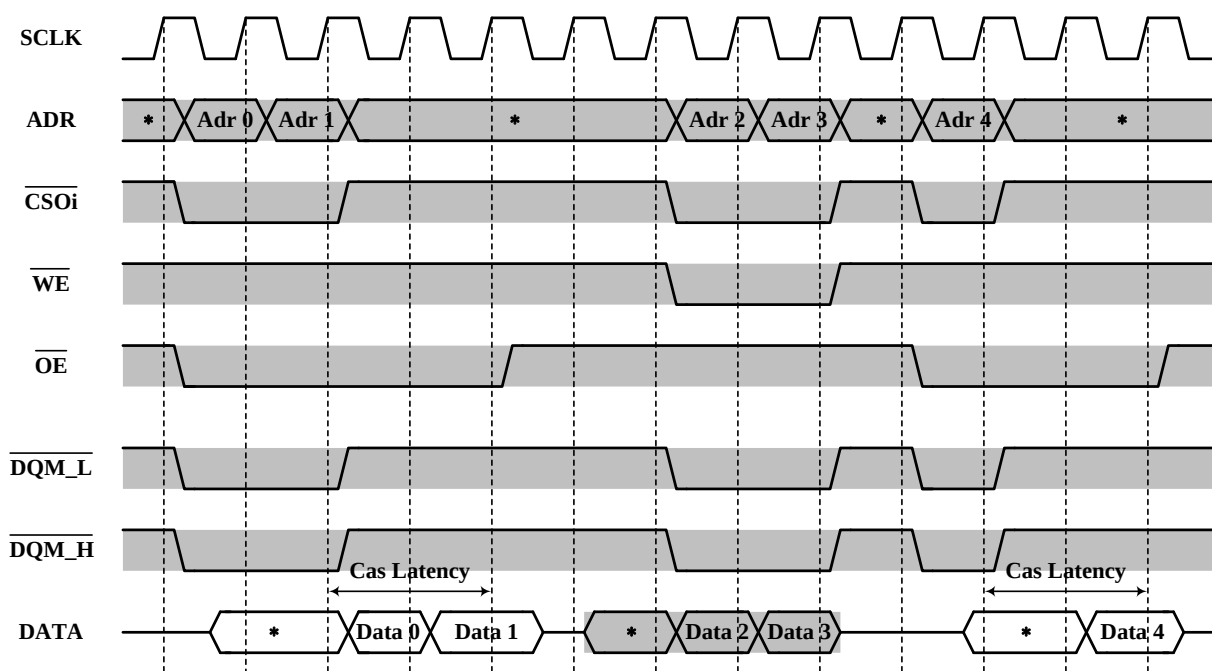
На Рисунок 8-16 приведены временные диаграммы последовательного цикла два чтения – две записи – одно чтение из внешней памяти типа SSRAM (Pipelined).

Одновременно с защелкиванием последних считываемых данных во входном регистре процессор снимает управляющий сигнал OE. Через время, определяемое полем T_{SSOE} регистра конфигурации LEMCR0 для локального и GEMCR0 для глобального интерфейсов, шина данных процессора переводится в состояние “на вывод”. С задержкой, определяемой полем TWR регистра конфигурации LEMCR0 для локального и GEMCR0 для глобального интерфейсов, процессор выставляет на внешние шины адрес записываемого слова, записываемые данные и управляющие сигналы, определяющие операцию записи.

Если непосредственно за операцией записи во внешнюю память типа SSRAM идет операция чтения из этой памяти, то в конце такта операции записи процессор переводит выходы шины данных в положение “на ввод”. По следующему положительному фронту сигнала SCLK на внешнюю шину выдается адрес

					ЮФКВ.431282.006РЭ				Лист
									125
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

считываемой ячейки памяти и управляющие сигналы, определяющие операцию чтения. Защелкивание считываемых данных процессором происходит через время Cas Latency, определяемое типом используемой памяти.



Примечание: параметр Cas Latency равен 2 тактам (Pipelined SSRAM)

■ - Вывод работает на выдачу сигнала

Рисунок 8-16 - Временные диаграммы перехода чтение- запись и запись- чтение при обращении к внешней памяти типа SSRAM

8.7.2.3 Работа интерфейса в конвейерном режиме

Режим поддержки внешней памяти типа SSRAM позволяет работу с внешними сигналами готовности: RDY и STRB. В этом режиме управление обменом с внешним устройством осуществляется с помощью выводов CS0i, WE, DQML, DQMH, OE, RDY и STRB. При этом выходы RAS и CAS находятся в неактивном состоянии.

Интерфейс поддерживает две разновидности конвейерного обмена по внешней шине с использованием сигналов RDY и STRB: с поддержкой страничной организации памяти и без поддержки страничной организации памяти.

Поддержка страничной организации памяти позволяет адресоваться ко всему адресному пространству одного банка внешней шины процессора (256М 64-разрядных слов) за счет дополнительной операции открытия страницы.

Без поддержки страничной организации объем адресуемой памяти в банке уменьшается до 1М 64-разрядных слов, однако никаких дополнительных операций на внешней шине не производится.

					ЮФКВ.431282.006РЭ				Лист
									126
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4				21.05.12	18061-3				

Выбор разновидности конвейерного обмена с внешней памятью определяется полем РТУР регистра конфигурации LEMCR0 для локального и GEMCR0 для глобального интерфейсов. Одновременная работа в конвейерном режиме обмена с поддержкой страничной организации памяти и без нее на одной шине процессора невозможна.

На Рисунок 8-17 приведены временные диаграммы трех последовательных циклов чтения из внешнего устройства с использованием сигналов готовности при конвейерном типе обмена по шине без поддержки страничной организации памяти.

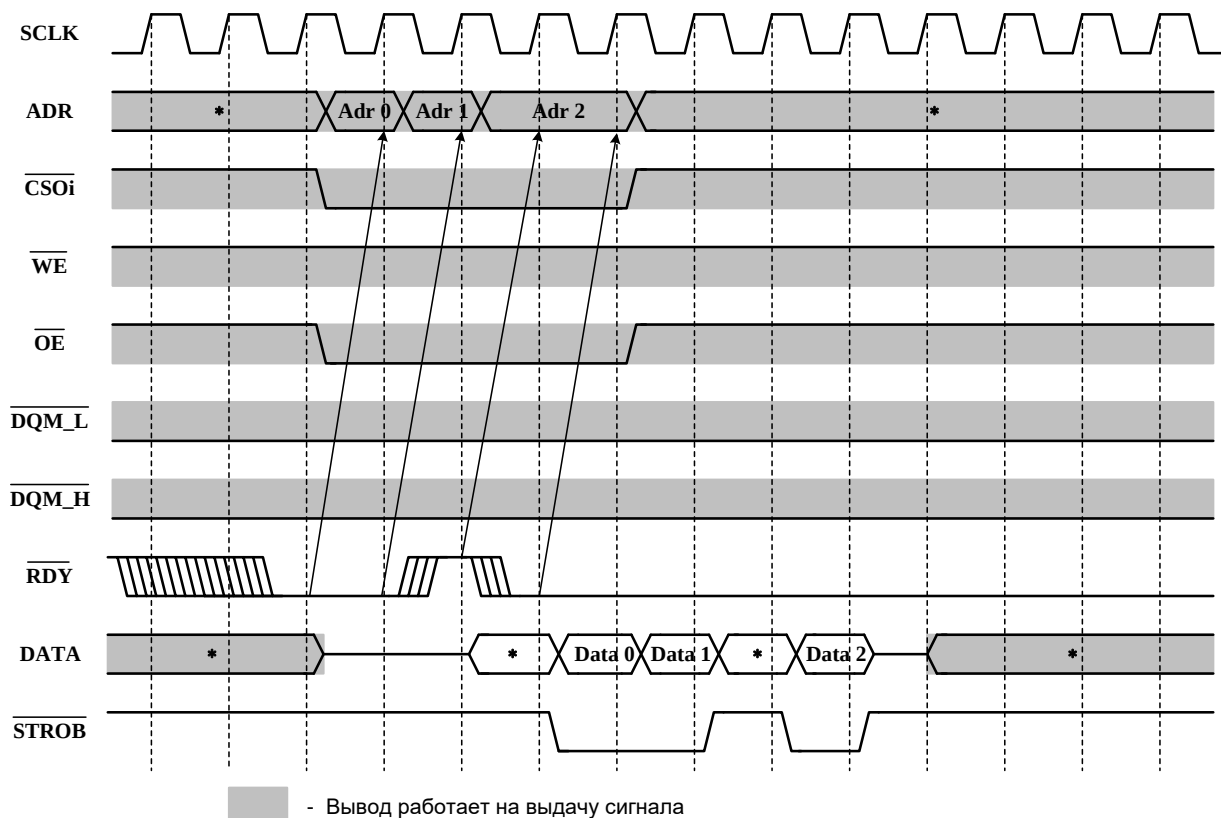


Рисунок 8-17 - Временные диаграммы циклов чтения в режиме “Master” с использованием сигналов готовности (конвейерный тип обмена по шине без поддержки страничной организации)

Команда чтения данных занимает один такт сигнала SCLK. При выполнении операций чтения процессор по положительному фронту сигнала SCLK переводит выходы шины данных в положение “на ввод” и одновременно на внешнюю шину выдается требуемый адрес и управляющие сигналы, обеспечивающие выполнение операции чтения.

Сигнал готовности внешнего устройства ($\overline{RDY}$) защелкивается процессором K1879BM5Я по положительному фронту сигнала SCLK. Если сигнал готовности внешнего устройства активен (низкий уровень сигнала), то в следующем такте процессор выдает следующую команду чтения. Если внешнее устройство не готово к

					ЮФКВ.431282.006РЭ				Лист
									127
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4				21.05.12	18061-3				

обмену (высокий уровень сигнала на входе $\overline{\text{RDY}}$), то состояние внешних выводов интерфейса процессора не изменяется.

Сигнал готовности данных от внешнего устройства ($\overline{\text{STRB}}$) сопровождается данными, передаваемые внешним устройством. При активном сигнале $\overline{\text{STRB}}$ (низкий уровень сигнала) процессор K1879BM5Я по положительному фронту сигнала SCLK защелкивает данные во входном регистре данных.

Через один такт внешней шины (SCLK) после защелкивания во входных регистрах процессора последних считываемых данных, выводы шины данных переводятся в положение “на вывод”.

На Рисунок 8-18 приведены временные диаграммы пяти последовательных циклов записи с использованием сигналов готовности при конвейерном типе обмена по шине без поддержки страничной организации памяти.

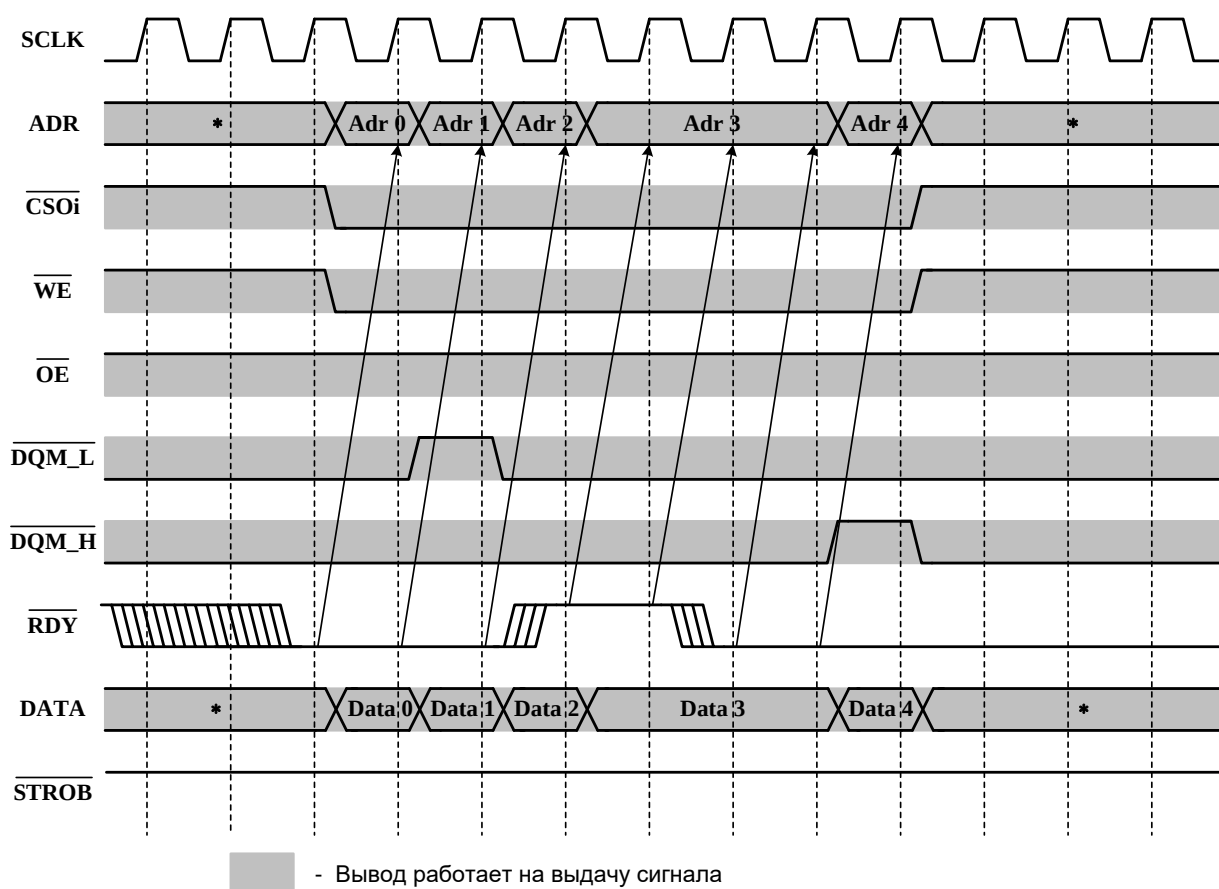


Рисунок 8-18 - Временные диаграммы циклов записи в режиме “Master” с использованием сигналов готовности (конвейерный тип обмена по шине без поддержки страничной организации)

Команда записи занимает один такт сигнала SCLK. При выполнении операций записи процессор по положительному фронту сигнала SCLK выдает на внешнюю

					ЮФКВ.431282.006РЭ				Лист
									128
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4		 21.05.12		18061-3					

шину требуемый адрес, записываемые данные и управляющие сигналы, обеспечивающие выполнение операции записи.

Сигнал готовности внешнего устройства $\overline{\text{RDY}}$ защелкивается процессором K1879BM5Я по положительному фронту сигнала SCLK. Если сигнал готовности внешнего устройства активен (низкий уровень сигнала), то в следующем такте процессор выдает следующую команду записи и записываемые данные. Если внешнее устройство не готово к обмену, то состояние внешних выводов интерфейса не изменяется.

Управляющие выходы $\overline{\text{DQML}}$, и $\overline{\text{DQMH}}$ используются для маскировки записи данных в младшую или старшую половину 64-разрядного слова соответственно.

Состояние сигнала $\overline{\text{STRB}}$ при операциях записи не анализируется.

На Рисунок 8-19 приведены временные диаграммы последовательного цикла два чтения – две записи с использованием сигналов готовности при конвейерном типе обмена по шине без поддержки страничной организации памяти.

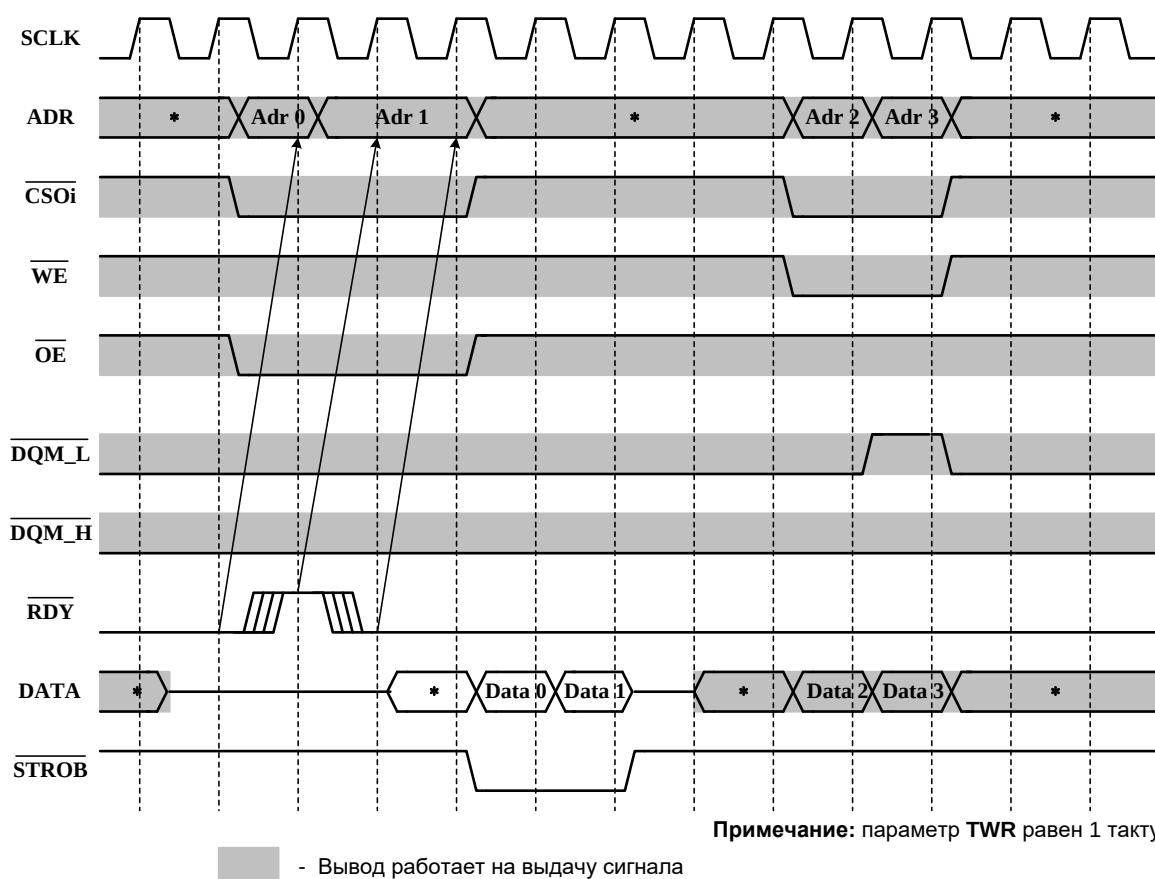
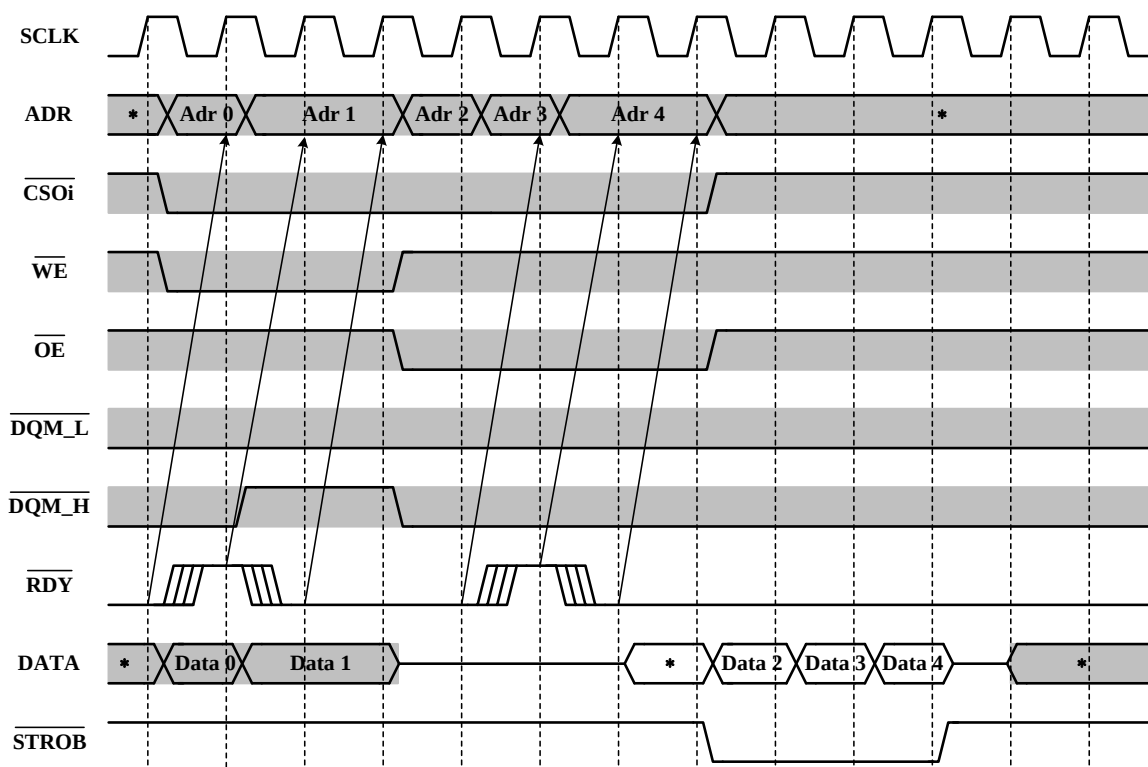


Рисунок 8-19 - Временные диаграммы перехода чтение- запись в режиме “Master” с использованием сигналов готовности (конвейерный тип обмена по шине без поддержки страничной организации)

					ЮФКВ.431282.006РЭ				Лист
									129
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4				21.05.12	18061-3				

Через один такт внешней шины (SCLK) после защелкивания во входных регистрах процессора последних считываемых данных, выводы шины данных переводятся в положение “на вывод”. С задержкой, определяемой полем TWR регистра конфигурации LEMCR0 для локального и GEMCR0 для глобального интерфейсов, на внешнюю шину выдается адрес записываемого слова, записываемые данные и управляющие сигналы, определяющие операцию записи. После окончания операций записи шина данных остается принадлежащей процессору.

На Рисунок 8-20 приведены временные диаграммы последовательного цикла две записи – три чтения с использованием сигналов готовности при конвейерном типе обмена по шине без поддержки страничной организации памяти.

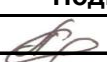


Примечание: параметр TWR равен 1 такту

■ - Вывод работает на выдачу сигнала

Рисунок 8-20 - Временные диаграммы перехода запись- чтение в режиме “Master” с использованием сигналов готовности (конвейерный тип обмена по шине без поддержки страничной организации)

В конце выполнения операции записи по положительному фронту сигнала SCLK процессор переводит выводы шины данных в положение “на ввод”. Одновременно на внешнюю шину выдается адрес считываемой ячейки памяти и управляющие сигналы, определяющие операцию чтения. После защелкивания последних считываемых данных через время, равное одному такту работы внешней шины (SCLK), процессор переводит выводы шины данных в положение “на вывод”.

					ЮФКВ.431282.006РЭ				Лист
									130
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4		 21.05.12		18061-3					

На Рисунок 8-21 и 8-22 приведены временные диаграммы последовательных циклов чтения данных и записи данных с использованием сигналов готовности при конвейерном типе обмена по шине с использованием страничной организации памяти соответственно.

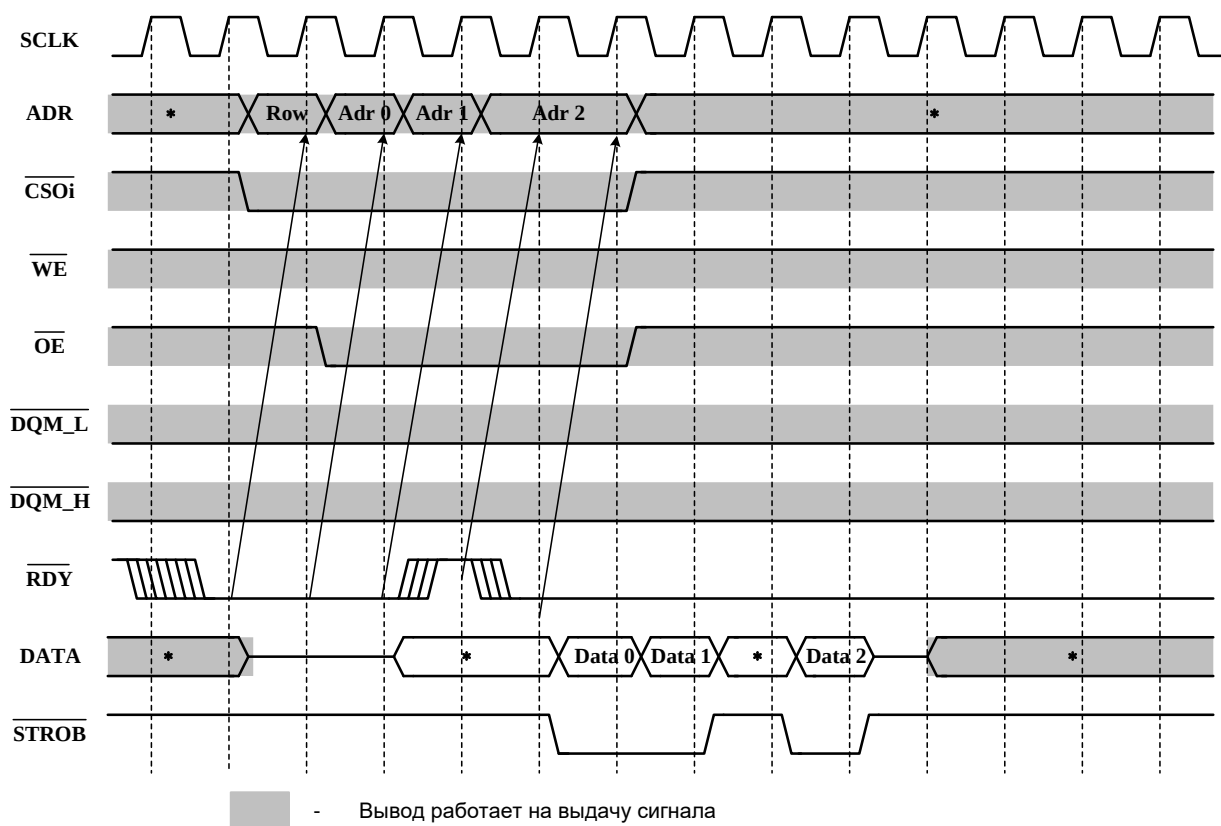


Рисунок 8-21 - Временные диаграммы циклов чтения в режиме “Master” с использованием сигналов готовности (конвейерный тип обмена по шине со страничной организацией)

При обмене по конвейерному типу с поддержкой страничной организации памяти при обращении в неоткрытую страницу перед выполнением операции чтения или записи выполняется операция открытия страницы. Данная операция занимает один такт шины процессора (SCLK). По положительному фронту сигнала SCLK на шину выдается адрес открываемой страницы и управляющий сигнал CS0i. Формирование адреса страницы происходит аналогично формированию адреса страницы для асинхронной статической памяти (SRAM) и представлено на Рисунок 8-6.

Если сигнал готовности внешнего устройства RDY активен (низкий уровень сигнала), то в следующем такте интерфейс выполнит операцию чтения или записи. Если внешнее устройство не готово к обмену, то состояние внешних выводов интерфейса не изменяется. Операции чтения или записи в данном режиме выполняются аналогично операциям чтения или записи в конвейерном режиме без поддержки страничной организации памяти.

					ЮФКВ.431282.006РЭ				Лист
									131
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4		 21.05.12		18061-3					

После выполнения операции открытия страница остается открытой до следующей операции открытия страницы или до обращения в другой банк памяти на данной шине.

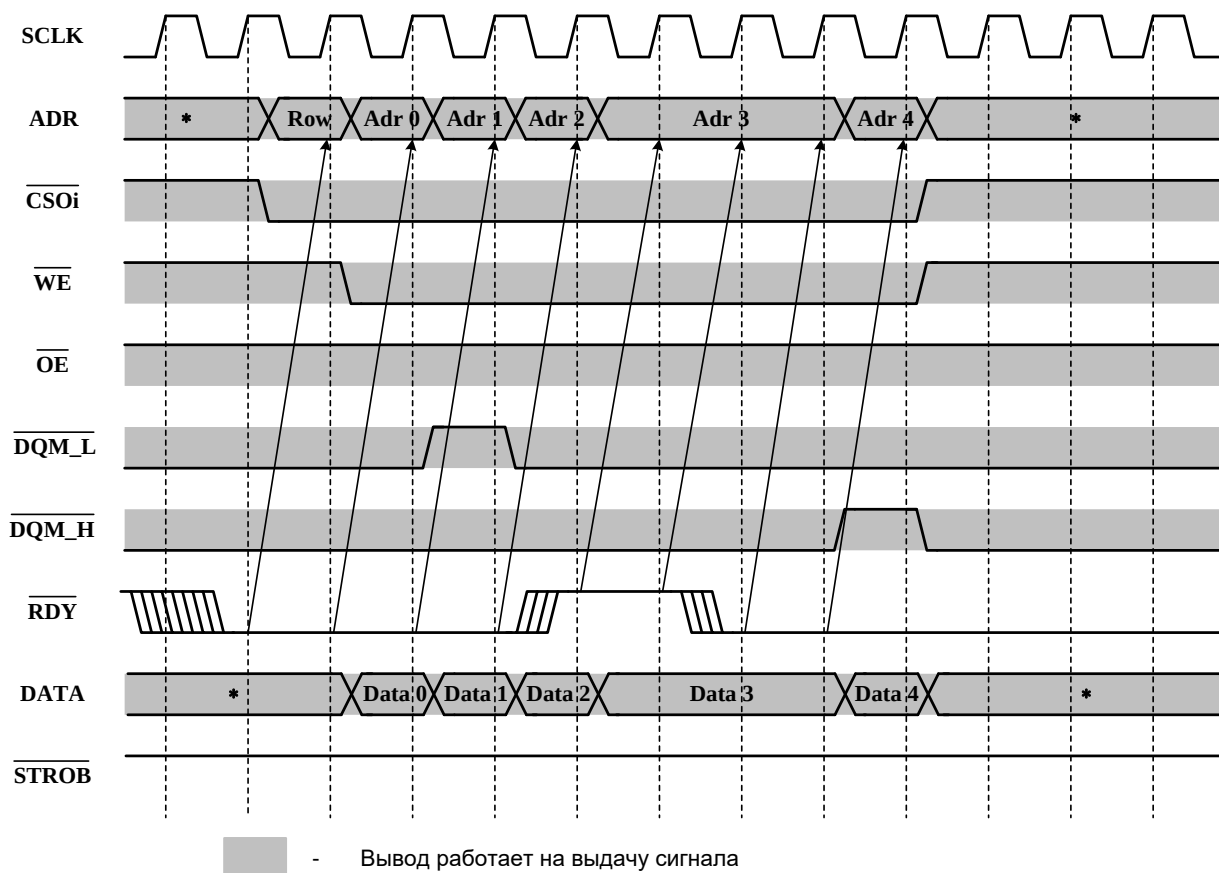


Рисунок 8-22 - Временные диаграммы циклов записи в режиме “Master” с использованием сигналов готовности (конвейерный тип обмена по шине со страничной организацией)

					ЮФКВ.431282.006РЭ				Лист
									132
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4		 21.05.12		18061-3					

8.8 Доступ к внутренней памяти процессора K1879BM5Я

В данном разделе описываются циклы обращения внешнего устройства к внутренней памяти процессора K1879BM5Я, находящейся в режиме “Slave”.

Процессор K1879BM5Я поддерживает конвейерный тип доступа к внутренней памяти. При операциях с внутренней памятью сигнал SCLK играет роль строга адреса и управляющих сигналов. При этом сигнал SCLK тактирует как работу интерфейса процессора, так и работу интерфейса внешнего устройства. Адрес, данные и управляющие сигналы на шине синхронизируются положительным фронтом сигнала SCLK.

На Рисунок 8-23 приведены временные диаграммы пяти циклов чтения из внутренней памяти процессора K1879BM5Я.

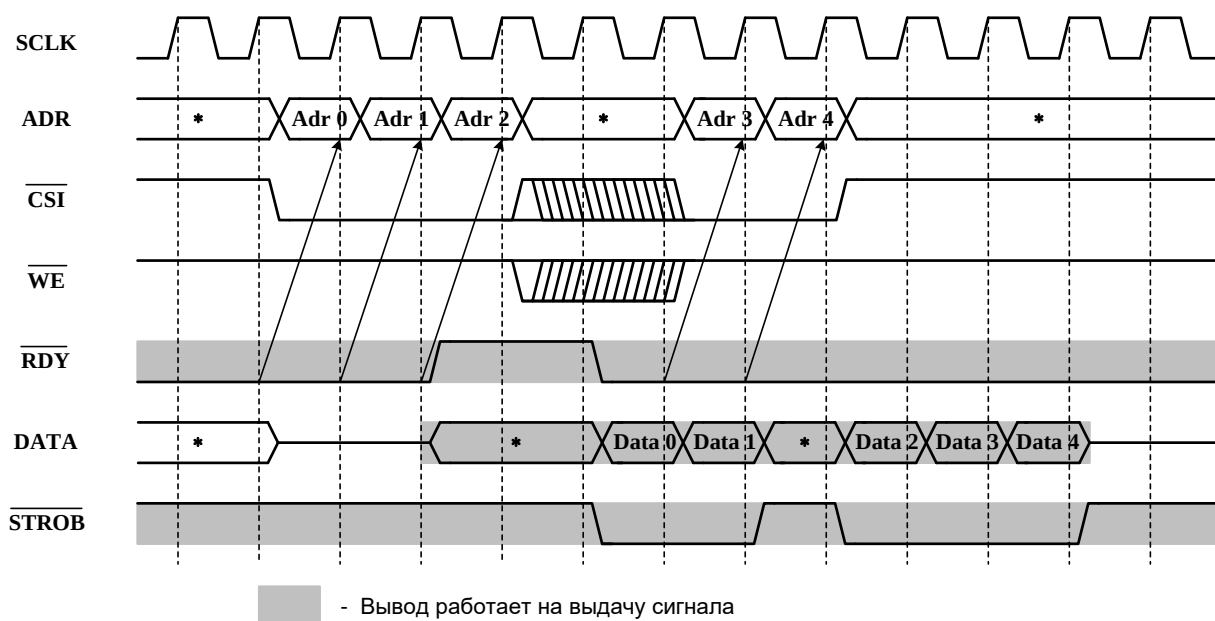


Рисунок 8-23 - Временные диаграммы циклов чтения в режиме “Slave”

По положительному фронту сигнала SCLK внешнее устройство выставляет на шину адрес требуемой ячейки памяти и управляющий сигнал CSI. По следующему фронту процессор K1879BM5Я фиксирует адрес во входном адресном FIFO и начинает процедуру считывания данных из внутренней памяти. По этому же фронту сигнала SCLK внешнее устройство может выставить следующую команду чтения и т.д. Если адресное FIFO заполнено, процессор снимает сигнал RDY и перестает реагировать на команды внешнего устройства.

По окончании процедуры чтения из внутренней памяти процессора K1879BM5Я выдает считанные данные на внешнюю шину данных и активизирует сигнал STROB. Данные на шине остаются неизменными в течение одного такта сигнала SCLK.

					ЮФКВ.431282.006РЭ				Лист
									133
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4				21.05.12	18061-3				

Через один такт работы внешней шины процессор переводит выходы шины данных в состояние “на ввод”.

Время с момента защелкивания адреса до появления данных на выходах процессора K1879BM5Я не определено.

Считывание данных из внутренней памяти процессора всегда идет 64- разрядными словами.

На Рисунок 8-24 приведены временные диаграммы пяти последовательных циклов записи во внутреннюю память процессора K1879BM5Я.

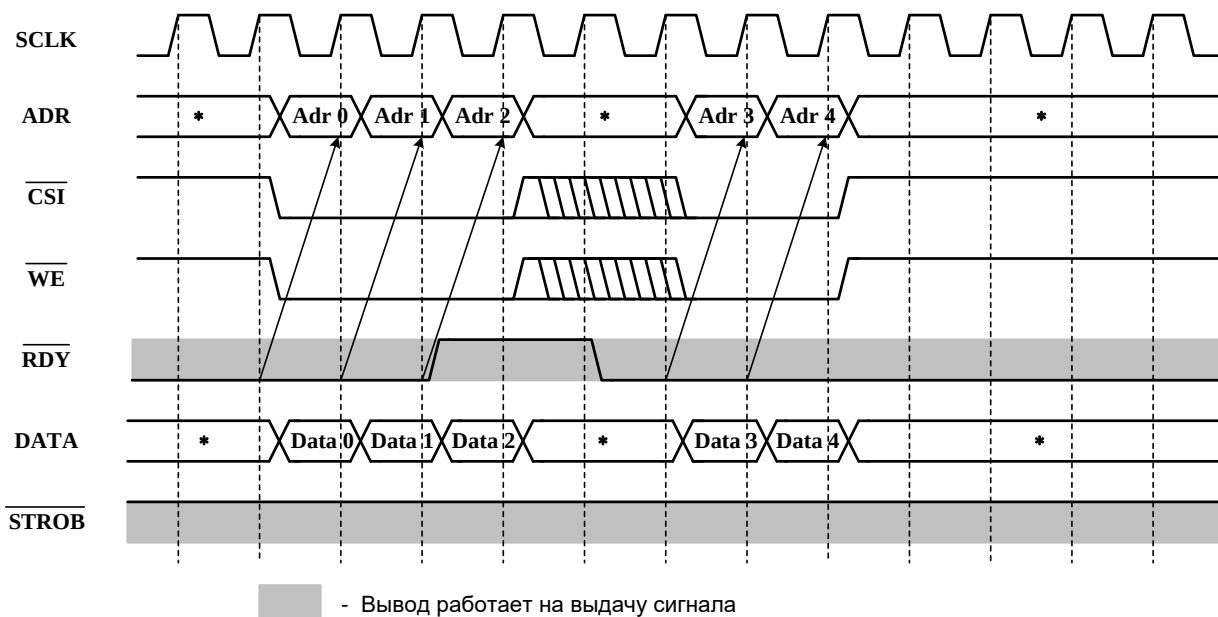


Рисунок 8-24 - Временные диаграммы циклов записи в режиме “Slave”

По положительному фронту сигнала SCLK внешнее устройство выставляет на шину адрес требуемой ячейки памяти, записываемые данные и управляющие сигналы CSI и WE. По следующему фронту SCLK процессор защелкивает требуемый адрес во входном адресном FIFO, данные – во входном FIFO данных. По этому же фронту сигнала SCLK внешнее устройство может выставить следующую команду записи и т.д. Если адресное FIFO заполнено процессор снимает сигнал RDY и перестает реагировать на следующие команды.

Данные во внутреннюю память процессора записываются только 64 – разрядными словами.

На Рисунок 8-25 приведены временные диаграммы последовательного цикла два чтения – две записи во внутреннюю память процессора K1879BM5Я.

Через один такт системной шины (SCLK) после выдачи на шину последних считываемых данных процессор переводит выходы шины данных в состояние “на ввод”. После этого по следующему положительному фронту сигнала SCLK внешнее

					ЮФКВ.431282.006РЭ				Лист
									134
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4		 21.05.12		18061-3					

устройство может начинать операцию записи данных во внутреннюю память процессора.

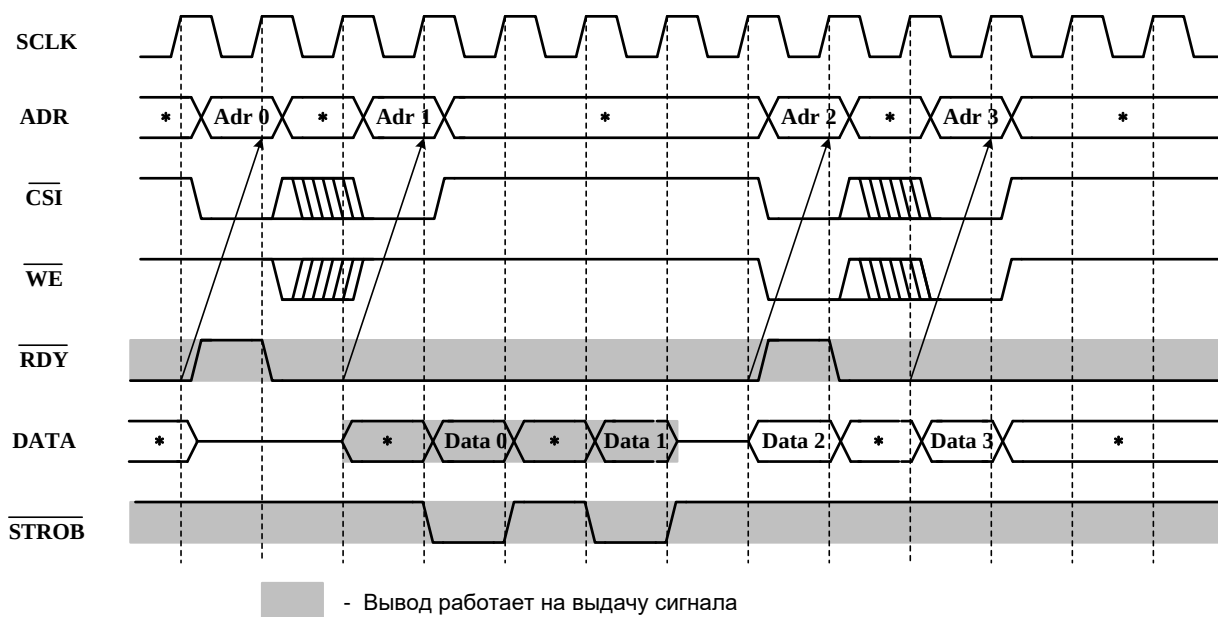


Рисунок 8-25 - Временные диаграммы перехода чтение- запись при обращении внешнего устройства к внутренней памяти процессора

На Рисунок 8-26 приведены временные диаграммы последовательного цикла две записи – два чтения из внутренней памяти процессора K1879BM5Я.

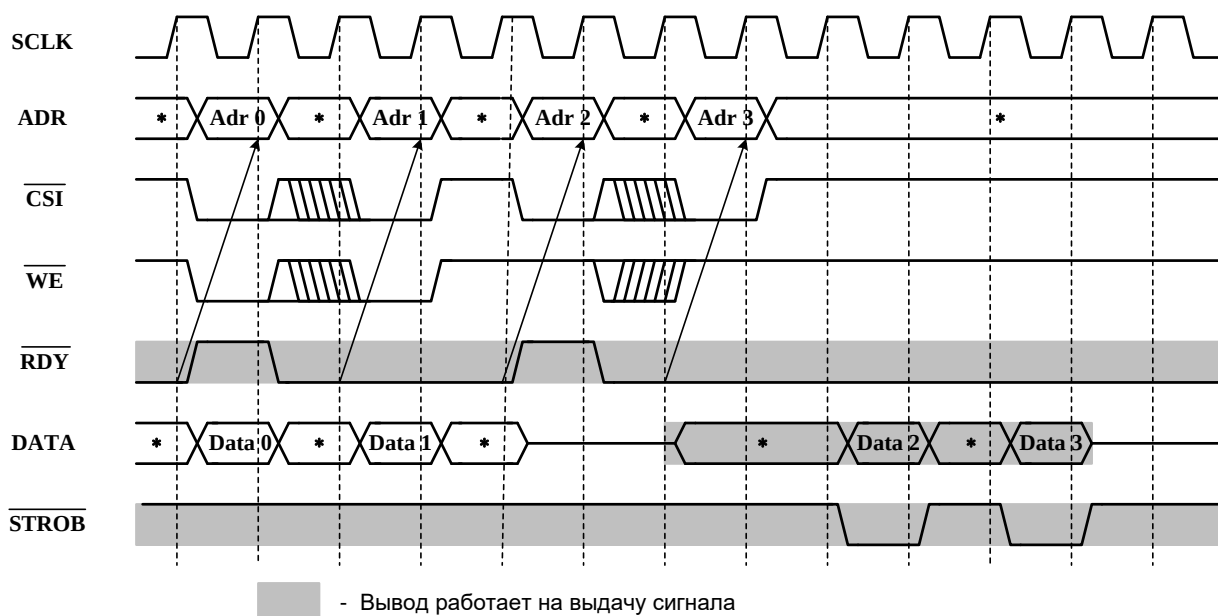


Рисунок 8-26 - Временные диаграммы перехода запись- чтение запись при обращении внешнего устройства к внутренней памяти процессора

					ЮФКВ.431282.006РЭ			Лист
								135
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18061-4		 21.05.12		18061-3				

При переходе от записи к чтению, перед выдачей команды чтения на шину внешнее устройство обязано перевести шину данных в высокоимпедансное состояние. Выданная внешним устройством команда чтения защелкивается процессором по следующему положительному фронту сигнала SCLK. Через такт сигнала SCLK после этого выводы шины данных процессора переводятся в состояние “на вывод”.

Данные, считываемые внешним устройством, выдаются на шину данных процессора через неопределенное время и стробируются низким уровнем сигнала STRB.

					ЮФКВ.431282.006РЭ				Лист
									136
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата		
18061-4		 21.05.12			18061-3				

8.9 Арбитраж шины

На Рисунок 8-27 приведены временные диаграммы процесса передачи управления шиной от внешнего устройства к процессору K1879BM5Я.

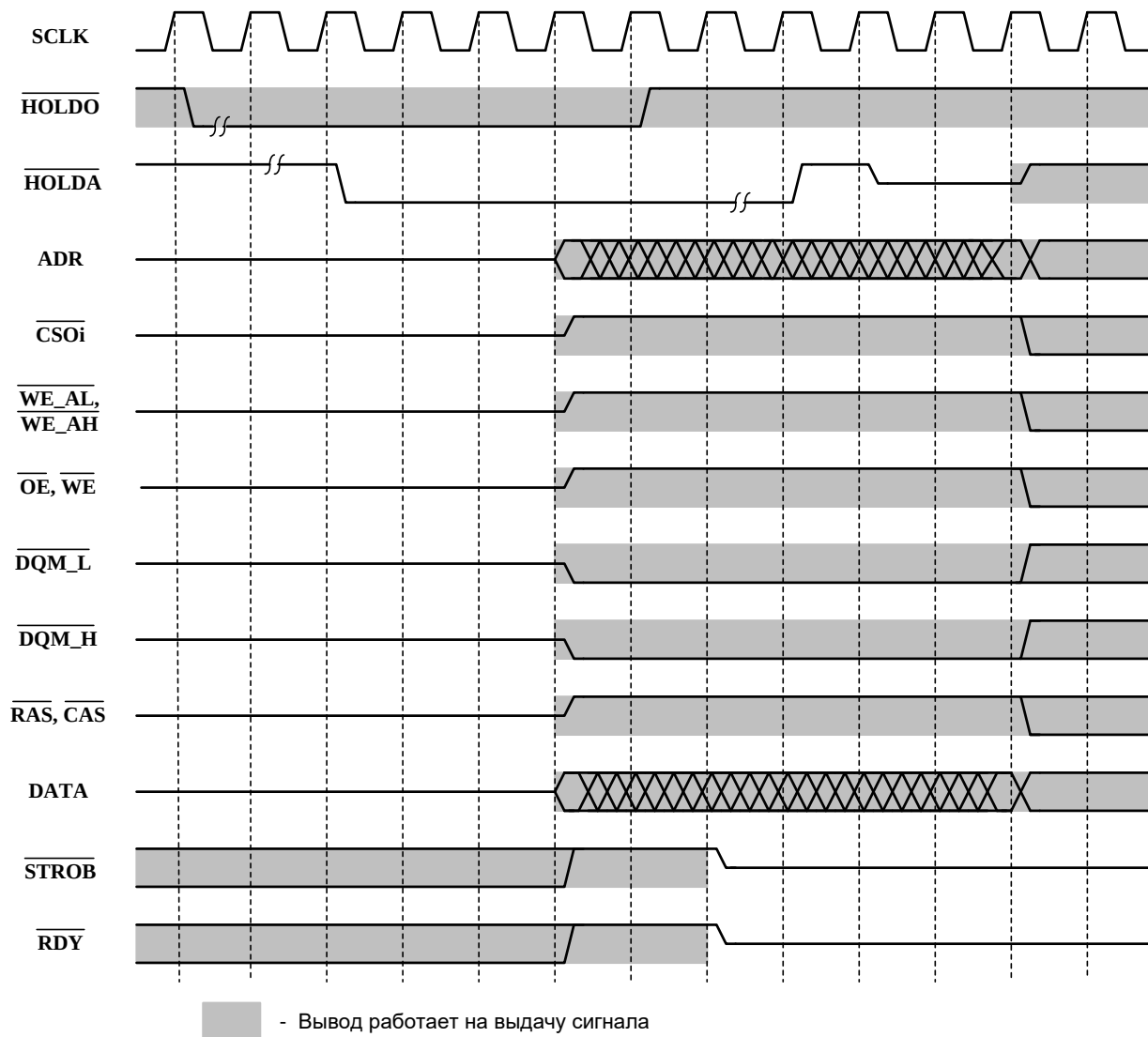


Рисунок 8-27 - Временные диаграммы передачи управления шиной от внешнего устройства к процессору K1879BM5Я

Для получения управления шиной процессор выставляет запрос на управление HOLD0.

Сигнал разрешения на захват шины (низкий уровень сигнала HOLDA) фиксируется по положительному фронту сигнала SCLK. Через два такта внешней шины процессор устанавливает высокий уровень сигнала на выходах RDY и STROB, и переводит остальные управляющие выходы, а также адресные выходы и выходы

					ЮФКВ.431282.006РЭ				Лист
									137
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4				21.05.12	18061-3				

шины данных – в состояние “на выдачу”. По следующему фронту сигнала SCLK снимается сигнал $\overline{\text{HOLD0}}$, а в следующем такте выходы RDY и STRB переводятся в состояние “на прием”. После этого процессор ожидает снятия сигнала разрешения на передачу шины.

Зафиксировав высокий уровень сигнала $\overline{\text{HOLDA}}$ процессор через один такт внешней шины переводит двунаправленный вывод $\overline{\text{HOLDA}}$ в состояние “на выдачу”. Одновременно с этим может начаться операция процессора на внешней шине.

На Рисунок 8-28 приведены временные диаграммы процесса передачи процессором K1879BM5Я управления шиной внешнему устройству, сформировавшему запрос на захват шины.

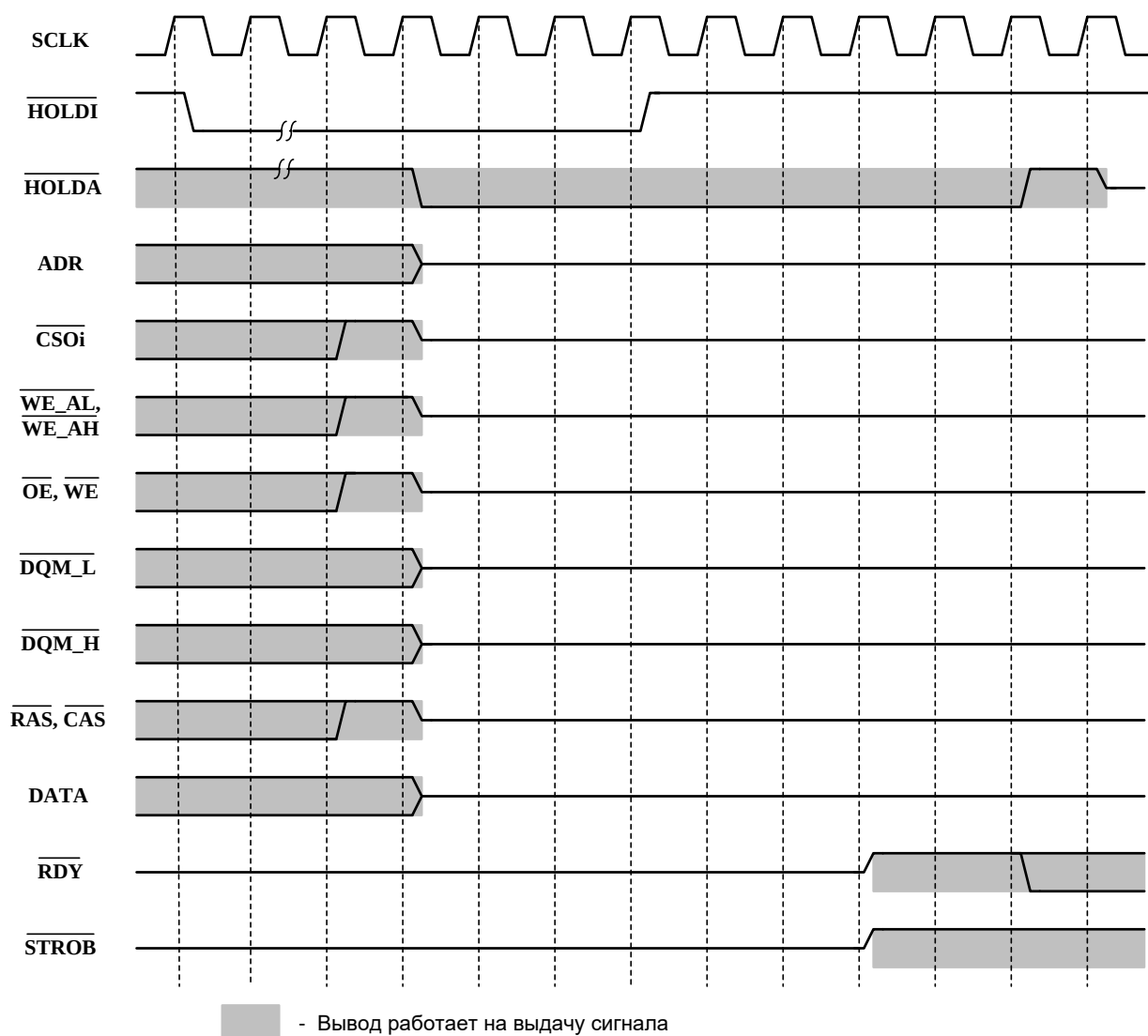


Рисунок 8-28 - Временные диаграммы передачи управления шиной внешнему устройству

					ЮФКВ.431282.006РЭ				Лист
									138
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4		 21.05.12		18061-3					

Для получения управления внешней шиной внешнее устройство выставляет сигнал запроса $\overline{\text{HOLDI}}$.

Запрос (низкий уровень сигнала $\overline{\text{HOLDI}}$) защелкивается процессором по положительному фронту сигнала SCLK . Если запросы к внешней шине со стороны процессора K1879BM5Я отсутствуют, и передача внешней шины программно не запрещена, то процессор выдает сигнал разрешения на передачу шины (низкий уровень на выводе HOLDA) и переводит управляющие выходы, адресные выходы и выходы шины данных в состояние “на прием”.

По получению сигнала разрешения на передачу шины ($\overline{\text{HOLDA}}$) внешнее устройство снимает сигнал $\overline{\text{HOLDI}}$.

Высокий уровень сигнала $\overline{\text{HOLDI}}$ фиксируется по положительному фронту тактового сигнала шины (SCLK). Через два такта внешней шины выходы RDY и $\overline{\text{STRB}}$ переключаются в положение “на вывод” и еще через два такта на выход HOLDA выдается высокий уровень. В следующем такте SCLK вывод HOLDA переводится в переводятся в состояние “на прием”. С этого момента внешнее устройство становится драйвером шины.

Разрешение передачи шины внешнему устройству задается программистом в регистре управления периферийными устройствами PCR (Peripheral Control Register). Регистр PCR программно доступен для записи и чтения. Кроме этого имеется возможность побитной установки и сброса полей регистра.

Формат полей регистра PCR, управляющих разрешением на передачу шины внешнему устройству, представлен на Рисунок 8-29, а функциональное назначение этих полей представлено в Таблица 8-7.

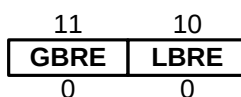


Рисунок 8-29 - Формат полей регистра PCR, управляющих разрешением на передачу шины.

Таблица 8-7 - Функциональное назначение полей регистра PCR, управляющих разрешением на передачу шины

Обозначение	Функциональное назначение	Описание	
LBRE	Разрешение на передачу локальной шины процессора	0 -	Передача шины запрещена
		1 -	Передача шины разрешена
GBRE	Разрешение на передачу глобальной шины процессора	0 -	Передача шины запрещена
		1 -	Передача шины разрешена

					ЮФКВ.431282.006РЭ			Лист
								139
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

9 Кэш- память команд

Данная глава содержит описание организации и алгоритмов работы кэш- памяти команд процессора K1879BM5Я. Использование кэш- памяти позволяет уменьшить среднее время выборки команд, расположенных во внешней памяти, и оптимизировать загрузку внешних шин процессора.

Программа пользователя может быть расположена как во внешней, так и во внутренней памяти K1879BM5Я. Программа, расположенная во внутренней памяти, не кэшируется, так как время выборки команд из внутренней памяти сравнимо с временем выборки команд из кэш памяти.

Основные характеристики кэш- памяти команд процессора K1879BM5Я:

- объём 8 Кбайт (1К*64 разряда);
- наборно- ассоциативная организация (8 way set- associative cache);
- аппаратная поддержка до восьми промахов в кэш без блокировки выборки команд;
- предвыборка до 8 команд из внешней памяти;
- переменная величина страницы кэш (до 128*64 разряда);
- использование LRU алгоритма замещения страниц (Least Recently Used).
- возможность программной заморозки кэш, её очистки и включения/выключения;
- возможность программного распределения кэшируемых и некэшируемых областей внешней памяти;

9.1 Структурная схема блока кэш- памяти команд

Адрес команды, выбираемой из внешней памяти, при анализе попадания в кэш- память условно разбивается на три области. Разбиение адреса команды на поля и схема отражения основной памяти на кэш- память представлена на Рисунок 9-1. Так как выборка команд идет 64- разрядными словами младший разряд адреса при выборке команд не анализируется.

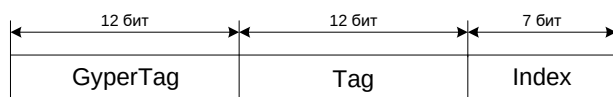
В кэш- памяти команд в каждый момент времени может быть отражена только одна область внешней памяти размером $2^{(12+7+1)} = 1$ Мслово. Данная область называется гиперстраницей. Адрес этой области определяется разрядами 31...20 адреса выбираемой команды (поле GureTag на Рисунок 9-1). Адрес текущей гиперстраницы может быть задан как аппаратно при выборке команды, так и программно.

Кэшируемая область внешней памяти (гиперстраница) условно разбивается на $2^{12} = 4096$ страниц размером $2^{7+1} = 256$ 32- разрядных слов. Поскольку объем кэш- памяти существенно меньше размера гиперстраницы внешней памяти, то в ней может быть

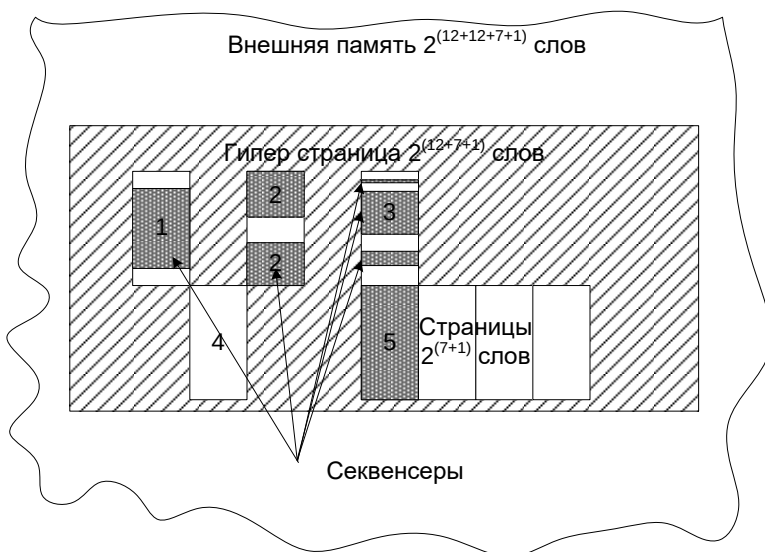
					ЮФКВ.431282.006РЭ				Лист
									140
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	

реально отображено не более 8 страниц, причем любая страница отображаемой гиперстраницы может быть отражена в любой аппаратной странице. Адрес текущей страницы определяется разрядами 19...8 адреса выбираемой команды (поле Tag на Рисунок 9-1).

Разряды 7...1 адреса выбираемой команды (поле Index на Рисунок 9-1) определяет смещение внутри страницы.



Поля адреса команды $Adr[31:1]$



- 1 - Секвенсер, отражающий одну последовательность на странице
- 2 - Секвенсер, отражающий две последовательности на странице
- 3 - Три секвенсера на странице
- 4 - Пустая страница
- 5 - Полная страница

Рисунок 9-1 - Схема отображения внешней памяти на кэш- память команд

Страницы памяти не сразу целиком копируются в аппаратные страницы кэш-памяти, а по мере выборки команд из внешней памяти, т.е. в каждый момент времени только часть страницы текущей гиперстраницы отображается в кэш-памяти.

Непрерывная область внешней памяти – отображенная в странице кэш-памяти называется *секвенсером*. Секвенсер может отражать либо одну, либо две непрерывные области на странице (Рисунок 9-1, п. 1 и 2 соответственно). Если секвенсер отражает две последовательные области на странице, то обязательно одна область расположена в начале страницы, а другая в конце. *Секвенсер* полностью определяется кодом страницы, которой он принадлежит, начальным и конечным смещением внутри страницы и признаком отражения одной или двух последовательностей.

В процессоре K1879BM5Я аппаратно реализовано восемь секвенсеров. Каждый из них может принадлежать любой странице, причем несколько секвенсеров могут

					ЮФКВ.431282.006РЭ				Лист
									141
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4				21.05.12	18061-3				

принадлежать одной странице (Рисунок 9-1, п. 3). Секвенсеры могут расширяться как в сторону увеличения адресов, так и в сторону уменьшения адресов.

Если секвенсер расширился до размеров страницы, то формируется признак заполненности страницы, и аппаратура секвенсера освобождается (Рисунок 9-1, п. 5).

Структурная схема данного блока представлена на Рисунок 9-2.

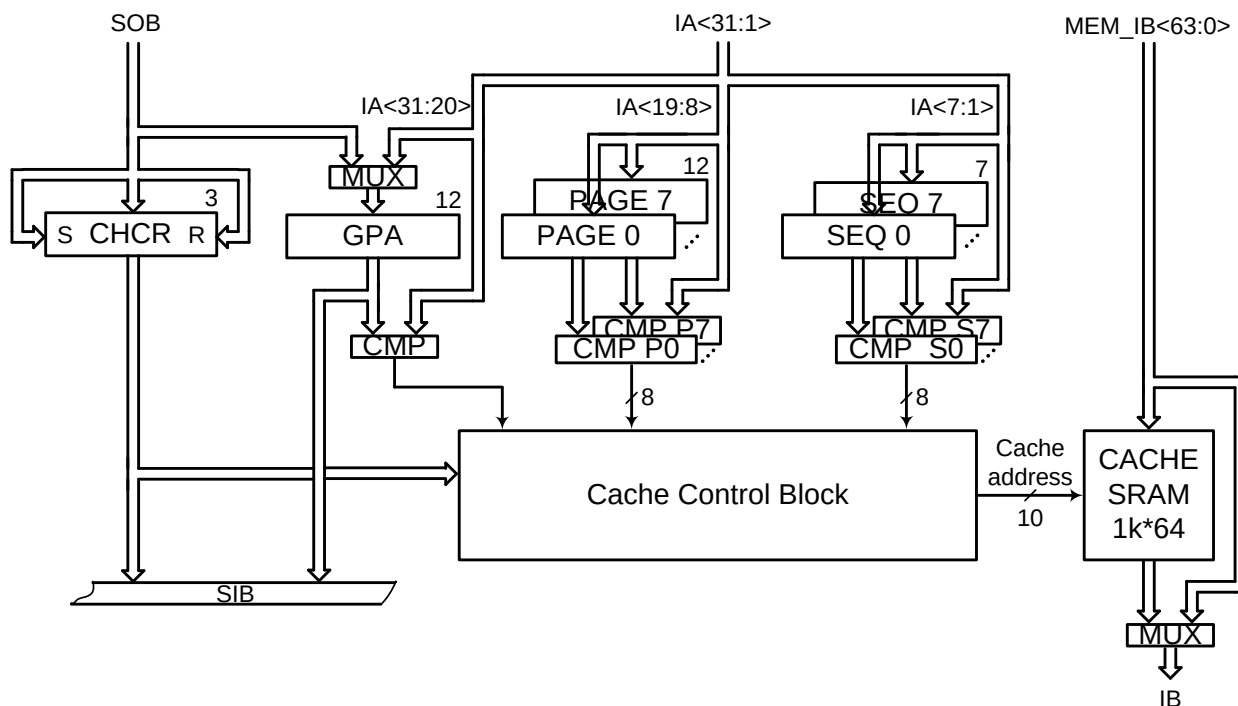


Рисунок 9-2 - Структурная схема блока кэш- памяти

Блок кэш- памяти в своем составе содержит следующие узлы:

GPA (Gyper Page Address) – двенадцатиразрядный регистр адреса гиперстраницы. Регистр предназначен для хранения адреса гиперстраницы внешней памяти, отраженной в кэш- памяти. Регистр доступен для записи и чтения по скалярной шине (разряды 31...20 скалярной шины). Кроме этого возможна аппаратная запись в этот регистр старших разрядов адреса выбираемой команды при обращении в другую гиперстраницу внешней памяти.

CMP (Comparator) – схема сравнения старших разрядов адреса команды, выбираемой из внешней памяти, с содержимым регистра GPA. По результату сравнения принимается решение о попадании адреса команды в гиперстраницу, отраженную в кэш- памяти.

PAGE0 ...PAGE7 - восемь двенадцатиразрядных регистров страниц. Каждый регистр содержит адрес страницы внешней памяти, отраженной в кэш- памяти. Запись разрядов 19...8 адреса выбираемой из внешней памяти команды происходит

					ЮФКВ.431282.006РЭ				Лист
									142
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4				21.05.12	18061-3				

аппаратно при первом обращении к данной странице. Если не все регистры страниц активны, то запись будет производиться в свободный регистр. В случае когда активны все регистры страниц, запись будет производиться в тот регистр страницы, обращение к которому было самым ранним (алгоритм замещения LRU (Least Recently Used)).

CMP P0 ... CMP P7 (Comparator Page 0...7) – восемь идентичных схем сравнения разрядов 19...8 адреса выбираемой команды с содержимым регистров PAGE0...7 соответственно. По результатам сравнения определяется в какую из отраженных в кэш- памяти страниц попал адрес выбираемой команды.

SEQ 0 ...SEQ 7 (Sequencer0...7) – восемь блоков секвенсеров, определяющих непрерывные области внешней памяти, принадлежащие страницам и отраженные в кэш- памяти. Каждая последовательность характеризуется признаком принадлежности к конкретной странице, отраженной в кэш- памяти, а также начальным и конечным смещением внутри данной страницы. Секвенсер инициализируется при первом обращении к новой последовательности. Если не все секвенсеры активны, то будет инициализирован свободный секвенсер. В случае когда активны все секвенсеры будет замещен тот секвенсер, обращение к которому было самым ранним (алгоритм замещения LRU (Least Recently Used)).

CMP S0 ... CMP S7 (Comparator Sequencer 0...7) - восемь идентичных схем, анализирующих попадание адреса выбираемой команды в активный секвенсер.

Cache Control Block – блок управления кэш- памятью. На основе сигналов компараторов гиперстраницы, страниц и секвенсеров блок формирует признак попадания в кэш- память, генерирует десятиразрядный адрес в кэш- памяти по которому будет производиться считывание команды, в случае попадания в кэш- память, или запись команды, в случае промаха в кэш- память и управляет изменением состояния вышеописанных блоков.

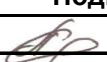
Cache SRAM – память статического типа объемом 1К*64 разряда, выполняющая функцию хранения команд процессора.

MUX – мультиплексор, пропускающий на шину команд процессорного ядра IB[63:0] команду, выбранную из кэш- памяти (при попадании в кэш команд), или из внешней памяти по шине MEM_IB[63:0] (промах в кэш или кэш отключена).

CHCR (Cache Control Register) - 3-разрядное поле в регистре PCR (Peripheral Control Register), предназначенное для управления работой блока кэш- памяти команд. Регистр PCR программно доступен для записи и чтения. Кроме этого имеется возможность побитной установки и сброса полей регистра.

9.2 Поле конфигурации кэш- памяти команд

Поле CHCR регистра PCR задает режимы работы блока кэш- памяти. Формат поля CHCR представлен на Рисунке 9-3, а функциональное назначение отдельных разрядов поля CHCR приведено в Таблица 9-1.

					ЮФКВ.431282.006РЭ				Лист
									143
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

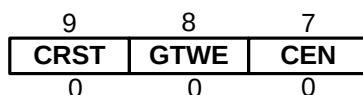


Рисунок 9-3 - Формат поля управления кэш- памятью команд

Таблица 9-1 - Функциональное назначение управляющих бит поля CHCR регистра PCR

Поле	Функция	Описание	
CEN	Разрешение работы кэш- памяти	0 –	При выборке команд из внешней памяти не используется кэш- память”
		1 –	При выборке команд из внешней памяти используется кэш- память
GTWE	Разрешение аппаратной записи в регистр гиперстраницы	0 –	Аппаратная запись разрешена
		1 –	Аппаратная запись запрещена
CRST	Сброс содержимого кэш- памяти	0 –	Запись лог “1” в данное поле сбрасывает содержимое кэш- памяти
		1 –	

Поле CEN определяет будет ли при выборке команд из внешней памяти анализироваться состояние кэш- памяти. Если работа кэш- памяти запрещена, то команды будут выбираться из внешней памяти минуя кэш-память. Необходимо отметить, что при нулевом значении данного бита состояние кэш-памяти не изменяется т.е. сброс данного поля означает “заморозку” кэш памяти в состоянии на момент сброса бита CEN.

Поле GTWE разрешает аппаратную запись в регистр гиперстраницы. Если аппаратная запись в регистр GPA разрешена, то при обращении за командой в гиперстраницу, отличную от отраженной в кэш-памяти, произойдет сброс содержимого кэш-памяти и замещение гиперстраницы в регистре GPA. Кэш-память в этом случае будет заполняться с состояния как после системного сброса.

Если аппаратная запись в регистр GPA запрещена, то при обращении за командой в гиперстраницу, отличную от отраженной в кэш-памяти, состояние кэш-памяти не изменится, а команды будут выбираться из внешней памяти так, как будто кэш-память отсутствует.

Данный механизм, в сочетании с программной записью регистра гиперстраницы, позволяет разделить внешнюю память на кэшируемую и не кэшируемую области.

Установка в “1” поля CRST позволяет очистить содержимое кэш- памяти. Процедура очистки кэш- памяти выполняется в каждом процессорном такте до тех пор, пока бит CRST не будет программно сброшен.

Аналогичная процедура сброса кэш-памяти выполняется при любой программной записи в регистр гиперстраницы GPA.

					ЮФКВ.431282.006РЭ				Лист
									144
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

9.3 Организация работы кэш- памяти команд

После системного сброса работа кэш-памяти запрещена, аппаратная запись в регистр гиперстраницы разрешена (биты CEN и GTWE в регистре PCR сброшены). Все страницы и секвенсеры неактивны. Содержимое регистра гиперстраницы GPA не определено.

После разрешения использования кэш-памяти, если состояние поля GTWE в регистре PCR не изменилось, то при первом обращении за командой к внешней памяти произойдет аппаратная запись разрядов 31...20 адреса команды в регистр GPA, разрядов 19...8 адреса команды в один из регистров страницы и с учетом разрядов 7...1 адреса команды инициализируется один из секвенсеров. Если первый запрос отправлен, то, не дожидаясь считывания команды, адрес команды инкрементируется и формируется следующий запрос.

Адресный генератор команд имеет возможность отсылать к внешней памяти до восьми запросов до получения первой считанной команды.

Анализ каждого следующего запроса приводит к увеличению конечного смещения инициализированного секвенсера. Таким образом он будет отражать все увеличивающуюся непрерывную последовательность команд. Получаемые из внешней памяти команды будут выданы на шину команд процессора IB<63:0>, и одновременно записаны в кэш- память. Подобная процедура будет повторяться до выполнения команды перехода.

Если не дождавшись команды перехода адрес выбираемой команды перейдет границу страницы, то произойдет инициализация другой страницы и другого секвенсера.

При выполнении команды перехода, формируемый адрес перехода защелкивается в адресном генераторе. Если этот адрес отражен в кэш-памяти, т.е.

- старшие разряды адреса (31...20) совпадают с содержимым регистра GPA,
- средние разряды адреса (19...8) совпадают с содержимым регистра одной из активных страниц,
- младшие разряды адреса (7...1) попадают в последовательность, отраженную одним из секвенсеров, принадлежащих выбранной активной странице.

то вместо запроса к внешней памяти, формируется запрос на чтение команды из кэш- памяти. Если адрес не отражен в кэш- памяти, то инициализируется новый секвенсер и, если необходимо, новая страница и новая последовательность команд будет записана в кэш- память.

Если все страницы или секвенсеры активны, то происходит замещение страницы или секвенсера, обращение к которым было наиболее ранним - алгоритм замещения LRU (Least Recently Used).

Необходимо отметить, что до момента исполнения команды перехода, во внешнюю память будет отправлен ряд запросов (не более одиннадцати) за командами,

					ЮФКВ.431282.006РЭ				Лист
									145
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

расположенными в тексте программы после команды перехода. Если переход будет осуществлен, эти команды, кроме отложенной, не выполняются, но будут записаны в кэш-память.

Если аппаратная запись в регистр гиперстраницы запрещена (бит GTWE в регистре PCR установлен), то блок кэш- памяти будет работать аналогичным образом, за исключением того, что при обращении к гиперстранице, отличной от отраженной в кэш-памяти, команды будут выбираться из внешней памяти, но никакого изменения состояния кэш-памяти не произойдет.

					ЮФКВ.431282.006РЭ				Лист
									146
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата		
18061-4		 21.05.12			18061-3				

10 Байтовый коммуникационный порт

Синхронные байтовые коммуникационные порты ввода/вывода предназначены для высокоскоростного обмена данными между процессорами или между процессором и внешним устройством по типу “точка - точка”. Блок коммуникационных портов в своем составе содержит два коммуникационных порта – COM0 и COM1. По устройству и функциональным возможностям оба порта идентичны.

Основные характеристики каждого из портов процессора K1879BM5Я:

- непосредственная коммутация процессоров с помощью 8 линий данных и 4 линий управления;
- передача в обе стороны с производительностью до 160 Мбайт/сек (при тактовой частоте работы процессора (PCLK) равной 320 МГц);
- возможность работы с половинной скоростью (до 80 Мбайт/сек) для более надёжного обмена;
- синхронный обмен с выставлением строба и данных от передатчика к приёмнику для увеличения скорости обмена, причём данные меняются по каждому фронту переключения строба (по типу Double Data Rate);
- формирование сигнала готовности от приёмника передатчику для синхронизации их работы;
- автоматический асинхронный арбитраж шины данных между двумя процессорами;
- синхронизация работы процессорного ядра и двух коммуникационных портов посредством внутренних прерываний и внутренних сигналов запроса на ПДП;
- поддержка таких видов мультипроцессорных архитектур, как кольца и двунаправленные конвейеры.

10.1 Структурная схема коммуникационного порта

Структурная схема блока коммуникационного порта представлена на Рисунок 10-1.

					ЮФКВ.431282.006РЭ				Лист
									147
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.		Подп. и дата	

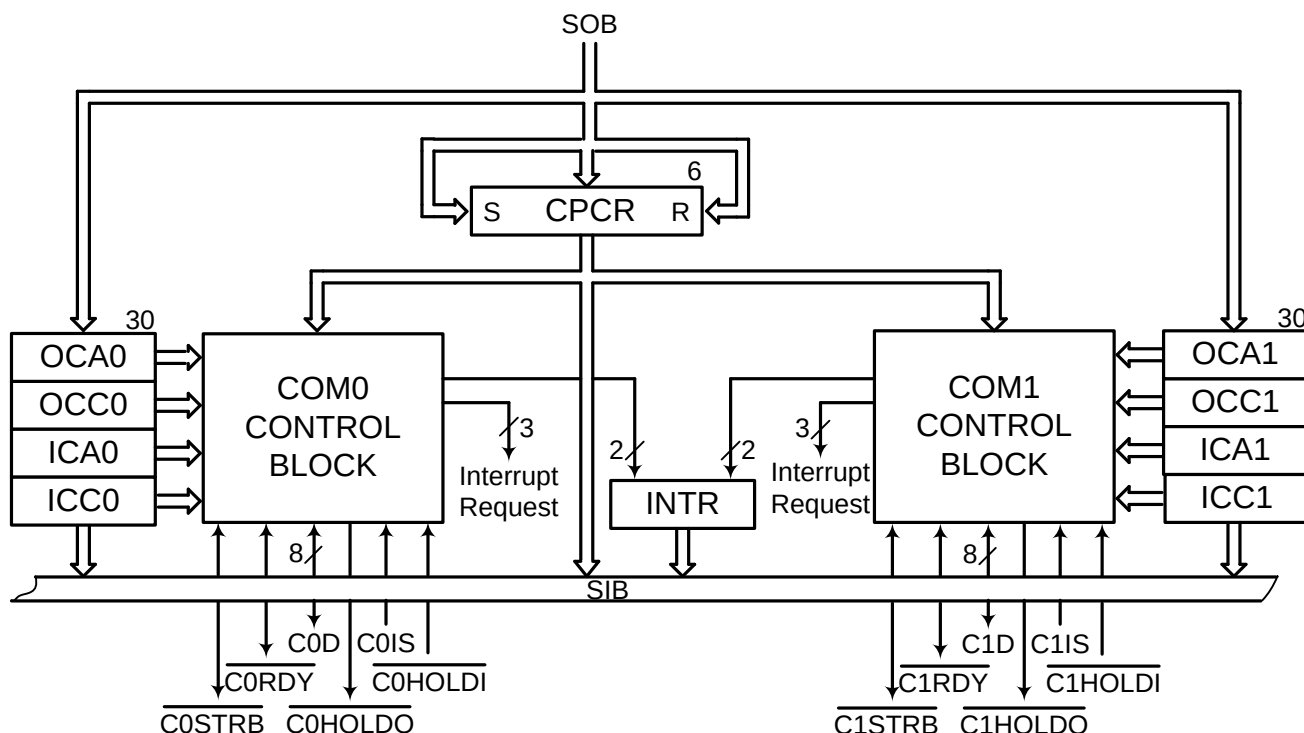


Рисунок 10-1 - Структурная схема блока коммуникационных портов

Блок ЕМІ содержит следующие узлы:

OCA0 (OCA1) (Output Channel Address 0 (1)) - 30-разрядный генератор адресов данных при работе коммуникационного порта “на передачу”. Генератор состоит из регистра адреса и инкремента. Регистр адреса доступен для записи и чтения по скалярной шине (разряды 30...1 скалярной шины). После старта коммуникационного порта “на передачу” содержимое регистра адреса инкрементируется при каждом обращении к памяти процессора.

OCC0 (OCC1) (Output Channel Counter 0 (1)) – 32-разрядный счетчик передаваемых данных. Счетчик состоит из регистра и инкремента. Регистр счетчика доступен для записи и чтения по скалярной шине (разряды 63...32 скалярной шины). После старта коммуникационного порта “на передачу” содержимое регистра счетчика инкрементируется при каждом обращении к памяти процессора.

Блоки **OCA0** и **OCC0** образуют канал передачи коммуникационного порта COM0, а блоки **OCA1** и **OCC1** образуют канал передачи коммуникационного порта COM1.

ICA0 (ICA1) (Input Channel Address 0 (1)) - 30-разрядный генератор адресов данных при работе коммуникационного порта “на прием”. Генератор состоит из регистра адреса и инкремента. Регистр адреса доступен для записи и чтения по скалярной шине (разряды 30...1 скалярной шины). После старта коммуникационного порта “на

					ЮФКВ.431282.006РЭ				Лист
									148
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4				21.05.12	18061-3				

прием” содержимое регистра адреса инкрементируется при каждом обращении к памяти процессора.

ICC0 (ICC1) (Input Channel Counter 0 (1)) – 32-разрядный счетчик принимаемых данных. Счетчик состоит из регистра и инкрементора. Регистр счетчика доступен для записи и чтения по скалярной шине (разряды 63...32 скалярной шины). После старта коммуникационного порта “на прием” содержимое регистра счетчика инкрементируется при каждом обращении к памяти процессора.

Блоки **ICA0** и **ICC0** образуют канал приема коммуникационного порта COM0, а блоки **ICA1** и **ICC1** образуют канал приема коммуникационного порта COM1,

CPCR (Communication Port Control Register) - 6-разрядное поле в регистре PCR (Peripheral Control Register), предназначенное для управления работой блока коммуникационных портов. Регистр PCR программно доступен для записи и чтения по скалярной шине. Кроме этого имеется возможность побитной установки и сброса полей регистра.

COM0 (COM1) CONTROL BLOCK - устройство управления коммуникационным портом 0 и 1 соответственно. Блок управления выставляет запросы к внешней или внутренней памяти процессора, управляет пересылкой и переупаковкой данных, формирует управляющие сигналы на внешних выводах процессора, осуществляет арбитраж шины порта и формирует запросы на прерывания и флаги состояния коммуникационного порта.

INTR – четырехразрядное поле в регистре INTR, в котором отображаются флаги состояния каналов приема и передачи коммуникационных портов. Регистр INTR доступен по чтению по скалярной шине.

10.2 Внешние выводы коммуникационного порта

В каждый момент времени коммуникационный порт может находиться в одном из двух состояний: в режиме приема или в режиме передачи. В режиме передачи порт является активным устройством, выдающим на шину данные и стробирующие сигналы. В режиме приема порт является пассивным устройством, ожидающим прихода данных. Функциональное назначение выводов коммуникационного порта в зависимости от его состояния показано в Таблица 10-1.

Состояние коммуникационного порта в зависимости от состояния конфигурационных входов показаны в Таблица 10-2.

					ЮФКВ.431282.006РЭ				Лист
									149
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Таблица 10-1 - Функциональное описание выводов коммуникационного порта

Обозначение ^{1) 2)}	Кол-во	Тип ³⁾	Функциональное назначение	
			Ком. порт в режиме приема	Ком. порт в режиме передачи
CxD	8	I/O	Входы данных	Выходы данных
$\overline{\text{CxSTRB}}$	1	I/O	Входной строб данных	Выходной строб данных
$\overline{\text{CxRDY}}$	1	I/O	Выход готовности к приему следующего байта	Вход готовности к приему следующего байта
$\overline{\text{CxHOLDI}}$	1	I	Вход разрешения на передачу шины от внешнего устройства	Вход запроса внешнего устройства на захват шины
$\overline{\text{CxHOLDO}}$	1	O	Выход запроса порта на передачу шины	Выход разрешения порта на передачу шины
CxIS	1	I	Состояние коммуникационного порта после системного сброса	Состояние коммуникационного порта после системного сброса

- Примечания:**
- 1) При обозначении выводов символ "х" для коммуникационного порта COM0 принимает значение 0, а для коммуникационного порта COM1 принимает значение 1.
 - 2) Для выводов со знаком инверсии активным является низкий уровень сигнала.
 - 3) Используемые обозначения типов выводов:
I – вход,
O - выход,
O(Z) – выход с высокоимпедансным состоянием,
I/O – двунаправленный вывод

Таблица 10-2 - Состояние коммуникационного порта после системного сброса

Обозначение	Функциональное назначение	Описание	
CxIS	Состояние коммуникационного порта после системного сброса	0 -	Порт в режиме приема
		1 -	Порт в режиме передачи

10.3 Поле конфигурации коммуникационного порта

Поле CPCR регистра PCR управляет работой каналов приема и передачи коммуникационных портов. Формат поля CPCR представлен на Рисунок 10-2, а функциональное назначение его полей приведено в Таблица 10-3.

17	16	15	14	13	12
C1RE	C1TE	C1F	C0RE	C0TE	C0F
0	0	0	0	0	0

Рисунок 10-2 - Формат поля управления блоком коммуникационных портов регистра PCR

					ЮФКВ.431282.006РЭ				Лист
									150
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Таблица 10-3 - Функциональное назначение управляющих бит поля CPCR регистра PCR

Поле	Функция	Описание	
C0F	Частота работы коммуникационного порта COM0	0 –	Частота передачи данных равна ½ тактовой частоте работы процессора
		1 –	Частота передачи данных равна ¼ тактовой частоте работы процессора
C0TE	Разрешение передачи коммуникационным портом COM0	0 –	Передача данных запрещена
		1 –	Передача данных разрешена
C0RE	Разрешение приема коммуникационным портом COM0	0 –	Прием данных запрещен
		1 –	Прием данных разрешен
C1F	Частота работы коммуникационного порта COM1	0 –	Частота передачи данных равна ½ тактовой частоте работы процессора
		1 –	Частота передачи данных равна ¼ тактовой частоте работы процессора
C1TE	Разрешение передачи коммуникационным портом COM1	0 –	Передача данных запрещена
		1 –	Передача данных разрешена
C1RE	Разрешение приема коммуникационным портом COM1	0 –	Прием данных запрещен
		1 –	Прием данных разрешен

10.4 Поле состояния коммуникационного порта

Флаги состояния каналов приема и передачи коммуникационных портов фиксируются в регистре INTR. Формат поля регистра INTR фиксирующего состояние коммуникационных портов представлен на Рисунок 10-3, а функциональное описание его полей представлено в Таблица 10-4.

29	28	27	26
CP1RA	CP1TA	CP0RA	CP0TA
0	0	0	0

Рисунок 10-3 - Формат поля регистра INTR, фиксирующего состояние каналов приема и передачи коммуникационных портов

Таблица 10-4 - Функциональное описание поля регистра INTR, фиксирующего состояние каналов приема и передачи коммуникационных портов

Поле	Функция	Описание	
CP1RA	Состояние канала приема коммуникационного порта 1	0 –	Канал приема остановлен
		1 –	Канал приема активен
CP1TA	Состояние канала передачи коммуникационного порта 1	0 –	Канал передачи остановлен
		1 –	Канал передачи активен
CP0RA	Состояние канала приема коммуникационного порта 0	0 –	Канал приема остановлен
		1 –	Канал приема активен
CP0TA	Состояние канала передачи коммуникационного порта 0	0 –	Канал передачи остановлен
		1 –	Канал передачи активен

					ЮФКВ.431282.006РЭ				Лист
									151
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

10.5 Организация обмена данными по коммуникационному порту

Перед запуском канала коммуникационного порта необходимо задать начальный адрес и размер пакета передаваемых или принимаемых данных. Запись в регистр адреса и в счетчик передаваемых или принимаемых слов возможна только при остановленном канале коммуникационного порта (бит CPxRA для канала приема или бит CPxTA для канала передачи в регистре INTR сброшены). При попытке записи в регистры работающего канала операция не будет выполнена и устройство управления коммуникационным портом генерирует прерывание, которое может быть обработано контроллером прерываний стандартным образом. Чтение регистров канала возможно в любой момент времени.

Начальные адреса в памяти процессора памяти задаются в прямом коде. Размер передаваемого пакета оценивается в 64-разрядных словах и задается в дополнительном коде с кратностью в два 64-разрядных слова. Таким образом количество передаваемых или принимаемых данных варьируется от двух 64 разрядных слов (код FFFF_FFEh) до 2^{32} 64-разрядных слов (код 0000_0000 h).

В регистре PCR задается частота передачи данных по коммуникационному порту. Старт работы канала осуществляется установкой битов CxRE или CxTE регистра PCR для каналов приема и передачи соответственно. Запуск каналов коммуникационного порта происходит независимо от того, в каком состоянии (приема или передачи) находится сам коммуникационный порт.

В следующем после установки бита CxRE (CxTE) процессорном такте в регистре INTR устанавливается соответствующий флаг состояния каната коммуникационного порта.

При приеме или передаче пакета данных коммуникационный порт обращается или только к внутренней памяти процессора, или только к внешней памяти. С какой именно памятью – внешней или внутренней – работает канал коммуникационного порта определяется в момент старта канала по начальному адресу пакета данных. Если в процессе обмена соответствующий генератор адресов данных переходит границу внешней и внутренней памяти процессора, то вместо следующего адреса в адресный регистр генератора защелкнется адрес 0000_0000h. После этого прием или передача данных продолжатся в штатном режиме.

После старта канала передачи, устройство управления стремится перевести коммуникационный порт в режим передачи. Если ком. порт находится в режиме приема, то запускается процедура арбитража шины коммуникационного порта. Детально процедура арбитража шины описана в разделе 10.6. После окончания процесса арбитража устройство управления выдает запрос к внешней или внутренней памяти процессора, переупаковывает считанное из памяти 64-разрядное слово в пакет из восьми байтов и, в случае готовности приемника, выдает пакет на шину коммуникационного порта (CxD[7:0]) младшим байтом вперед. Приоритет запроса к памяти от коммуникационного порта является наивысшим относительно запросов к памяти процессорного ядра или контроллера ПДП “память- память”.

					ЮФКВ.431282.006РЭ				Лист
									152
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Каждый выдаваемый на шину коммуникационного порта байт сопровождается изменением состояния на выходе CxSTRB. В зависимости от частоты работы коммуникационного порта изменение состояния вывода CxSTRB сдвинуто относительно выдачи байта данных на время, равное одному или двум периодам тактового сигнала процессора (PCLK). Это позволяет использовать фронты сигнала CxSTRB для фиксации данных на приемном конце.

Сигнал готовности приемника (CxRDY) фиксируется процессором по положительному фронту сигнала PCLK и анализируется при выдаче каждого байта данных.

После старта канала приема, устройство управления находится в режиме ожидания данных с шины коммуникационного порта (CxD[7:0]). Получаемые данные фиксируются процессором как по фронту, так и по срезу сигнала строба данных (CxSTRB). После получения каждых восьми байтов происходит переупаковка данных в 64-разрядное слово и выдается запрос на запись во внутреннюю или внешнюю память процессора. Приоритет запроса к памяти от коммуникационного порта является наивысшим относительно запросов к памяти процессорного ядра или контроллера ПДП "память-память".

Если канал приема не готов принять очередной байт данных, то сигнал готовности приемника (CxRDY) снимается. Передатчик, зафиксировав отсутствие готовности приемника, должен сразу же прекратить выдачу данных и изменение сигнала CxSTRB. Однако прекращение передачи данных при отсутствии готовности приемника не происходит мгновенно после снятия сигнала CxRDY из-за задержек распространения сигналов от передатчика к приемнику и обратно. Поэтому в канале приема реализован буфер, позволяющий принять данные, отправленные передатчиком до фиксации неготовности приемника. Размер этого буфера накладывает ограничения на время распространения сигналов. Корректная работа канала приема гарантируется, если время распространения сигнала между приемником и передатчиком не более двух периодов тактового сигнала процессора (PCLK).

Временные диаграммы обмена по коммуникационному порту представлены на Рисунок 10-4.

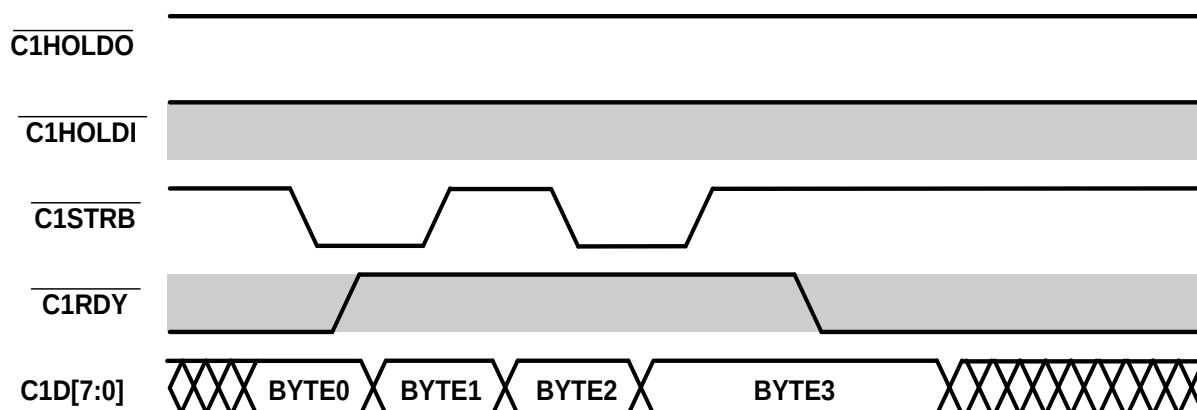
Инкремент счетчика принимаемых или передаваемых слов происходит при обслуживании запроса канала коммуникационного порта к памяти процессора. При достижении счетчиком нулевого значения формирование запросов прекращается и соответствующий бит управления каналом CxRE или CxTE в регистре PCR сбрасывается.

Флаги активности канала коммуникационного порта CPxRA (CPxTA) в регистре INTR сбрасывается с некоторой задержкой, относительно сброса битов CxRE (CxTE) в регистре PCR. Это связано с необходимостью закончить пересылку данных между памятью процессора и шиной коммуникационного порта. В момент обнуления флага активности канала формируется запрос на прерывание по окончании процедуры

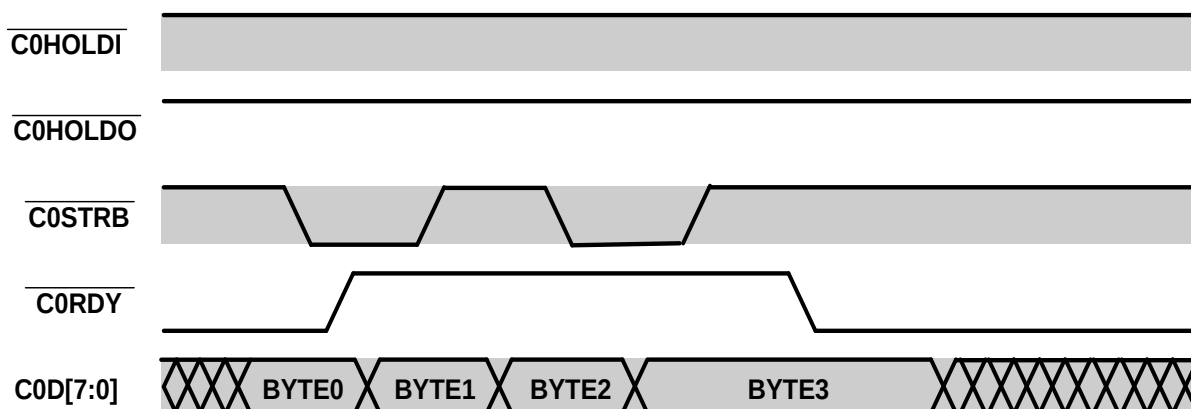
					ЮФКВ.431282.006РЭ				Лист
									153
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

передачи или приема данных. Этот запрос может быть обработан контроллером прерываний стандартным образом.

Коммуникационный порт, передающий данные



Коммуникационный порт, принимающий данные



Примечание:



- вывод работает как вход
(если не окрашен – работает как выход)

Рисунок 10-4 - Временные диаграммы обмена по коммуникационному порту

Помимо аппаратного останова каналов коммуникационного порта по обнулению счетчика передаваемых или принимаемых слов, существует возможность программного останова, путем сброса соответствующих битов управления каналом CxRE или CxTE в регистре PCR. При программном останове канала передачи устройство управления прекращает формировать запросы к памяти процессора, но

					ЮФКВ.431282.006РЭ				Лист
									154
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

все ранее считанные данные будут выданы на внешнюю шину порта. При программном останове канала приема также прекращается формирование запросов к памяти, однако прием данных с внешней шины коммуникационного порта будет продолжен до снятия сигнала готовности (C_xRDY).

При программном останове канала флаги активности канала CP_xRA (CP_xTA) в регистре INTR сбрасываются так же, как и при аппаратном останове, однако формирования запросов на прерывание по окончании процедуры передачи или приема не происходит.

10.6 Арбитраж шины коммуникационного порта

Процедура арбитража шины позволяет изменить состояние коммуникационного порта с приема на передачу и обратно. Управление процедурой осуществляется с помощью внешних выводов C_xHOLDI и C_xHOLDO . Функциональное назначение этих выводов в различных состояниях коммуникационного порта представлено в Таблица 10-1.

Временные диаграммы арбитража шины представлены на Рисунок 10-5.

Коммуникационный порт, находящийся в режиме приема, запрашивает шину при запуске канала передачи порта (установке битов C_xTE в регистре PCR) независимо от того, идет в данный момент прием данных или нет. С этой целью на выходе C_xHOLDO устанавливается низкий уровень сигнала.

Если коммуникационный порт, передающий данные, закончил выдачу (бит CP_xTA в регистре INTR сброшен) и у него инициализирован канал приема данных (бит C_xRE в регистре PCR установлен), то получив запрос на захват шины он выставляет сигнал разрешения на передачу шины.

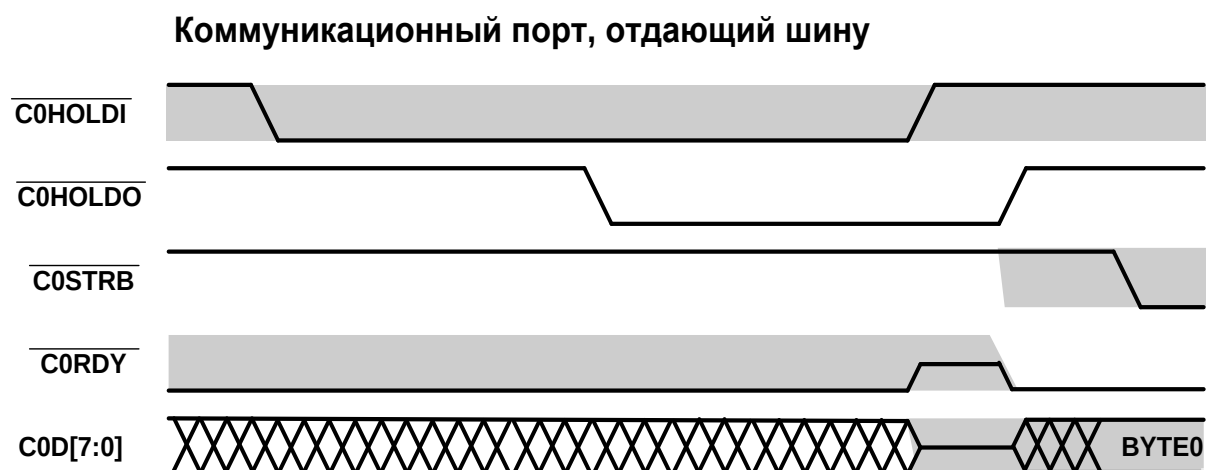
Для корректного выполнения арбитража шины необходимо, чтобы все переданные данные были записаны портом- приемником в память процессора. Если этого не произойдет то процедура арбитража останется неоконченной даже если разрешение на захват шины получено.

После получения сигнала разрешения на захват шины (низкий уровень на входе C_xHOLDI) порт- приемник переводит вывод C_xRDY в состояние “на прием”, вывод C_xSTRB в положение “на вывод” и снимает запрос на захват шины (C_xHOLDO).

Зафиксировав снятие запроса на захват шины, порт- передатчик переводит шину данных C_xD и вывод C_xSTRB в положение “на прием”, вывод C_xRDY в состояние “на вывод” и снимает сигнал разрешения на передачу шины.

В свою очередь порт-приемник, зафиксировав снятие разрешения на передачу шины (высокий уровень на входе C_xHOLDI), переводит выводы данных в состояние “на выдачу”. С этого момента он становится передатчиком и начинает осуществлять выдачу данных.

					ЮФКВ.431282.006РЭ				Лист
									155
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					



Примечание:



- вывод работает как вход
(если не окрашен – работает как выход)

Рисунок 10-5 - Временные диаграммы арбитража шины коммуникационного порта.

10.7 Нештатные ситуации при работе коммуникационного порта

Передача данных по коммуникационным портам предполагает взаимодействие двух портов: передатчика и приемника. Для корректной работы необходимо, чтобы количество данных, передаваемых передатчиком, совпадало с количеством данных, принимаемых приемником. В противном случае может возникнуть следующие некорректные ситуации:

					ЮФКВ.431282.006РЭ				Лист
									156
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4				21.05.12		18061-3			

- Приемник завершил прием данных, а передатчик продолжает передавать. Сигнал готовности приемника SxRDY устанавливается в состояние неготовности. Передатчик не может завершить передачу данных и не дает разрешения на передачу шины.
- Приемник завершил прием данных, передатчик передал на одно- два 64-разрядных слова больше и завершил передачу. Эти дополнительные данные, будучи приняты приемником, не записываются в память процессора а оседают в тракте передачи данных коммуникационного порта. В этом случае передатчик может быть как запущен на следующую передачу данных, так и может выдать сигнал готовности для передачи шины. Однако процедура арбитража шины в этом случае не может быть выполнена до конца.

Аналогичные некорректные ситуации могут возникнуть при программном останове канала приема коммуникационного порта.

Для предотвращения подобных коллизий рекомендуется держать канал приема коммуникационного порта постоянно активизированным.

					ЮФКВ.431282.006РЭ				Лист
									157
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

11.2 Регистр конфигурации цифрового порта общего назначения IOPCR

В регистре IOPCR задается конфигурация внешних выводов порта. Формат регистра IOPCR представлен на Рисунок 11-2, а функциональное назначение его полей приведено в Таблица 11-1.

7	6	5	4	3	2	1	0
IOD7	IOD6	IOD5	IOD4	IOD3	IOD2	IOD1	IOD0
0	0	0	0	0	0	0	0

Рисунок 11-2 - Формат регистра конфигурации порта общего назначения IOPCR

Таблица 11-1 - Функциональное назначение полей регистра IOPCR

Поле	Функция	Описание	
IOD0	Режим работы внешнего вывода IOP0	0 –	Вывод IOP0 работает “на ввод”
		1 –	Вывод IOP0 работает “на вывод”
IOD1	Режим работы внешнего вывода IOP1	0 –	Вывод IOP1 работает “на ввод”
		1 –	Вывод IOP1 работает “на вывод”
IOD2	Режим работы внешнего вывода IOP2	0 –	Вывод IOP2 работает “на ввод”
		1 –	Вывод IOP2 работает “на вывод”
IOD3	Режим работы внешнего вывода IOP3	0 –	Вывод IOP3 работает “на ввод”
		1 –	Вывод IOP3 работает “на вывод”
IOD4	Режим работы внешнего вывода IOP4	0 –	Вывод IOP4 работает “на ввод”
		1 –	Вывод IOP4 работает “на вывод”
IOD5	Режим работы внешнего вывода IOP5	0 –	Вывод IOP5 работает “на ввод”
		1 –	Вывод IOP5 работает “на вывод”
IOD6	Режим работы внешнего вывода IOP6	0 –	Вывод IOP6 работает “на ввод”
		1 –	Вывод IOP6 работает “на вывод”
IOD7	Режим работы внешнего вывода IOP7	0 –	Вывод IOP7 работает “на ввод”
		1 –	Вывод IOP7 работает “на вывод”

После системного сброса все выводы порта общего назначения сконфигурированы “на ввод”.

					ЮФКВ.431282.006РЭ					Лист
										159
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12			18061-3					

12 JTAG интерфейс

12.1 Структурная схема и внешние выводы JTAG интерфейса

Процессор K1879BM5Я имеет стандартный 5-выводной тестовый JTAG порт, реализованный согласно стандарту IEEE Std 1149.1- 1990. Данный порт обеспечивает тестируемость микросхемы как на уровне самого процессора K1879BM5Я, так и на уровне законченного изделия. Структурная схема JTAG интерфейса представлена на Рисунок 12-1, а внешние выводы тестового порта описаны в Таблица 12-1.

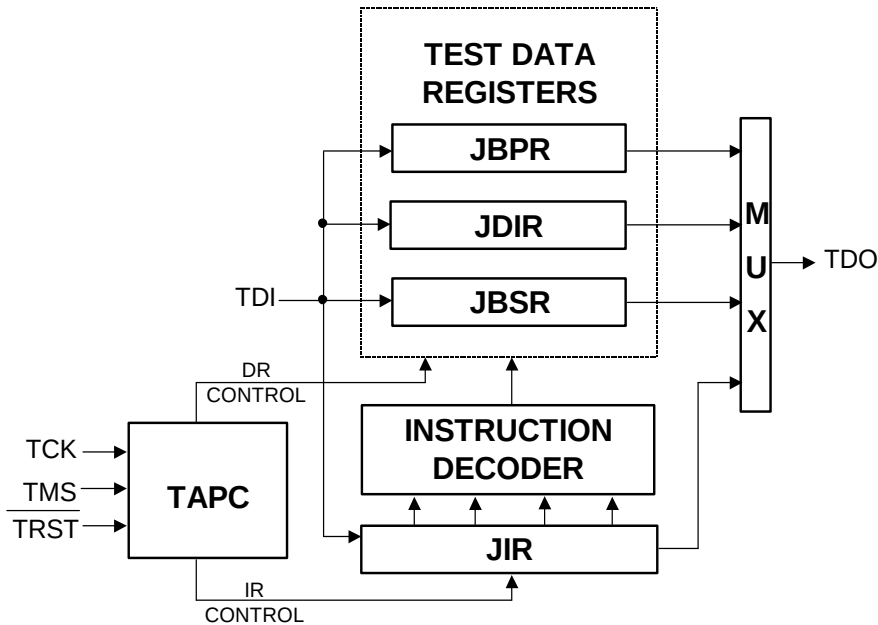


Рисунок 12-1 - Структурная схема тестового порта JTAG

Основными узлами тестового порта являются:

TAPC (Test Access Port Controller)- контроллер тестового порта. Данный контроллер реализован в виде конечного автомата, который управляет тестовой логикой в соответствии со стандартом IEEE Std 1149.1- 1990. Более подробно его работа будет описана в разделе 12.2.

JIR (JTAG Instruction Register) - 5-разрядный регистр команд. Данный регистр является сканируемым и хранит одну из возможных команд тестового порта, более подробно он будет описан в разделе 12.2.

JBPR (JTAG Bypass Register)- одноразрядный обходной регистр. Регистр используется для обхода пути сканирования внешних выводов, если это требуется.

					ЮФКВ.431282.006РЭ				Лист
									160
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			

JDIR (JTAG Device Identification Register) - 32-разрядный регистр идентификации устройства. Данный регистр содержит код, определяющий компанию-изготовителя, тип устройства и его версию, более подробно он будет описан в разделе 0.

JBSR (JTAG Boundary Scan Register) - регистр сканирования внешних выводов. Регистр содержит одну сканируемую ячейку на каждый вход/выход и одну сканируемую ячейку на каждый внутренний сигнал управления третьим состоянием для выходов и двунаправленных выводов, более подробно он будет описан в разделе 12.4.

Таблица 12-1 - Внешние выводы тестового порта JTAG

Сигнал	Тип	Функциональное назначение
TDI	I	Вход тестовых данных. Данный вывод используется для ввода команд и данных при тестировании через JTAG-порт.
TDO	O	Выход тестовых данных. При вводе данных через порт TDI, они всегда последовательно выдвигаются через этот вывод. Регистры команд и данных всегда образуют сдвиговый регистр между TDI и TDO
TMS	I	Выбор режима тестирования. Данный вывод управляет состоянием конечного автомата контроллера тестового порта.
TCK	I	Тактовый сигнал тестового интерфейса
$\overline{\text{TRST}}$	I	Сброс тестового порта, активный низкий уровень. Данный вывод переводит контроллер тестового порта в состояние Reset. В рабочем режиме на нём должен поддерживаться низкий уровень, чтобы гарантировать правильную работу процессора K1879BM5Я.

					ЮФКВ.431282.006РЭ				Лист
									161
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

12.2 Управление работой тестового порта

Работа тестового порта осуществляется под управлением контроллера порта TAPC. Он представляет собой конечный автомат, который меняет свои состояния в зависимости от уровня на внешнем выводе TMS, стробируемого передним фронтом тактового сигнала ТСК (см. Рисунок 12-2). Кроме того, для управления тестовым портом используются команды, последовательно загружаемые с внешнего входа TDI в регистр команд JIR. По команде выбирается то действие, который необходимо выполнить, а также один из регистров тестовых данных - JBPR, JIDR или JBSR - для доступа к нему. Команды тестового порта приведены в Таблица 12-2.

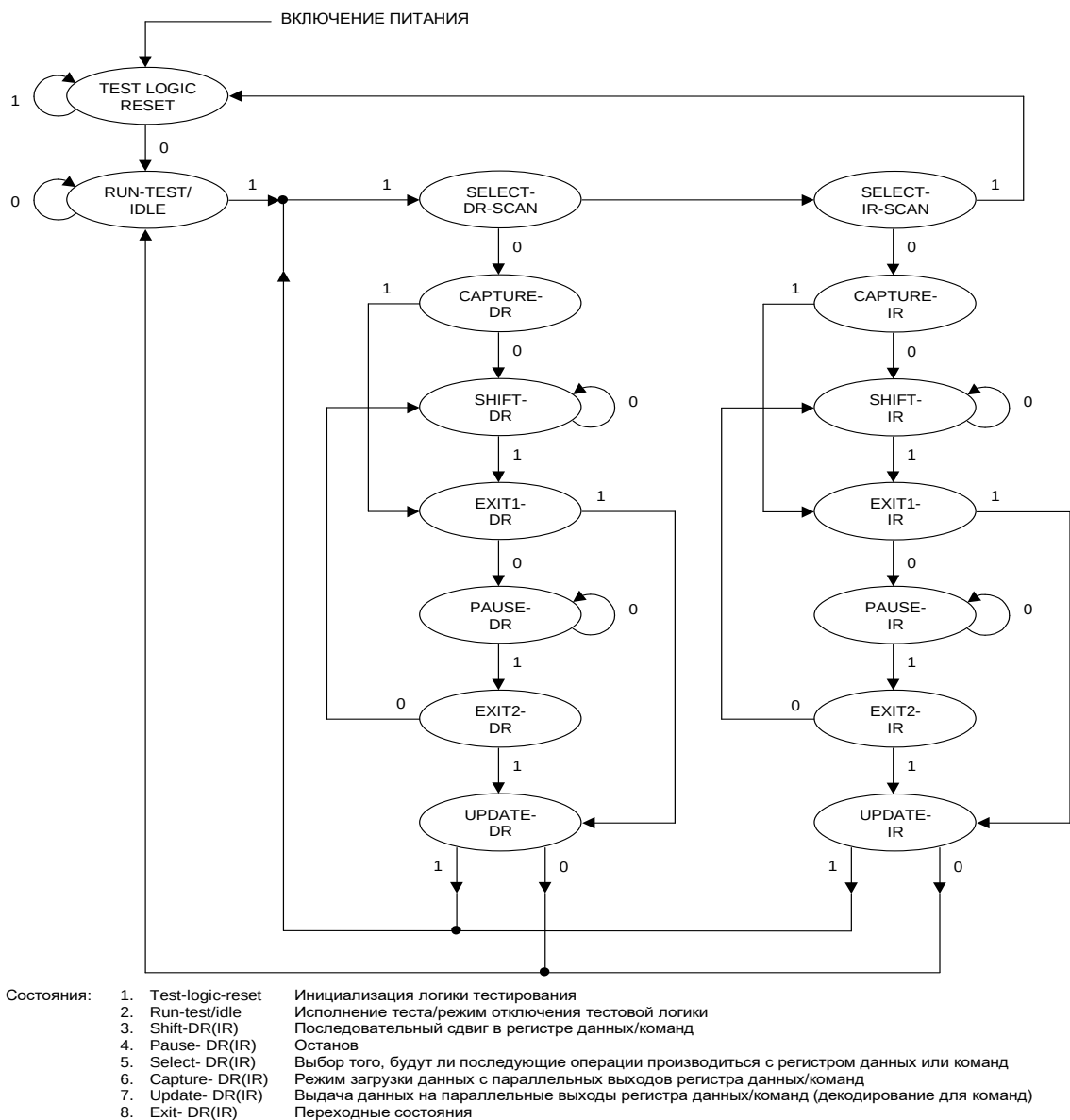


Рисунок 12-2 - Диаграмма состояний контроллера тестового порта JTAG

					ЮФКВ.431282.006РЭ		Лист
							162
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата
	18061-4			21.05.12	18061-3		

Таблица 12-2 - Команды тестового порта

Мнемоника	Код	Функциональное описание
EXTEST	00000	Проверка связей между микросхемами на плате (см. стандарт).
SAMPLE / PRELOAD	00001	Сканирование состояния внешних выводов (см. стандарт).
IDCODE ¹⁾	00010	Выдача 32- разрядного кода идентификации устройства (см. стандарт).
HIGHZ	11101	Перевод выводов микросхемы в высокоимпедансное состояние (см. стандарт).
BYPASS ²⁾	11111	Создание однобитового сдвигового регистра, входом которого является вывод TDI, а выходом TDO (см. стандарт).

Примечания: 1) Команда IDCODE всегда считывается в состоянии Capture_IR контроллера тестового порта.
Команда BYPASS (11111) загружается в регистр команд в состоянии Reset контроллера тестового порта.

12.3 Регистр идентификации устройства JDIR

JDIR – это 32-разрядный регистр, который содержит уникальный код, присвоенный процессору K1879BM5Я согласно стандарту IEEE Std 1149.1- 1990. Его содержимое может быть считано по команде IDCODE последовательным кодом через вывод TDO. Формат регистра идентификации устройства представлен на Рисунок 12-3, а функциональное назначение его полей приведено в Таблица 12-3.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VERSION								PART NUMBER														MANUFACTURER IDENTITY								LSB	

Рисунок 12-3 - Формат регистра идентификации устройства JDIR

Таблица 12-3 - Функциональное назначение полей регистра идентификации устройства JDIR

Поле	Функция	Значение
VERSION	Номер версии	0000
PART NUMBER	Код изделия	0100 0000 1011 0111
MANUFACTURER IDENTITY	Код изготовителя микросхемы – фирмы Fujitsu	0000 0000 100
LSB	Младший бит регистра (согласно стандарту его значение всегда равно единице)	1

12.4 Регистр сканирования внешних выводов JBSR

JBSR – это 310-разрядный сдвиговый регистр, благодаря которому возможно сканирование внешних выводов при выполнении команды SAMPLE / PRELOAD, а

					ЮФКВ.431282.006РЭ				Лист
									163
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

также перевод их в заданное состояние при выполнении команды EXTEST. Описание каждого разряда регистра сканирования внешних выводов и выполняемой им функции приведено в Таблица 12-4.

Таблица 12-4 - Разряды регистра сканирования внешних выводов JBSR

Позиция при сканировании	Обозначение	Тип	Примечание
1	LD63	I/O	Данный разряд при сканировании выдаётся с TDO первым
2	LD62	I/O	
3	LD61	I/O	
4	LD60	I/O	
5	LD59	I/O	
6	LD58	I/O	
7	LD57	I/O	
8	$\overline{\text{EN}}_0$	OE	Управление выдачей LD56,...,LD63
9	LD56	I/O	
10	LD55	I/O	
11	LD54	I/O	
12	LD53	I/O	
13	LD52	I/O	
14	LD51	I/O	
15	LD50	I/O	
16	LD49	I/O	
17	$\overline{\text{EN}}_1$	OE	Управление выдачей LD48,...,LD55
18	LD48	I/O	
19	LD47	I/O	
20	LD46	I/O	
21	LD45	I/O	
22	LD44	I/O	
23	LD43	I/O	
24	LD42	I/O	
25	LD41	I/O	
26	$\overline{\text{EN}}_2$	OE	Управление выдачей LD40,...,LD47
27	LD40	I/O	
28	LD39	I/O	
29	LD38	I/O	
30	LD37	I/O	
31	LD36	I/O	
32	LD35	I/O	
33	LD34	I/O	
34	LD33	I/O	
35	$\overline{\text{EN}}_3$	OE	Управление выдачей LD32,...,LD39

					ЮФКВ.431282.006РЭ			Лист
								164
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

Продолжение таблицы 12- 4

Позиция при сканировании	Обозначение	Тип	Примечание
36	LD32	I/O	
37	GD32	I/O	
38	GD33	I/O	
39	GD34	I/O	
40	GD35	I/O	
41	GD36	I/O	
42	GD37	I/O	
43	GD38	I/O	
44	EN_4	OE	Управление выдачей GD32,...,GD39
45	GD39	I/O	
46	GD40	I/O	
47	GD41	I/O	
48	GD42	I/O	
49	GD43	I/O	
50	GD44	I/O	
51	GD45	I/O	
52	GD46	OE	
53	EN_5	OE	Управление выдачей GD40,...,GD47
54	GD47	OE	
55	GD48	I/O	
56	GD49	I/O	
57	GD50	I/O	
58	GD51	I/O	
59	GD52	I/O	
60	GD53	I/O	
61	GD54	I/O	
62	EN_6	OE	Управление выдачей GD48,...,GD55
63	GD55	I/O	
64	GD56	I/O	
65	GD57	I/O	
66	GD58	I/O	
67	GD59	I/O	
68	GD60	I/O	
69	GD61	I/O	
70	GD62	I/O	
71	EN_7	OE	Управление выдачей GD56,...,GD63
72	GD63	I/O	

					ЮФКВ.431282.006РЭ				Лист
									165
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата		
18061-4		 21.05.12			18061-3				

Продолжение таблицы 12- 4

Позиция при сканировании	Обозначение	Тип	Примечание
73	$\overline{C1HOLDO}$	O	
74	$\overline{C1IS}$	I	
75	$\overline{C1HOLDI}$	I	
76	$\overline{EN_8}$	OE	Управление выдачей $\overline{C1RDY}$
77	$\overline{C1RDY}$	I/O	
78	$\overline{EN_9}$		Управление выдачей $\overline{C1STRB}$
79	$\overline{C1STRB}$	I/O	
80	$\overline{C1D0}$	I/O	
81	$\overline{C1D1}$	I/O	
82	$\overline{C1D2}$	I/O	
83	$\overline{C1D3}$	I/O	
84	$\overline{C1D4}$	I/O	
85	$\overline{C1D5}$	I/O	
86	$\overline{C1D6}$	I/O	
87	$\overline{EN_10}$	OE	Управление выдачей $\overline{C1D0}, \dots, \overline{C1D7}$
88	$\overline{C1D7}$	I/O	
89	$\overline{GCSO3}$	O(Z)	
90	$\overline{GCSO2}$	O(Z)	
91	$\overline{GCSO1}$	O(Z)	
92	$\overline{GCSO0}$	O(Z)	
93	$\overline{GRAS}$	O(Z)	
94	$\overline{EN_11}$	OE	Управление выдачей $\overline{GCSO0}$, $\overline{GCSO2}$, $\overline{GCSO3}$, $\overline{GRAS}$, $\overline{GCAS}$
95	$\overline{GCAS}$	O(Z)	
96	$\overline{GDQMH}$	O(Z)	
97	$\overline{GDQML}$	O(Z)	
98	$\overline{GOE}$	O(Z)	
99	$\overline{GWE}$	I/O	
100	$\overline{GWE_AH}$	O(Z)	
101	$\overline{EN_12}$	OE	Управление выдачей $\overline{GDQMH}$, $\overline{GDQML}$, $\overline{GOE}$, $\overline{GWE}$, $\overline{GWE_AH}$, $\overline{GWE_AL}$
102	$\overline{GWE_AL}$	O(Z)	

					ЮФКВ.431282.006РЭ				Лист
									166
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Продолжение таблицы 12- 4

Позиция при сканировании	Обозначение	Тип	Примечание
103	EN_13	OE	Управление выдачей $\overline{\text{GRDY}}$
104	$\overline{\text{GRDY}}$	I/O	
105	EN_14	OE	Управление выдачей $\overline{\text{GSTRB}}$
106	$\overline{\text{GSTRB}}$	I/O	
107	EN_15	OE	Управление выдачей $\overline{\text{GHOLDA}}$
108	$\overline{\text{GHOLDA}}$	I/O	
109	$\overline{\text{GHOLDO}}$	O	
110	$\overline{\text{GHOLDI}}$	I	
111	BOOTM0	I	
112	BOOTM1	I	
113	GSCLK	I	
114	GBIS	I	
115	$\overline{\text{GCSI}}$	I	
116	EN_16	OE	Управление выдачей GA20
117	GA20	O(Z)	
118	EN_17	OE	Управление выдачей GA19
119	GA19	O(Z)	
120	EN_18	OE	Управление выдачей GA18
121	GA18	O(Z)	
122	EN_19	OE	Управление выдачей GA17
123	GA17	O(Z)	
124	EN_20	OE	Управление выдачей GA16
125	GA16	O(Z)	
126	GA15	I/O	
127	GA14	I/O	
128	GA13	I/O	
129	GA12	I/O	
130	GA11	I/O	
131	GA10	I/O	
132	EN_21	OE	Управление выдачей GA15,...,GA9
133	GA9	I/O	
134	GA8	I/O	
135	GA7	I/O	
136	GA6	I/O	

					ЮФКВ.431282.006РЭ				Лист
									167
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Продолжение таблицы 12- 4

Позиция при сканировании	Обозначение	Тип	Примечание
137	GA5	I/O	
138	GA4	I/O	
139	GA3	I/O	
140	GA2	I/O	
141	EN_22	OE	Управление выдачей GA8, ..., GA1
142	GA1	I/O	
143	C0D0	I/O	
144	C0D1	I/O	
145	C0D2	I/O	
146	C0D3	I/O	
147	C0D4	I/O	
148	C0D5	I/O	
149	C0D6	I/O	
150	EN_23	OE	Управление выдачей C0D0, C0D1, C0D2, C0D3, C0D4, C0D5, C0D6, C0D7
151	C0D7	I/O	
152	EN_24	OE	Управление выдачей C0STRB
153	C0STRB	I/O	
154	EN_25	OE	Управление выдачей C0RDY
155	C0RDY	I/O	
156	C0HOLDI	I	
157	C0IS	I	
158	C0HOLDO	O	
159	GD0	I/O	
160	GD1	I/O	
161	GD2	I/O	
162	GD3	I/O	
163	GD4	I/O	
164	GD5	I/O	
165	GD6	I/O	
166	EN_26	OE	Управление выдачей GD0,...,GD7
167	GD7	I/O	

					ЮФКВ.431282.006РЭ				Лист
									168
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Продолжение таблицы 12- 4

Позиция при сканировании	Обозначение	Тип	Примечание
168	GD8	I/O	
169	GD9	I/O	
170	GD10	I/O	
171	GD11	I/O	
172	GD12	I/O	
173	GD13	I/O	
174	GD14	I/O	
175	EN_27	OE	Управление выдачей GD8,...,GD15
176	GD15	I/O	
177	GD16	I/O	
178	GD17	I/O	
179	GD18	I/O	
180	GD19	I/O	
181	GD20	I/O	
182	GD21	I/O	
183	GD22	I/O	
184	EN_28	OE	Управление выдачей GD16,...,GD23
185	GD23	I/O	
186	GD24	I/O	
187	GD25	I/O	
188	GD26	I/O	
189	GD27	I/O	
190	GD28	I/O	
191	GD29	I/O	
192	GD30	I/O	
193	EN_29	OE	Управление выдачей GD24,...,GD31
194	GD31	I/O	
195	LD31	I/O	
196	LD30	I/O	
197	LD29	I/O	
198	LD28	I/O	
199	LD27	I/O	
200	LD26	I/O	
201	LD25	I/O	
202	EN_30	OE	Управление выдачей LD31,...,LD24
203	LD24	I/O	
204	LD23	I/O	
205	LD22	I/O	
206	LD21	I/O	
207	LD20	I/O	
208	LD19	I/O	

					ЮФКВ.431282.006РЭ				Лист
									169
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Продолжение таблицы 12- 4

Позиция при сканировании	Обозначение	Тип	Примечание
209	LD18	I/O	
210	LD17	I/O	
211	EN_31	OE	Управление выдачей LD23,...,LD16
212	LD16	I/O	
213	LD15	I/O	
214	LD14	I/O	
215	LD13	I/O	
216	LD12	I/O	
217	LD11	I/O	
218	LD10	I/O	
219	LD9	I/O	
220	EN_32	OE	Управление выдачей LD15,...,LD8
221	LD8	I/O	
222	LD7	I/O	
223	LD6	I/O	
224	LD5	I/O	
225	LD4	I/O	
226	LD3	I/O	
227	LD2	I/O	
228	LD1	I/O	
229	EN_33	OE	Управление выдачей LD7,..., LD0
230	LD0	I/O	
231	EN_34	OE	Управление выдачей TIMER0
232	TIMER0	I/O	
233	EN_35	OE	Управление выдачей TIMER1
234	TIMER1	I/O	
235	EN_36	OE	Управление выдачей GPIO0
236	GPIO0	I/O	
237	EN_37	OE	Управление выдачей GPIO1
238	GPIO1	I/O	
239	EN_38	OE	Управление выдачей GPIO1
240	GPIO2	I/O	
241	EN_39	OE	Управление выдачей GPIO3
242	GPIO3	I/O	

					ЮФКВ.431282.006РЭ				Лист
									170
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Продолжение таблицы 12- 4

Позиция при сканировании	Обозначение	Тип	Примечание
243	EN_40	OE	Управление выдачей GPIO4
244	GPIO4	I/O	
245	EN_41	OE	Управление выдачей GPIO5
246	GPIO5	I/O	
247	EN_42		Управление выдачей GPIO6
248	GPIO6	I/O	
249	EN_43	OE	Управление выдачей GPIO7
250	GPIO7	I/O	
251	LA1	I/O	
252	LA2	I/O	
253	LA3	I/O	
254	LA4	I/O	
255	LA5	I/O	
256	LA6	I/O	
257	LA7	I/O	
258	EN_44	OE	Управление выдачей LA1,...,LA8
259	LA8	I/O	
260	LA9	I/O	
261	LA10	I/O	
262	LA11	I/O	
263	LA12	I/O	
264	LA13	I/O	
265	LA14	I/O	
266	EN_45	OE	Управление выдачей LA9,...,LA15
267	LA15	I/O	
268	EN_46	OE	Управление выдачей LA16
269	LA16	O(Z)	
270	EN_47	OE	Управление выдачей LA17
271	LA17	O(Z)	
272	EN_48	OE	Управление выдачей LA18
273	LA18	O(Z)	
274	EN_49	OE	Управление выдачей LA19
275	LA19	O(Z)	
276	EN_50	OE	Управление выдачей LA20
277	LA20	O(Z)	
278	LCSI	I	
279	LBIS	I	

					ЮФКВ.431282.006РЭ				Лист
									171
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Продолжение таблицы 12- 4

Позиция при сканировании	Обозначение	Тип	Примечание
280	LSCLK	I	
281	LHOLDI	I	
282	LHOLDO	O	
283	EN_51	OE	Управление выдачей LHOLDA
284	LHOLDA	I/O	
285	EN_52	OE	Управление выдачей LSTRB
286	LSTRB	I/O	
287	EN_53	OE	Управление выдачей LRDY
288	LRDY	I/O	
289	LWE_AL	O(Z)	
290	LWE_AH	O(Z)	
291	LWE	I/O	
292	LOE	O(Z)	
293	LDQML	O(Z)	
294	EN_54	OE	Управление выдачей LWE_AL, LWE_AH, LWE, LOE, LDQML, LDQMH
295	LDQMH	O(Z)	
296	LCAS	O(Z)	
297	LRAS	O(Z)	
298	LCSO0	O(Z)	
299	LCSO1	O(Z)	
300	LCSO2	O(Z)	
301	EN_55	OE	Управление выдачей LCAS, LRAS, LCSO0, LCSO1, LCSO2, LCSO3
302	LCSO3	O(Z)	
303	PLLBP	I	

					ЮФКВ.431282.006РЭ				Лист
									172
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Продолжение таблицы 12- 4

Позиция при сканировании	Обозначение	Тип	Примечание
304	$\overline{\text{RST}}$	I	
305	$\overline{\text{CLK}}$	I	
306	$\overline{\text{NMI}}$	I	
307	$\overline{\text{INT0}}$	I	
308	$\overline{\text{INT1}}$	I	
309	$\overline{\text{INT2}}$	I	
310	$\overline{\text{INT3}}$	I	Данный разряд при сканировании выдаётся с TDO последним

Примечания:

- 1) Каждому функциональному выводу процессора K1879BM5Я, исключая тестовый порт JTAG, соответствует своя ячейка регистра сканирования внешних выводов с тем же именем. Кроме того, добавляются ячейки, имеющие обозначение $\overline{\text{EN}}_x$, где $x = 0, \dots, 55$. Они необходимы для управления двунаправленными выводами и выходами с высокоимпедансным состоянием при выполнении команды EXTEST. Если через порт JTAG в эти ячейки загружены единицы, выдача на соответствующие внешние выводы разрешена, если нули – эти выводы переводятся в высокоимпедансное состояние.
- 2) Используемые обозначения типов ячеек регистра сканирования внешних выводов:
I – входная ячейка,
O – выходная ячейка,
O(Z) - выходная ячейка с высокоимпедансным состоянием,
I/O – входная/выходная (двунаправленная) ячейка,
- 3) OE – ячейка управления выдачей/переводом в высокоимпедансное состояние.

					ЮФКВ.431282.006РЭ				Лист
									173
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

TMC0 (Timer counter0) – 32-разрядный счетчик, осуществляющий отсчет временных интервалов. Данный счетчик состоит из рабочего и теневого регистров.

Рабочий регистр программно доступен для чтения и предназначен для хранения текущего значения счетчика. При наличии сигнала INC, определяемого режимом работы таймера, в каждом такте происходит инкремент содержимого рабочего регистра. При достижении нулевого значения формируется сигнал Interrupt request. Если таймер работает в режиме однократного запуска, то дальнейший счет прекращается. Если таймер работает в непрерывном режиме, то в рабочий регистр загружается содержимое теневого регистра и счет продолжается.

Теневой регистр программно доступен для записи и служит для хранения начального значения, определяющего временной интервал, отсчитываемый таймером. Значение теневого регистра переписывается в рабочий регистр при программном старте таймера, в случае однократного режима работы или при достижении нулевого значения в рабочем регистре, если таймер работает в непрерывном режиме.

IFB0 (Increment Form Block0) – блок формирования сигнала инкремент для счетчика. Сигнал инкремент формируется в зависимости от режимов работы таймера и состояния на входе TIMER0, если данный вход используется.

OTFB0 (Output Timer Form Block0) – блок формирования выходных сигналов таймера. На основе сигнала Interrupt request, формируемого при достижении счетчиком **TMC0** нулевого значения, таймер может сформировать и выдать на внешний вывод TIMER управляющий сигнал. Форма данного сигнала определяется соответствующими битами конфигурации таймера.

Блоки **TMC1**, **IFB1** и **OTFB1** образуют таймер 1. Их назначение и функционирование аналогично соответствующим блокам таймера 0.

ТС (Timer Control) – 8- разрядное поле в регистре PCR (Peripheral Control Register), предназначенное для задания режимов работы таймера, управления работой таймеров и конфигурирования сигнала, выдаваемого на внешние выводы блока таймеров. Регистр PCR программно доступен для записи и чтения. Кроме этого имеется возможность побитной установки и сброса полей регистра.

13.2 Внешние выводы блока таймеров

С блоком таймеров связаны следующие внешние выводы микросхемы: TIMER0 и TIMER1. При этом вывод TIMER0 жестко связан с таймером 0, а вывод TIMER1 с таймером 1. Каждый из выводов двунаправлен и может использоваться как вход и как выход, в зависимости от режима работы соответствующего таймера.

					ЮФКВ.431282.006РЭ			Лист
								175
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

13.3 Поле конфигурации блока таймеров

Поле ТС регистра PCR определяет режим работы блока таймеров. Формат поля ТС представлен на Рисунок 13-2, а функциональное назначение отдельных бит поля ТС приведено в Таблица 13-1.

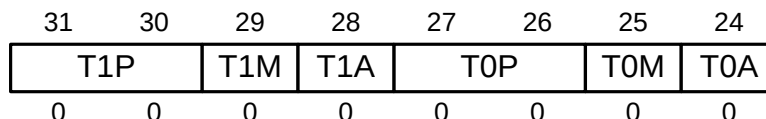


Рисунок 13-2 - Формат поля управления блока таймеров ТС регистра PCR

Таблица 13-1 - Функциональное назначение управляющих бит поля ТС регистра PCR

	Функция	Описание	
T1P	Управление внешним выводом TIMER1	00 –	Вывод TIMER1 работает как вход счетного сигнала таймера
		01 –	Вывод TIMER1 работает как выход. Вывод меняет свое состояние при каждом обнулении таймера 1
		10 –	Вывод TIMER1 работает как выход. На вывод выдается импульс положительной полярности длительностью два процессорных такта
		11 –	Вывод TIMER1 работает как выход. На вывод выдается импульс отрицательной полярности длительностью два процессорных такта
T1M	Режим работы таймера 1	0 –	Однократный режим работы таймера 1
		1 –	Непрерывный режим работы таймера 1
T1A	Разрешение работы таймера 1	0 –	Таймер 1 остановлен
		1 –	Таймер 1 осуществляет счет

Продолжение таблицы 13-2

	Функция	Описание	
T0P	Управление внешним выводом TIMER0	00 –	Вывод TIMER0 работает как вход счетного сигнала таймера
		01 –	Вывод TIMER0 работает как выход. Вывод меняет свое состояние при каждом обнулении таймера 1
		10 –	Вывод TIMER0 работает как выход. На вывод выдается импульс положительной полярности длительностью два процессорных такта
		11 –	Вывод TIMER0 работает как выход. На вывод выдается импульс отрицательной полярности длительностью два процессорных такта
T0M	Режим работы таймера 0	0 –	Однократный режим работы таймера 0
		1 –	Непрерывный режим работы таймера 0
T0A	Разрешение работы таймера 0	0 –	Таймер 0 остановлен
		1 –	Таймер 0 осуществляет счет

Поля T1P и T0P определяют использование внешних выводов TIMER1 и TIMER0 соответственно.

Поля T1M и T0M задают режим работы (однократный или непрерывный) таймеров 0 и 1 соответственно.

Поля T1A и T0A управляют состоянием таймеров 1 и 0 соответственно.

					ЮФКВ.431282.006РЭ				Лист
									177
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

13.4 Основные режимы работы таймеров

Таймер может работать в двух основных режимах:

- режиме отсчета временных интервалов
- режиме счета внешних событий.

На Рисунок 13-3 представлены временные диаграммы работы таймера в режиме отсчета временных интервалов.

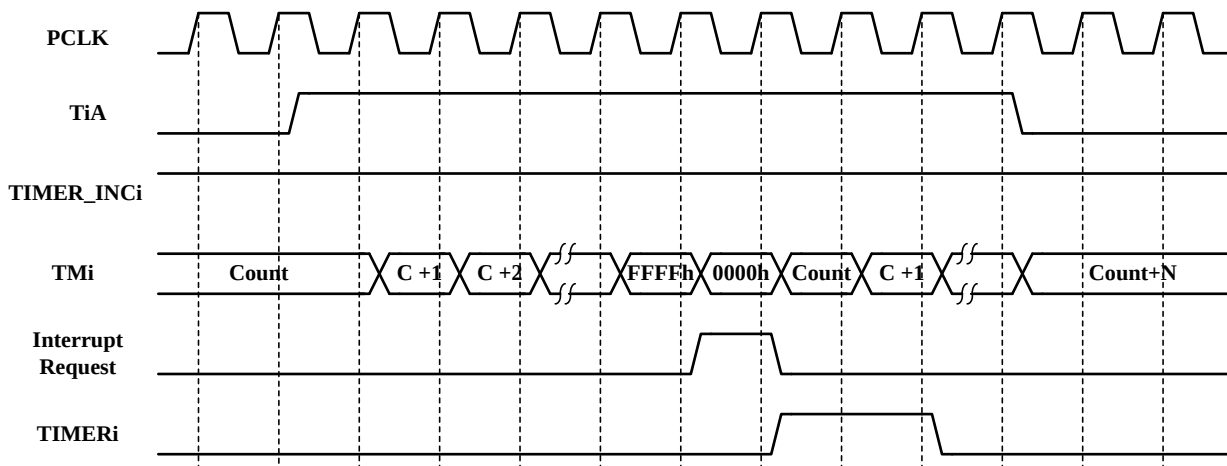


Рисунок 13-3 - Временные диаграммы работы таймера в режиме отсчета временных интервалов

После разрешения работы таймера, по следующему положительному фронту тактового сигнала процессора PCLK, начальное значение, соответствующее отсчитываемому временному интервалу, переписывается из теневого регистра таймера в рабочий. После этого рабочий регистр таймера инкрементируется в каждом процессорном такте. При обнулении рабочего счетчика формируется сигнал Interrupt Request, который обрабатывается блоком прерываний стандартным образом. Одновременно с этим, если задан непрерывный режим работы таймера, из теневого регистра в рабочий переписывается значение, определяющее отсчитываемый временной интервал. Если задан однократный режим работы таймера, то счет прекращается, и соответствующий бит TiA в поле TC регистра PCR сбрасывается.

В следующем процессорном такте после достижения нулевого значения таймера изменяется сигнал на выводе TIMERi процессора.

Длительность временного интервала, отсчитываемого таймером, задается в дополнительном коде. Таким образом, длительность отсчитываемого временного интервала может изменяться от одного (код FFFFh) до 2^{32} (код 0000h) процессорных такта.

					ЮФКВ.431282.006РЭ				Лист
									178
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.		Подп. и дата		
18061-4		 21.05.12		18061-3					

На Рисунок 13-4 представлены временные диаграммы работы таймера в режиме счета внешних событий.

При разрешении работы таймера значение теневого регистра таймера переписывается в рабочий так же как и при работе в режиме отсчета временных интервалов.

Положительный фронт сигнала на входе $TIMER_i$ фиксируется процессором. Через один процессорный такт инкрементируется рабочий регистр таймера. В остальном работа таймера в данном режиме аналогична работе таймера в режиме отсчета временных интервалов.

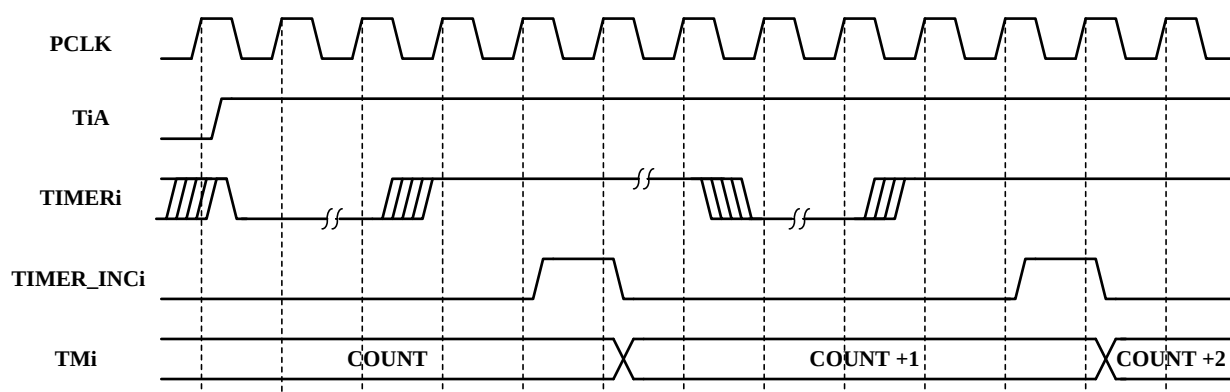


Рисунок 13-4 - Временные диаграммы работы таймера в режиме счета внешних событий

					ЮФКВ.431282.006РЭ				Лист
									179
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

					ЮФКВ.431282.006РЭ	Лист
						181
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
18061-4		 21.05.12		18061-3		

В этом случае флаги активности канала LDMAA (GDMAA) в регистре INTR сбрасываются так же, как и при аппаратном останове, однако формирования запросов на прерывание по окончанию процедуры передачи данных не происходит.

					ЮФКВ.431282.006РЭ	Лист	
						184	
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата
18061-4		 21.05.12			18061-3		

15 Контроллер внешних прерываний

В качестве запросов на прерывание внешнее устройство должно сформировать на внешних выводах процессора INT3, ..., INT0 (маскируемые прерывания) и NMI (немаскируемое прерывание) импульс отрицательной полярности. Длительность импульса должна превышать один период тактового сигнала процессора (PCLK). Активный фронт импульса – отрицательный. Запросы от периферийных устройств процессора формируются аппаратно.

Запросы от внешних маскируемых прерываний и периферийных устройств процессора фиксируются в регистре IRR. Формат регистра IRR представлен на Рисунок 15-1.

12	11	10	9	8	7	6	5	4	3	2	1	0
EEI	T0	INT3	INT2	INT1	INT0	T1	LDMA	GDMA	CP1R	CP0R	CP1T	CP0T
0	0	0	0	0	0	0	0	0	0	0	0	0

Рисунок 15-1 - Формат регистра IRR

Каждому запросу поставлен в соответствие фиксированный адрес-вектор прерывания. Приоритет между прерываниями задается аппаратно. Список прерываний с соответствующими адрес-векторами в порядке убывания приоритета представлен в Таблица 15-1.

Таблица 15-1 - Внешние прерывания и прерывания от периферийных устройств процессора K1879BM5Я

Обозначение	Источник запроса на прерывание	Адрес- вектор прерывания
EEI	Попытка записи в регистры каналов ПДП или коммуникационных портов, занятых передачей данных	20hex
T0	Обнуление счетчика таймера 0	28hex
INT3	Внешнее прерывание 3	30hex
INT2	Внешнее прерывание 2	38hex
INT1	Внешнее прерывание 1	40hex
INT0	Внешнее прерывание 0	48hex
T1	Обнуление счетчика таймера 1	50hex
LDMA	Окончание обмена по каналу ПДП локальной шины	58hex
GDMA	Окончание обмена по каналу ПДП глобальной шины	60hex
CP1R	Окончание ввода по коммуникационному порту 1	68hex
CP0R	Окончание ввода по коммуникационному порту 0	70hex
CP1T	Окончание вывода по коммуникационному порту 1	78hex
CP0T	Окончание вывода по коммуникационному порту 0	80hex

Маскирование запросов на прерывание, зафиксированных в регистре IRR, осуществляется установкой и сбросом соответствующих разрядов регистра масок

					ЮФКВ.431282.006РЭ					Лист
										185
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата		

прерываний IMR. Формат регистра IMR представлен на Рисунок 15-2. Функциональное описание полей регистра представлено в Таблица 15-2.

12	11	10	9	8	7	6	5	4	3	2	1	0
EEIM	T0M	INT3M	INT2M	INT1M	INT0M	T1M	LDMAM	GDMAM	CP1RM	CP0RM	CP1TM	CP0TM
0	0	0	0	0	0	0	0	0	0	0	0	0

Рисунок 15-2 - Формат регистра IMR

Таблица 15-2 - Функциональное описание полей регистра IMR

Поле	Функция	Описание	
CP0TM	Маска прерывания по окончании передачи коммуникационного порта 0	0 –	Прерывание маскировано
		1 –	Прерывание разрешено
CP1TM	Маска прерывания по окончании передачи коммуникационного порта 1	0 –	Прерывание маскировано
		1 –	Прерывание разрешено
CP0RM	Маска прерывания по окончании приема коммуникационного порта 0	0 –	Прерывание маскировано
		1 –	Прерывание разрешено
CP1RM	Маска прерывания по окончании приема коммуникационного порта 1	0 –	Прерывание маскировано
		1 –	Прерывание разрешено
GDMAM	Маска прерывания по окончании передачи контроллера ПДП на глобальной шине	0 –	Прерывание маскировано
		1 –	Прерывание разрешено
LDMAM	Маска прерывания по окончании передачи контроллера ПДП на локальной шине	0 –	Прерывание маскировано
		1 –	Прерывание разрешено
T1M	Маска прерывания по обнулению таймера 1	0 –	Прерывание маскировано
		1 –	Прерывание разрешено
INT0M	Маска внешнего прерывания 0	0 –	Прерывание маскировано
		1 –	Прерывание разрешено
INT1M	Маска внешнего прерывания 1	0 –	Прерывание маскировано
		1 –	Прерывание разрешено
INT2M	Маска внешнего прерывания 2	0 –	Прерывание маскировано
		1 –	Прерывание разрешено
INT3M	Маска внешнего прерывания 3	0 –	Прерывание маскировано
		1 –	Прерывание разрешено
T0M	Маска прерывания по обнулению таймера 0	0 –	Прерывание маскировано
		1 –	Прерывание разрешено
EEIM	Маска прерывания по неправильной записи в периферийные регистры	0 –	Прерывание маскировано
		1 –	Прерывание разрешено

В каждом процессорном такте среди запросов, зафиксированных в регистре IRR и не маскированных соответствующими разрядами регистра IMR, выбирается наиболее приоритетный и подается на вход внешнего прерывания ядра процессора. Одновременно формируется его адрес-вектор. В случае, если этот запрос фиксируется ядром, соответствующий разряд регистра IRR сбрасывается.

					ЮФКВ.431282.006РЭ				Лист
									186
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

16 Конвейерная организация выполнения команд

16.1 Общие сведения

Выполнение каждой команды в процессоре разделено на несколько стадий, каждая из которых реализуется соответствующей ступенью (фазой) конвейера выполнения команд. Для скалярных команд конвейер насчитывает от 3 до 10 ступеней, для векторных добавляются ещё 5 ступеней. Переменное число ступеней конвейера связано с тем, что на второй ступени конвейера используется очередь глубиной до 8-ми команд, которая работает как один, два и т.д. до 8-ми конвейерных регистров в зависимости от времени доступа в тактах во внешнюю или внутреннюю память. Таким образом, процессор может работать с коротким конвейером при использовании внутренней памяти, но при обращении хотя бы за одним данным во внешнюю память глубина конвейера автоматически увеличивается, что позволяет сохранить прежний темп обмена данными независимо от типа памяти.

Конвейерное выполнение основных типов команд (скалярных и векторных) подробно рассматривается далее в разделе 16.2.

Выполняемые процессором команды в той или иной степени используют следующие вычислительные ресурсы:

- регистры;
- блоки внутренней памяти;
- функциональные устройства.

Для правильного выполнения программы в конвейере необходимо отслеживание конфликтов по использованию этих ресурсов в командах. Если выбранная для выполнения в процессоре команда вступает в конфликт по использованию ресурсов с уже находящимися в конвейере командами, то её запуск в конвейер на выполнение следует задержать до разрешения этого конфликта. В процессоре K1879BM5Я такое отслеживание конфликтов реализуется аппаратно.

В эффективных по времени программах на языке ассемблера следует учитывать возможные задержки выполнения команд из-за конфликтов и, по возможности, не использовать в программе конфликтные сочетания команд.

В компиляторах языков высокого уровня для процессора особенности конвейерного выполнения команд должны учитываться в специальных блоках машинно-зависимой оптимизации, автоматически планирующих оптимальное использование ресурсов и оптимальную очередность выполнения команд.

Конфликты, возникающие при конвейерном выполнении команд в процессоре, рассматриваются далее в разделе 16.3. В этом пункте выделены две группы конфликтов: конфликты при выборке команд из памяти в регистр команд IR1 (16.3.1) и конфликты, связанные с использованием вычислительных ресурсов (6.3.2).

					ЮФКВ.431282.006РЭ				Лист
									187
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	

Подраздел 16.3.1 содержит описание организации работы со счетчиком адреса команд (PC) и дисциплины выборки команд из внешней памяти в регистр команд IR1. Показывается, как используемый в процессоре способ выборки команд проявляется при выполнении линейных участков программы, а также при выполнении передач управления.

Подраздел 16.3.2 - основной в описании конфликтных ситуаций. Он содержит описания аппаратно реализованных алгоритмов отслеживания использования вычислительных ресурсов. Эти алгоритмы выполняют три основные функции:

- проверка условий запуска команды на выполнение в конвейере, которая состоит в определении отсутствия конфликтов по используемым в команде ресурсам;
- захват необходимых для выполнения команды вычислительных ресурсов;
- освобождение захваченных для выполнившейся команды вычислительных ресурсов.

В подразделе 16.3.2 подробно рассматриваются алгоритмы проверки условий запуска команд, а также захвата и освобождения ресурсов.

16.2 Конвейерное выполнение основных типов команд

Процессор условно имеет восьмиуровневый конвейер, причём все восемь ступеней занимаются только векторными командами, скалярные используют лишь первые три. Первые две ступени используются совместно как скалярными, так и векторными командами. Поскольку на второй ступени конвейера используется очередь команд, где может находиться от 1 до 8 команд, конвейер может настраиваться на работу с переменным числом уровней от 8 до 15.

Все команды поступают в конвейер на выполнение по одной строго последовательно. Гарантируется, что скалярные команды заканчиваются в том же порядке, в каком были выбраны из памяти. Однако, поскольку векторные команды занимают конвейер на несколько тактов (от 1 до 32 в зависимости от кода команды), заканчиваться они могут уже в другом порядке.

Структурная схема конвейера процессора представлена на Рисунок 16-1. Ниже даётся более подробное описание работы K1879BM5Я на всех ступенях конвейера.

					ЮФКВ.431282.006РЭ				Лист
									188
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

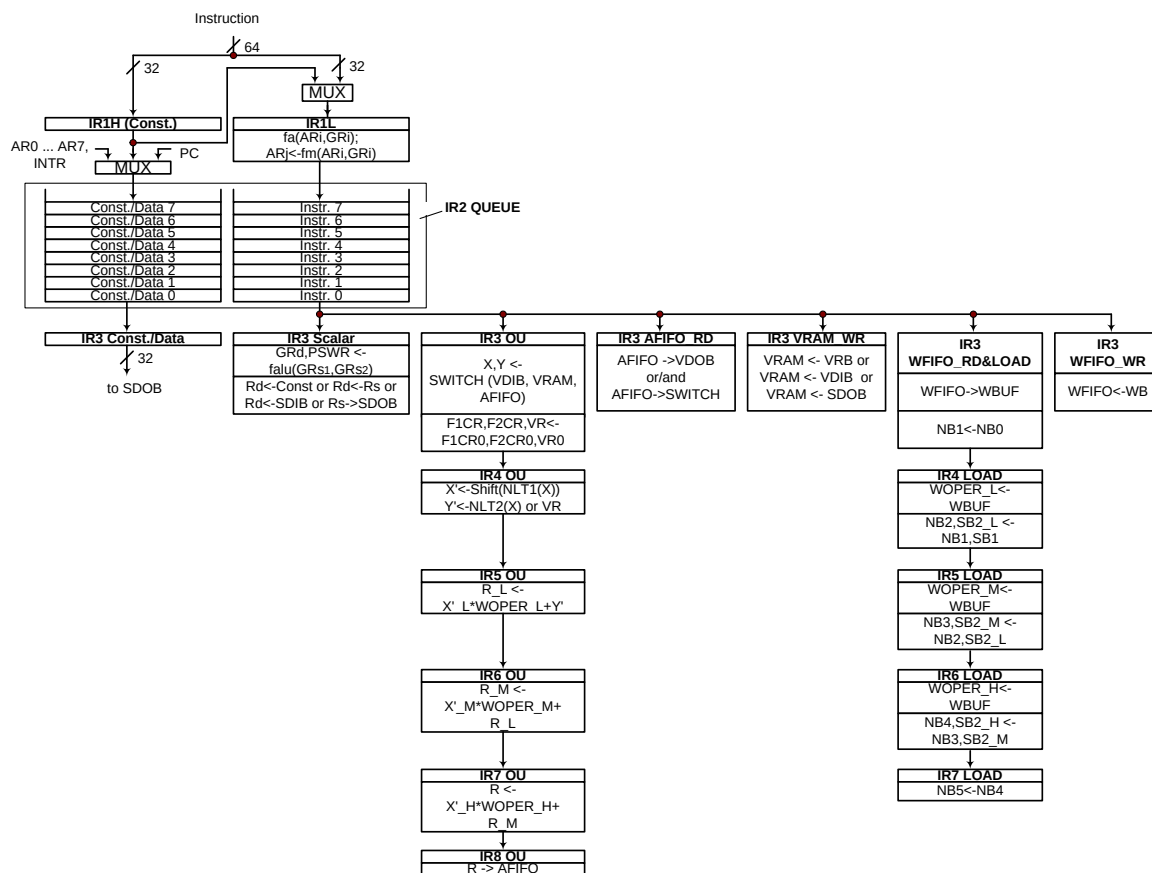


Рисунок 16-1 - Конвейер процессора K1879BM5A

16.2.1 Первая ступень конвейера (IR1)

После выборки из памяти 64-разрядная команда или две 32-разрядные команды попадают в регистр команд IR1 (IR1H, IR1L), управляющий выполнением команды на первой ступени конвейера. В случае 32-разрядных команд первой выполняется команда, попавшая в IR1L (та, что располагалась по чётному адресу для 32-разрядного слова). Затем команда из IR1H (та, что располагалась по нечётному адресу для 32-разрядного слова) переписывается в IR1L и выполняется в следующем такте. Для 64-разрядной команды IR1H содержит 32-разрядную константу, IR1L – саму команду. В этом случае команда выполняется сразу в течение одного такта.

Очередная команда может попасть в регистр команд IR1, как только он полностью освободился, т.е. отработали все предыдущие команды (две 32-разрядные или одна 64-разрядная). Далее происходит проверка, является ли команда запрещённой (см. раздел 6.3). Если да, данная команда принудительно удаляется из конвейера без выполнения каких либо действий, за исключением формирования запроса на прерывание по запрещённой команде. Если нет, осуществляется проверка, доступны ли все ресурсы, требуемые командой. Пока все ресурсы не будут доступны, команда

					ЮФКВ.431282.006РЭ		Лист
							189
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата
	18061-4			21.05.12	18061-3		

остаётся на IR1. В противном случае любая команда за один процессорный такт выполняет необходимые действия, освобождает IR1 и уходит на следующую ступень конвейера, попадая в очередь команд на IR2.

На первой ступени конвейера скалярные команды выполняют следующие действия:

- Выбирается содержимое одного из регистров AR0- AR7, PC или INTR, если они используются в качестве источников для команд пересылки из регистров в регистры (формат 2.1) и записи в память (форматы 1.1- 1.2), либо константа для команд (формат 2.2) для записи в очередь на IR2.
- Выполняется побитовый сброс регистра INTR командами формата 2.2.
- Для команд записи/чтения из памяти (форматы 1.1- 1.2) формируется запрос на доступ в память данных и вычисляется исполнительный адрес в соответствии с методом адресации $fa(AR_i, GR_i)$, а также для них и команд модификации адресных регистров (форматы 3.1- 3.2) выполняется модификация соответствующего адресного регистра в соответствии с методом модификации $fm(AR_i, GR_i)$.
- Для команд управления форматов 4.1- 4.4 (переход/переход к подпрограмме, возврат/возврат из прерывания с работающей аппаратной вершиной стека) формируется признак окончания последовательной выборки команд и вычисляется адрес перехода.

Векторные команды записи/чтения из памяти (форматы 5.1- 5.2) выполняют следующие действия:

- Формируется запрос на доступ в память данных и вычисляется исполнительный адрес первого данного в соответствии с методом адресации $fa(AR_i, GR_i)$. Вместе с запросом в память выдаётся требуемое число данных (от 1- го до 32- х) и смещение, с которым их необходимо адресовать в памяти относительно первого данного.
- На специальном арифметическом устройстве, содержащем умножитель 5×32 разряда и 32-разрядный сумматор, выполняется вычисление нового значения адресного регистра в соответствии с методом модификации $fm(AR_i, GR_i)$, использующегося в качестве базы. Это значение совпадает с тем, что должно получиться после завершения выполнения векторной команды.

16.2.2 Вторая ступень конвейера (IR2)

На второй ступени конвейера (IR2) вводится единая очередь для скалярных и векторных команд, ожидающих своих данных – IR2 QUEUE. Данная очередь имеет глубину восемь, что позволяет эффективно работать с внешней синхронной памятью в конвейерном режиме - имеется возможность выставить до 8-ми запросов на чтение, прежде чем придут первые данные. Никаких действий на данной ступени не производится.

					ЮФКВ.431282.006РЭ				Лист
									190
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Команды попадают в очередь и уходят из неё строго последовательно, по одной. Попасть в очередь можно, только если очередь не полна, уйти из очереди на выполнение на уровень IR3 может только первая попавшая в очередь команда, если ей доступны все требуемые ресурсы. Если в этой команде запрещена параллельная работа (31-й бит команды равен единице), она должна дожидаться, чтобы все команды, и скалярные, и векторные, на ступени IR3 закончили свою работу.

16.2.3 Третья ступень конвейера (IR3)

На третьей ступени конвейера команды из очереди последовательно попадают на свои исполнительные конвейеры (один для скалярных операций и пять для векторных операций: в операционном узле, чтения из AFIFO, записи в VRAM, загрузки весов в WBUF и WOPER, записи в WFIFO) и ожидают своих данных. Причём векторная команда может занять один или несколько исполнительных конвейеров в зависимости от кода операции, и повторять одни и те же действия от 1 до 32 раз. На третьей ступени конвейера используются следующие регистры команд:

IR3 Scalar – регистр команд скалярных операций. Под его управлением после получения своих данных или выдачи своих данных скалярные команды выполняют АЛУ операцию, если она задана, и заканчивают своё выполнение. Если в скалярной команде задан один и тот же регистр в качестве приёмника для АЛУ операции и операции ввода-вывода, более приоритетна последняя операция.

IR3 OU – регистр команд векторных операций в операционном узле. Он управляет работой коммутатора данных, чтением из VRAM, приёмом данных из памяти по входной шине VDIB, а также перезаписью содержимого теневых регистров VR, F1CR, F2CR в рабочие. В теневые регистры пишет скалярная команда, а векторная в начале своего выполнения копирует их содержимое в рабочие регистры. Тем самым, следующая скалярная команда может поменять один из теневых регистров, не дожидаясь окончания векторной команды. Специальной векторной команде чтения векторных регистров будут доступны только рабочие регистры VR, F1CR, F2CR.

IR3 AFIFO RD – регистр команд векторных операций чтения из AFIFO. Под его управлением производится чтение из AFIFO для записи его содержимого во внешнюю память по шине SDOB, а также для использования AFIFO в качестве одного из операндов в операционном узле.

IR3 VRAM WR – регистр команд векторных операций записи в VRAM. Он управляет записью в VRAM по одной из шин: VRB (запись в VRAM из внешней памяти данных, которые не используются в операционном узле), VDIB (запись в VRAM из внешней памяти данных, которые одновременно используются в операционном узле в качестве одного из операндов) и SDOB (одновременная запись из AFIFO в память и VRAM).

IR3 WFIFO RD & LOAD – регистр команд векторных операций загрузки весов в WBUF и WOPER. Под его управлением производится чтение из WFIFO в WBUF, а также перезапись содержимого теневого регистра NB0 в NB1. В теневой регистр пишет скалярная команда, а векторная в начале своего выполнения копирует его

					ЮФКВ.431282.006РЭ				Лист
									191
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

содержимое в NB1. Тем самым, следующая скалярная команда может поменять NB0, не дожидаясь окончания векторной команды.

IR3 WFIFO WR – регистр команд векторных операций записи в WFIFO. Он управляет записью данных из памяти в WFIFO по шине WB.

16.2.4 Четвёртая ступень конвейера (IR4)

На четвёртой ступени конвейера и до седьмой ступени остаются только два исполнительных конвейера для векторных операций: операций в векторном узле и загрузки весов в WBUF и WOPER). На четвёртой ступени конвейера используются следующие регистры команд:

IR4 OU – регистр команд векторных операций в операционном узле. Он управляет работой нелинейных преобразователей NLT1 и NLT2, циклическим сдвигом вправо RCS, а также выбором регистра VR в качестве операнда Y.

IR4 LOAD – регистр команд векторных операций загрузки весов в WOPER. Под его управлением производится чтение из WBUF в младшую третью часть матрицы весов WOPER (WOPER_L), а также перезапись содержимого регистров NB1 и SB1 в соответственно NB2 и SB2_L.

16.2.5 Пятая ступень конвейера (IR5)

На пятой ступени конвейера используются следующие регистры команд:

IR5 OU – регистр команд векторных операций в операционном узле. Он управляет работой первой ступени самого операционного узла.

IR5 LOAD – регистр команд векторных операций загрузки весов в WOPER. Под его управлением производится чтение из WBUF в среднюю третью часть матрицы весов WOPER (WOPER_M), а также перезапись содержимого регистров NB2 и SB2_L в соответственно NB3 и SB2_M.

16.2.6 Шестая ступень конвейера (IR6)

На шестой ступени конвейера используются следующие регистры команд:

IR6 OU – регистр команд векторных операций в операционном узле. Он управляет работой второй ступени операционного узла.

IR6 LOAD – регистр команд векторных операций загрузки весов в WOPER. Под его управлением производится чтение из WBUF в старшую третью часть матрицы весов WOPER (WOPER_H), а также перезапись содержимого регистров NB3 и SB2_M в соответственно NB4 и SB2_H.

16.2.7 Седьмая ступень конвейера (IR7)

На седьмой ступени конвейера используются следующие регистры команд:

					ЮФКВ.431282.006РЭ				Лист
									192
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

IR7 OU – регистр команд векторных операций в операционном узле. Он управляет работой третьей ступени операционного узла.

IR7 LOAD – регистр команд векторных операций загрузки весов в WOPER. Под его управлением производится перезапись содержимого регистра NB4 в NB5.

16.2.8 Восьмая ступень конвейера (IR8)

На восьмой ступени конвейера остаётся только один исполнительный конвейер для векторных операций - в операционном узле. На данной ступени используется регистр команд:

IR8 OU – регистр команд векторных операций в операционном узле. Он управляет работой четвёртой, последней, ступени операционного узла и записью в AFIFO.

С целью повышения тактовой частоты пришлось углубить конвейер и разбить работу операционного узла на четыре ступени. Первые три ступени использует соответственно свои подматрицы весов - WOPER_L, WOPER_M или WOPER_H - и свои конвейерные конфигурационные регистры – NB2 и SB2_L, NB3 и SB2_M, NB4 и SB2_H. Четвёртая ступень работает только с конвейерным конфигурационным регистром NB5. Все эти усложнения скрыты для программиста, для него по-прежнему являются прозрачными лишь регистры VR, F1CR, F2CR, NB1/NB2 и SB1/SB2.

16.3 Конфликты, возникающие при конвейерном выполнении команд

Данный раздел посвящён описанию конфликтов при работе конвейера, связанных с особенностями работы процессора при подкачке команд в регистр команд IR1 и запуске их на исполнение. Для программистов он представляет особый интерес, поскольку знание причин возникновения данных конфликтов помогает в большом количестве случаев оптимизировать программный код таким образом, что удаётся их избежать и тем самым заметно повысить производительность. Особенно это актуально для векторных команд, так как их правильное использование может увеличить скорость вычислений в 2- 4 раза.

16.3.1 Конфликты при выборке команд из памяти в регистр команд IR1

Регистр команд первой ступени конвейера IR1 имеет размер 2*32 разряда и может хранить либо две 32-разрядные команды, либо одну 64-разрядную. Выбор команд из памяти идёт всегда по 64 разряда (отсюда требование располагать 64-разрядные команды и осуществлять переходы только по чётному адресу). Если при этом выбрались две 32- разрядные команды, на исполнение пойдёт команда, находящаяся в младшей части, затем та, что в старшей части, и только после этого возможна выборка следующих команд на освободившееся место. Запуск в конвейер 64-разрядной команды даёт возможность сразу же произвести новую выборку команд. Запрос на чтение из памяти очередной команды формируется каждый раз, как только освобождается весь IR1. Счётчик адреса команд автоматически инкрементируется

					ЮФКВ.431282.006РЭ				Лист
									193
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

каждый раз, когда очередная 64-разрядная команда (пара 32-разрядных команд) попадает на IR1.

Для работы конвейера без пустых тактов каждой команде перехода/перехода к подпрограмме и возврату из подпрограммы/прерывания желательно иметь 3 отложенные команды. От того, как расположить команды управления в памяти, и зависит число отложенных команд. Если команда управления 64-разрядная (содержит 32-разрядный адрес перехода или смещение), отложенных команд может быть: одна 64-разрядная или две 32-разрядные. Если она 32-разрядная и находится в старшей половине 64-разрядного слова, количество отложенных команд определяется так же, как и в первом случае. Если она 32-разрядная и находится в старшей половине, возможны следующие варианты количества отложенных команд: либо одна 32-разрядная и одна 64-разрядная, либо три 32-разрядных. Таким образом, путём простой перестановки команд можно добиться оптимального количества отложенных команд. Слишком большое их число трудно эффективно использовать, малое их число может привести к простоям конвейера.

16.3.2 Конфликты, связанные с использованием вычислительных ресурсов

При дешифрации команды, выбранной из памяти, проверяется одновременно ее корректность и условия, при которых эта команда может быть запущена на выполнение в конвейер процессора K1879BM5Я. Эти действия производятся на ступени конвейера, называемой IR1.

Корректность команды на ступени IR1 контролируется как для скалярных, так и для векторных команд и состоит в проверке наиболее опасных для функционирования ситуаций, приводящих к самоблокировке процессора или его непредсказуемой работе. Такие запрещенные ситуации разделяются на две группы:

- статические запрещенные ситуации, они связаны с использованием запрещённых кодов команды, не зависят от состояния конвейера в данный момент времени;
- динамические запрещенные ситуации, их возникновение зависит от состояния конвейера в данный момент времени.

Статические запрещенные ситуации:

1) Для векторных команд -

- использование данных из внешней памяти для операций в векторном сопроцессоре, но при этом нет операции чтения из внешней памяти;
- задание одновременно сдвига операнда X и пороговой функции (функции насыщения) над этим же операндом;
- задание операции с использованием регистра VR и с не нулевым полем, отвечающим за выбор операнда Y.

2) Для скалярных команд -

					ЮФКВ.431282.006РЭ				Лист
									194
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

- пересылка содержимого одного периферийного регистра в другой периферийный регистр или РС;
- использование в командах записи/чтения из памяти периферийного регистра в качестве источника/приёмника;

Динамические запрещенные ситуации:

1) Для векторных команд -

- чтение из пустого AFIFO;
- запись в непустое AFIFO, если не задана операция чтения из него в той же команде;
- использование в качестве операндов для операций в векторном узле VRAM и AFIFO, в которых находится разное число 64-разрядных данных;
- использование в качестве операндов для операций в векторном узле VRAM и данных из внешней памяти, причём число 64-разрядных данных в VRAM не совпадает с кодом в команде, который задаёт количество обращений к внешней памяти;
- использование в качестве операндов для операций в векторном узле AFIFO и данных из внешней памяти, причём число 64-разрядных данных в AFIFO не совпадает с кодом в команде, который задаёт количество обращений к внешней памяти.

2) Для скалярных команд –

- Изменение содержимого регистра SB1 между векторными командами, содержащими операции загрузки весов из WFIFO в WBUF и перезапись весов из WBUF в WOPER.

Эта ситуация может привести к самоблокировке конвейера, ликвидировать которую можно только с помощью системного сброса, либо к непредсказуемой работе процессора. Поэтому данная векторная команда не выполняется, а вместо её провала в конвейер фиксируется запрос на прерывание по неправильной команде.

16.3.3 Условия запуска команд на выполнение

Команда может попасть в конвейер на выполнение с IR1 только в том случае, когда соблюдаются все перечисленные ниже условия:

- команда прошла проверку на корректность;
- есть место в очереди команд на уровне IR2;
- на момент запуска данной команды отсутствуют конфликты по ресурсам с выбранными ранее командами.

Если эти условия не выполняются, команда остаётся в IR1, и следующая команда не сможет попасть в конвейер в обход неё.

					ЮФКВ.431282.006РЭ				Лист
									195
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Ниже приведены условия блокировки команд на уровне IR1 из-за конфликтов по ресурсам с выбранными ранее командами.

16.3.4 Условия блокировки скалярных команд на уровне IR1 из-за конфликтов по ресурсам

Команды записи/чтения из памяти (формат 1.1 – 1.2) блокируются на IR1, если:

- Они используют при вычислении и модификации адреса в качестве источника или/и приёмника один из адресных регистров, который указан как приёмник в командах чтения из памяти (формат 1.1 – 1.2) или пересылки из регистра в регистр (формат 2.1 – 2.2), находящихся в очереди на IR2 или на уровне IR3.
- Они используют при вычислении и модификации адреса в качестве источника один из регистров общего назначения, который указан как приёмник в командах скалярных АЛУ операций, чтения из памяти (формат 1.1 – 1.2) или пересылки из регистра в регистр (формат 2.1 – 2.2), находящихся в очереди на IR2 или на уровне IR3.
- В командах записи в память используется в качестве источника один из адресных регистров, который указан как приёмник в командах чтения из памяти (формат 1.1 – 1.2) или пересылки из регистра в регистр (формат 2.1 – 2.2), находящихся в очереди на IR2 или на уровне IR3.

Команды пересылки из регистра в регистр (формат 2.1 – 2.2) блокируются на IR1, если:

- Команды формата 2.1 используют в качестве источника один из адресных регистров, который указан как приёмник в командах чтения из памяти (формат 1.1 – 1.2) или пересылки из регистра в регистр (формат 2.1 – 2.2), находящихся в очереди на IR2 или на уровне IR3.
- Команды формата 2.2 побитового сброса регистра INTR пытаются обнулить запрос на прерывание по переполнению при выполнении скалярной арифметической операции, и в очереди на IR2 или на уровне IR3 есть хоть одна команда скалярной АЛУ операции, способной поменять признаки N, Z, V, C регистра PSWR.

Команды модификации адресных регистров (формат 3.1 – 3.2) блокируются на IR1, если:

- Они используют при вычислении и модификации адреса в качестве источника или/и приёмника один из адресных регистров, который указан как приёмник в командах чтения из памяти (формат 1.1 – 1.2) или пересылки из регистра в регистр (формат 2.1 – 2.2), находящихся в очереди на IR2 или на уровне IR3.
- Они используют при вычислении и модификации адреса в качестве источника один из регистров общего назначения, который указан как

					ЮФКВ.431282.006РЭ				Лист
									196
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

приёмник в командах скалярных АЛУ операций, чтения из памяти (формат 1.1 – 1.2) или пересылки из регистра в регистр (формат 2.1 – 2.2), находящихся в очереди на IR2 или на уровне IR3.

Команды перехода/перехода к подпрограмме (формат 4.1 – 4.2) блокируются на IR1, если:

- Они используют при вычислении адреса перехода в качестве источника один из адресных регистров, который указан как приёмник в командах чтения из памяти (формат 1.1 – 1.2) или пересылки из регистра в регистр (формат 2.1 – 2.2), находящихся в очереди на IR2 или на уровне IR3.
- Они используют при вычислении адреса перехода в качестве источника один из регистров общего назначения, который указан как приёмник в командах скалярных АЛУ операций, чтения из памяти (формат 1.1 – 1.2) или пересылки из регистра в регистр (формат 2.1 – 2.2), находящихся в очереди на IR2 или на уровне IR3.
- В них задано условие выполнения команды, и в очереди на IR2 или на уровне IR3 есть хоть одна команда скалярной АЛУ операции, способной поменять признаки N, Z, V, C регистра PSWR или команда, где PSWR является приёмником в командах чтения из памяти (формат 1.1 – 1.2) или пересылки из регистра в регистр (формат 2.1- 2.2). Причём командам побитовой установки/сброса регистра PSWR (формат 2.2) для возникновения блокировки необходимо, чтобы поменялся хотя бы один из флагов N, Z, V, C.
- Выполняется переход к подпрограмме, и в очереди на IR2 или на уровне IR3 есть хоть одна команда чтения из памяти (формат 1.1 – 1.2) или пересылки из регистра в регистр (формат 2.1 – 2.2), где в качестве приёмника выступает AR7(SP).
- Выполняется переход к подпрограмме, и в очереди на IR2 или на уровне IR3 есть хоть одна команда, где PSWR является приёмником в командах чтения из памяти (формат 1.1 – 1.2) или пересылки из регистра в регистр (формат 2.1- 2.2). Причём командам побитовой установки/сброса регистра PSWR (формат 2.2) для возникновения блокировки необходимо, чтобы поменялся только 12- й бит (ST_EN). Данная блокировка позволяет корректно работать с аппаратной вершиной системного стека.

Команды возврата из подпрограммы/прерывания (формат 4.3 – 4.4) блокируются на IR1, если:

- В них задано условие выполнения команды, и в очереди на IR2 или на уровне IR3 есть хоть одна команда скалярной АЛУ операции, способной поменять признаки N, Z, V, C регистра PSWR или команда, где PSWR является приёмником в командах чтения из памяти (формат 1.1 – 1.2) или пересылки из регистра в регистр (формат 2.1- 2.2). Причём командам побитовой установки/сброса регистра PSWR (формат 2.2) для возникновения блокировки необходимо, чтобы поменялся хотя бы один из флагов N, Z, V, C.

					ЮФКВ.431282.006РЭ				Лист
									197
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

- В очереди на IR2 или на уровне IR3 есть хоть одна команда чтения из памяти (формат 1.1 – 1.2) или пересылки из регистра в регистр (формат 2.1 – 2.2), где в качестве приёмника выступает AR7(SP).
- Выполняется переход к подпрограмме, и в очереди на IR2 или на уровне IR3 есть хоть одна команда, где PSWR является приёмником в командах чтения из памяти (формат 1.1 – 1.2) или пересылки из регистра в регистр (формат 2.1- 2.2). Причём командам побитовой установки/сброса регистра PSWR (формат 2.2) для возникновения блокировки необходимо, чтобы поменялся только 12- й бит (ST_EN). Данная блокировка позволяет корректно работать с аппаратной вершиной системного стека.

16.3.5 Условия блокировки векторных команд на уровне IR1 из- за конфликтов по ресурсам

Команды записи/чтения из памяти (формат 5.1 – 5.2) блокируются на IR1, если:

- Они используют при вычислении и модификации адреса в качестве источника или/и приёмника один из адресных регистров, который указан как приёмник в командах чтения из памяти (формат 1.1 – 1.2) или пересылки из регистра в регистр (формат 2.1 – 2.2), находящихся в очереди на IR2 или на уровне IR3.
- Они используют при вычислении и модификации адреса в качестве источника один из регистров общего назначения, который указан как приёмник в командах скалярных АЛУ операций, чтения из памяти (формат 1.1 – 1.2) или пересылки из регистра в регистр (формат 2.1 – 2.2), находящихся в очереди на IR2 или на уровне IR3.

					ЮФКВ.431282.006РЭ			Лист
								198
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата	
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.	
18061-4		 21.05.12			18061-3			

17 Аппаратные приложения

17.1 Инициализация процессора K1879BM5Я после системного сброса

Для корректного перевода процессора в начальное состояние необходимо, чтобы сигнал системного сброса (RST) находился в активном состоянии не менее 50 тактов тактового сигнала процессора (CLK).

После перевода сигнала системного сброса ($\overline{\text{RST}}$) в неактивное состояние программный счетчик ядра (регистр PC) сбрасывается в состояние 0000_0000h. Аналогично адресный регистр генератора команд блока адресных генераторов сбрасывается в состояние 0000_0000h, т.е. указывает на нулевую ячейку нулевого банка внутренней локальной памяти. Выборка команд при этом заблокирована. В процессе инициализации программа помещается в локальную внутреннюю память, начиная с адреса 0000_0000h, и затем блокировка выборки команд генератором команд блока адресных генераторов снимается.

В зависимости от состояния управляющих выводов BOOTM1 и BOOTM0 процессор либо самостоятельно загружает программу начальной инициализации по нулевым адресам локальной памяти, либо эту процедуру выполняет внешний управляющий процессор (Host). Зависимость способа начальной инициализации процессора от состояния на управляющих выводах BOOTM1, BOOTM0 представлена в Таблица 17-1.

Таблица 17-1 - Способ начальной инициализации процессора K1879BM5Я в зависимости от состояния конфигурационных входов

Конфигурационный вывод		Источник программы инициализации
BOOTM1	BOOTM0	
0	0	COM0
0	1	COM1
1	0	DMA
1	1	Host

В случае начальной инициализации по коммуникационным портам процессор ожидает приема с соответствующего коммуникационного порта блока данных размером 256 64-разрядных слов. При этом соответствующий порт должен быть сконфигурирован в состояние “на прием”. Для этого на конфигурационный вывод C0IS (C1IS) необходимо подать напряжение низкого уровня. По окончании приема коммуникационный порт формирует запрос на прерывание. Этот запрос фиксируется в регистре запросов прерываний IRR и одновременно разрешает выборку команд. Запрос на прерывание в дальнейшем может быть сброшен программным образом.

Начальная инициализация в режиме ПДП осуществляется аналогично. Аппаратно запускается канал ПДП, пересылающий блок данных размером 256 64-разрядных слов с начального адреса 0000_0000h внешней локальной памяти в блок данных с

					ЮФКВ.431282.006РЭ				Лист
									199
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	

начального адреса 0000_0000h внутренней памяти процессора. По окончании приема контроллер ПДП формирует запрос на прерывание. Этот запрос фиксируется в регистре запросов прерываний IRR и одновременно разрешает выборку команд. Запрос на прерывание в дальнейшем может быть сброшен программным образом.

При начальной инициализации внешним управляющим процессором (Host) локальный интерфейс процессора K1879BM5Я необходимо перевести в режим "Slave". Для этого на внешний вывод LBIS необходимо подать напряжение низкого уровня. Внешний управляющий процессор загружает с начального адреса 0000_0000h программу начальной инициализации. Размер загружаемой программы в данном случае ограничен только размером локальной внутренней памяти процессора K1879BM5Я. После окончания загрузки программы выдается сигнал немаскируемого прерывания (отрицательный фронт на выводе NMI), который разрешает выборку команд. В случае начальной инициализации данным способом первый после системного сброса активный фронт сигнала немаскируемого прерывания NMI не фиксируется контроллером прерываний процессора K1879BM5Я. Второй и последующие активные фронты этого сигнала обрабатываются контроллером прерываний стандартным образом.

17.2 Примеры работы процессора K1879BM5Я с внешней памятью

17.2.1 Подключение внешней памяти типа SDRAM

Подключение внешней памяти типа SDRAM к второму банку внешней памяти на локальной шине процессора K1879BM5Я представлено на Рисунк 17-1 на примере микросхемы MT48LC4M32B2- 7 фирмы Micron Technology Inc.

					ЮФКВ.431282.006РЭ				Лист
									200
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

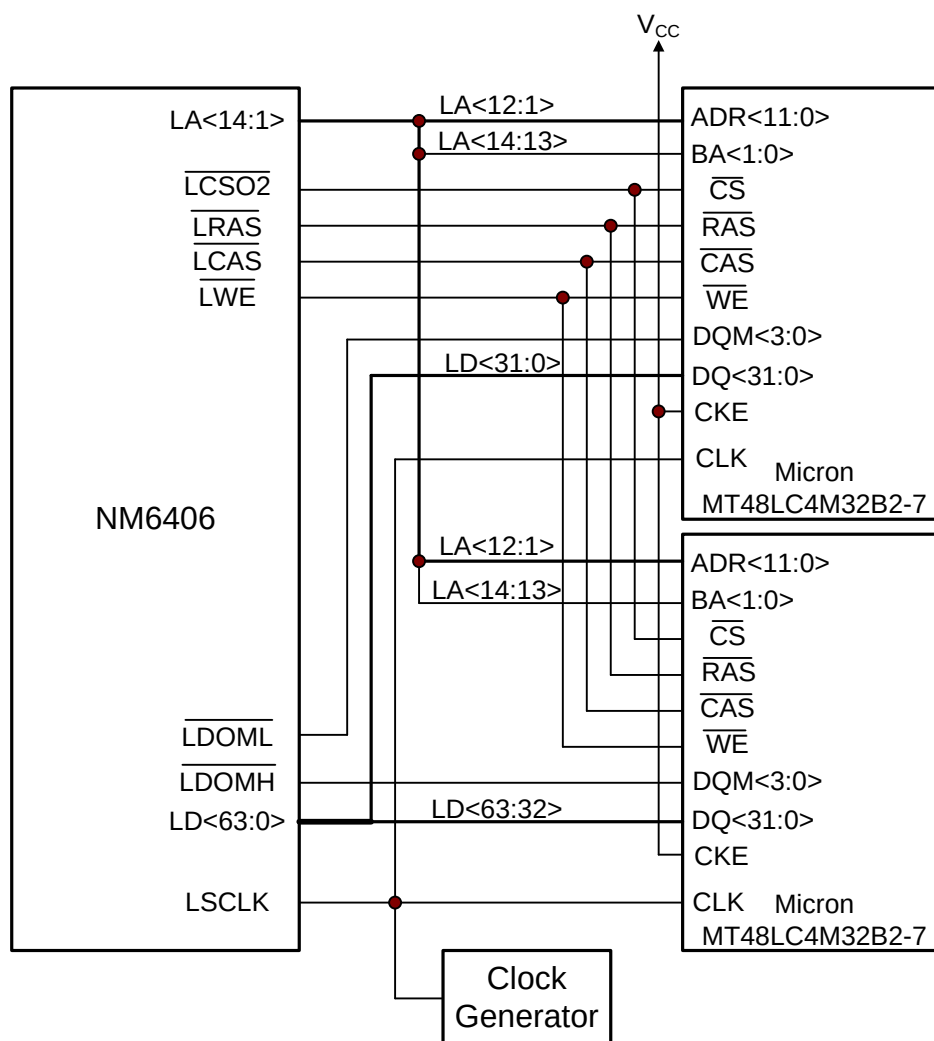


Рисунок 17-1 - Пример подключения к процессору K1879BM5Я внешней памяти типа SDRAM

Временные параметры памяти, задаваемые в регистрах конфигурации интерфейса, приведены на Рисунок 17-2 и 17.3. Временные параметры указываются в предположении, что тактовая частота работы процессора (PCLK) – 300 МГц., а тактовая частота работы локального интерфейса (LSCLKI) – 100 МГц.

					ЮФКВ.431282.006РЭ				Лист
									201
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инов.№дубл.	Подп. и дата		
Инв.№подл.		Подп. и дата		Взам.инв.№		Инов.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSP			SI	T _{WR}	T _{CYC}		T _{SOE}	T _{SSOE}	SST	NOT USED					
0	0	0	?	x	x	x	x	x	x	x					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NOT USED				B3TYP		B2TYP		B1TYP		B0TYP		PTYP	SDS		
				x	x	1	1	x	x	x	x	x	0	0	1

Примечание:

- 1) Обозначение x означает, что состояние поля не зависит от параметров микросхем внешней памяти типа SDRAM.
- 2) Обозначение ? означает, что состояние поля зависит от конфигурации всей подсистемы памяти.

Рисунок 17-2 - Состояние регистра конфигурации LEMCR0 при использовании микросхем памяти MT48LC4M32B2-7

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
T _{RAS}			T _{RCD}		T _{RFC}		T _{RDL}	CL		NOT USED					
1	0	0	1	1	0	1	0	1	0	0					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NOT USED			RP												
			1	0	1	1	0	1	1	0	1	0	1	1	0

Рисунок 17-3 - Состояние регистра конфигурации LEMCR1 при использовании микросхем памяти MT48LC4M32B2-7

17.2.2 Подключение внешней памяти типа SSRAM

Подключение внешней памяти типа SSRAM к третьему банку внешней памяти на локальной шине процессора K1879BM5Я представлено на Рисунок 17-4 на примере микросхемы K7A403200B-14 фирмы Samsung Electronics Co Ltd.

Параметры памяти типа SSRAM задаются только в регистре конфигурации LEMCR0. Его состояние при работе с микросхемами K7A403200B-14 представлено на Рисунок 17-5.

Состояние управляющих полей регистра конфигурации LEMCR1 может быть произвольным.

Временные параметры указываются в предположении, что тактовая частота работы процессора (PCLK) – 300 МГц., а тактовая частота работы локального интерфейса (LSCLKI) – 100 МГц.

					ЮФКВ.431282.006РЭ					Лист
										202
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата		
18061-4		 21.05.12		18061-3						

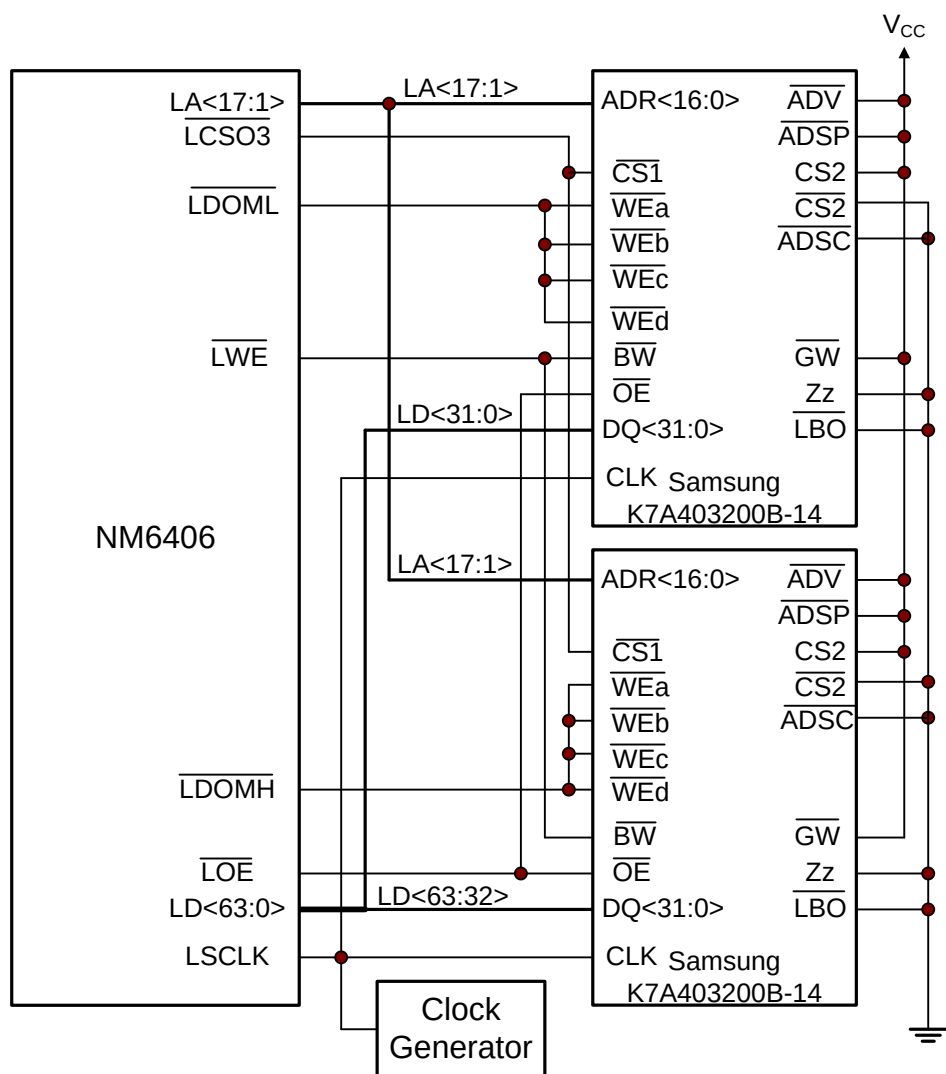


Рисунок 17-4 - Пример подключения к процессору K1879BM5Я внешней памяти типа SSRAM

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSP	SI	T _{WR}	T _{CYC}	T _{SOE}	T _{SSOE}	SST	NOT USED								
x	x	x	x	x	x	x	x	x	0	1					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NOT USED				B3TYP	B2TYP	B1TYP	B0TYP	PTYP	SDS						
				0	1	x	x	x	x	x	x	x	x	x	x

Примечание: Обозначение x означает, что состояние поля не зависит от параметров микросхем внешней памяти типа SSRAM.

Рисунок 17-5 - Состояние регистра конфигурации LEMCR0 при использовании микросхем памяти K7A403200B- 14П

					ЮФКВ.431282.006РЭ					Лист
										203
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата		
18061-4		 21.05.12		18061-3						

17.2.3 Взаимодействие двух процессоров на внешней шине

Блок интерфейса с внешней шиной процессора K1879BM5Я позволяет без дополнительной аппаратуры организовать взаимодействие двух микросхем на внешней шине. При этом внутренняя память каждого из процессоров видна другому процессору как банк внешней памяти. Блоки интерфейсов с внешней памятью позволяют соединять как локальные и глобальные шины микросхем в произвольных сочетаниях. Необходимо только аккуратно задавать принадлежность межпроцессорной шины после системного сброса с помощью конфигурационных выводов LBIS и GBIS каждого процессора.

Пример соединения локальной и глобальной шин процессоров приведен на Рисунок 17-6. Состояние управляющих полей регистра конфигурации xEMCR0 для такого соединения представлено на Рисунок 17-7. Состояние управляющих полей регистра конфигурации xEMCR1 может быть произвольным.

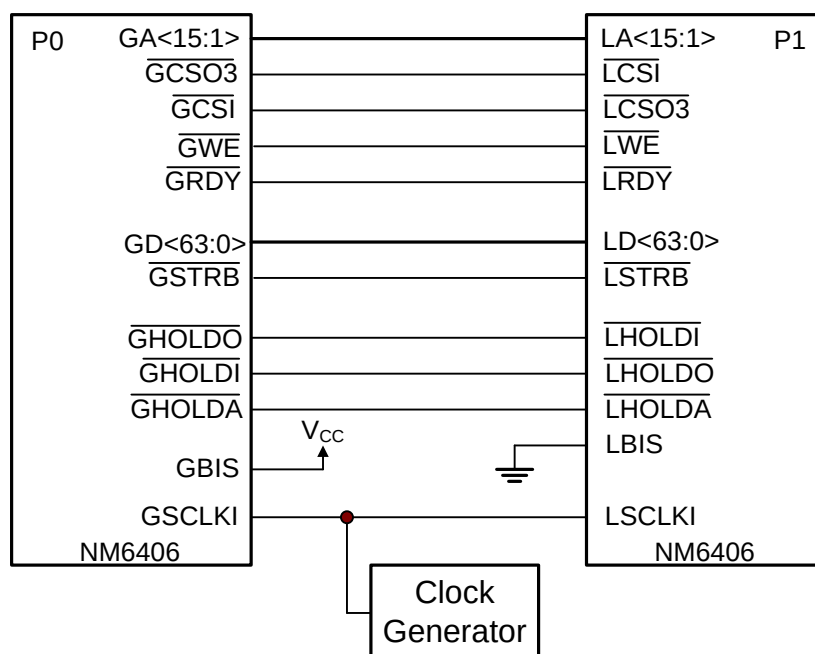


Рисунок 17-6 - Пример соединения двух процессоров по внешней шине

					ЮФКВ.431282.006РЭ				Лист
									204
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инов.№дубл.	Подп. и дата		
Инв.№подл.		Подп. и дата		Взам.инв.№		Инов.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSP			SI	T _{WR}	T _{CYC}		T _{SOE}	T _{SSOE}	SST	NOT USED					
x	x	x	x	x	x	x	x	x	x	x					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NOT USED				B3TYP		B2TYP		B1TYP		B0TYP		PTYP	SDS		
				1	0	x	x	x	x	x	x	0	x	x	x

Примечание: Обозначение x означает, что состояние поля не зависит от параметров микросхем внешней памяти типа SSRAM.

Рисунок 17-7 - Состояние регистров конфигурации xEMCR0 процессоров при соединении их по внешней шине

					ЮФКВ.431282.006РЭ				Лист
									205
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

18 Электрические, динамические и конструктивные характеристики процессора K1879BM5Я

18.1 Состав и расположение внешних выводов процессора K1879BM5Я

Процессор K1879BM5Я изготавливается в 416-выводном пластиковом корпусе BGA (Ball Grid Array). Расположение внешних выводов процессора представлено на Рисунок 18-1.

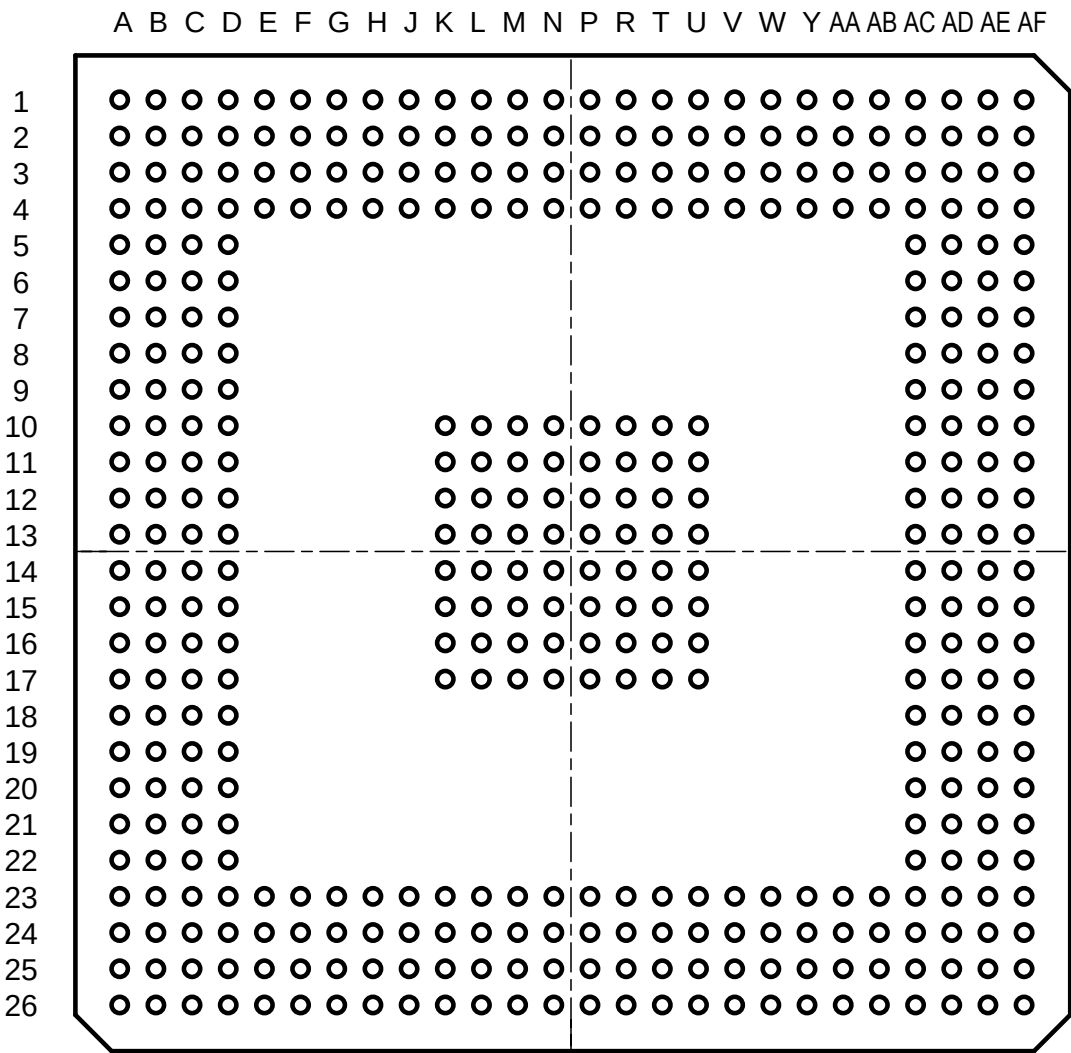


Рисунок 18-1 - Расположение внешних выводов процессора K1879BM5Я (вид со стороны выводов)

					ЮФКВ.431282.006РЭ				Лист
									206
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

В Таблица 18-1 представлены выводы микросхемы, сгруппированные по их функциональному назначению.

Таблица 18-1 - Выводы процессора K1879BM5Я, в соответствии с их функциональным назначением

Обозна- чение ¹⁾	Кол- во	Тип ²⁾	Pull- Up	Вых. ток, мА	Функциональное назначение	Выводы корпуса
Интерфейс с глобальной шиной (104 вывода)						
GD0 ... GD63 ³⁾	64	I/O		4	64- разрядная шина данных	B3, A3, C4, B4, A4, D5, C5, B5, D6, C6, A6, D7, B7, A7, C8, B8, A8, D9, C9, B9, D10, C10, A10, D11, B11, A11, C12, B12, A12, D13, C13, A13, AC13, AD13, AE13, AD12, AE12, AF12, AC11, AE11, AF11, AC10, AD10, AF10, AC9, AD9, AE9, AD8, AE8, AF8, AC7, AE7, AF7, AC6, AD6, AF6, AC5, AD5, AE5, AD4, AE4, AF4, AE3, AF3
GA1 ... GA15 ³⁾	15	I/O		6	15 младших разрядов шины адреса	G1, G2, G4, H1, H2, H3, J2, J3, J4, K1, K3, K4, L1, L2, L4
GA16 ... GA20 ⁴⁾	5	O(Z)		6	5 старших разрядов шины адреса	M1, M2, M3, N2, N3
$\overline{\text{GCSO0}}$, $\overline{\text{GCSO1}}$. $\overline{\text{GCSO2}}$, $\overline{\text{GCSO3}}$ ⁴⁾	4	O(Z)		6	Выборка банков внешней памяти 0 ... 3	W3, Y1, Y2, Y4
$\overline{\text{GCSI}}$ ⁵⁾	1	I			Выборка внутренней глобальной памяти процессора	N4
$\overline{\text{GOE}}$ ⁴⁾	1	O(Z)		6	Разрешение чтения из внешней памяти	V2
$\overline{\text{GWE_AL}}$ ⁴⁾	1	O(Z)		6	Разрешение записи в 32 младших разряда внешней асинхронной памяти	U1
$\overline{\text{GWE_AH}}$ ⁴⁾	1	O(Z)		6	Разрешение записи в 32 старших разряда внешней асинхронной памяти	U3
$\overline{\text{GWE}}$ ³⁾	1	I/O		6	Разрешение записи во внешнюю синхронную память/ Разрешение записи во внутреннюю память процессора	U4

					ЮФКВ.431282.006РЭ			Лист
								207
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

Продолжение таблицы 18- 1

Обозначение 1)	Кол-во	Тип ²⁾	Pull-Up	Вых. ток, мА	Функциональное назначение	Выводы корпуса
Интерфейс с глобальной шиной (продолжение)						
$\overline{\text{GRAS}}$ ⁴⁾	1	O(Z)		6	Строб адреса строки SDRAM	W2
$\overline{\text{GCAS}}$ ⁴⁾	1	O(Z)		6	Строб адреса столбца SDRAM	W1
$\overline{\text{GDQML}}$ ⁴⁾	1	I/O		6	Маскирование записи в 32 младших разряда внешней синхронной памяти	V3
$\overline{\text{GDQMH}}$ ⁴⁾	1	I/O		6	Маскирование записи в 32 старших разряда внешней синхронной памяти	V4
$\overline{\text{GRDY}}$ ³⁾	1	I/O		4	Сигнал готовности внешнего устройства/ Сигнал готовности приёма запроса от внешнего устройства	T4
$\overline{\text{GSTRB}}$ ³⁾	1	I/O		4	Строб данных	T2
$\overline{\text{GHOLDI}}$ ⁵⁾	1	I			Запрос внешнего устройства на захват шины	R2
$\overline{\text{GHOLDO}}$ ⁴⁾	1	O		4	Запрос процессора на захват шины	R3
$\overline{\text{GHOLDA}}$ ³⁾	1	I/O	+	4	Разрешение захвата шины	T1
$\overline{\text{GSCLK}}$	1	I			Входной синхросигнал шины	P3
$\overline{\text{GBIS}}$ ⁹⁾	1	I			Принадлежность глобальной шины после системного сброса	P1
Интерфейс с локальной шиной (104 вывода)						
LD0 ... LD63 ³⁾	64	I/O		4	64- разрядная шина данных	B24, A24, C23, B23, A23, D22, C22, B22, D21, C21, A21, D20, B20, A20, C19, B19, A19, D18, C18, B18, D17, C17, A17, D16, B16, A16, C15, B15, A15, D14, C14, B14, AC14, AD14, AF14, AD15, AE15, AF15, AC16, AE16, AF16, AC17, AD17, AF17, AC18, AD18, AE18, AD19, AE19, AF19, AC20, AE20, AF20, AC21, AD21, AF21, AC22, AD22, AE22, AD23, AE23, AF23, AE24, AF24

					ЮФКВ.431282.006РЭ			Лист
								208
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

Продолжение таблицы 18- 1

Обозна- чение 1)	Кол- во	Тип ²⁾	Pull- Up	Вых. ток, мА	Функциональное назначение	Выводы корпуса
Интерфейс с локальной шиной (продолжение)						
LA1 ... LA15 ³⁾	15	I/O		6	15 младших разрядов шины адреса	F24, F26, G23, G25, G26, H24, H25, H26, J23, J24, J25, K23, K24, K26, L23
LA16 ... LA20 ⁴⁾	5	O(Z)		6	5 старших разрядов шины адреса	L25, L26, M24, M25, M26
$\overline{\text{LCSO0}}$, $\overline{\text{LCSO1}}$, $\overline{\text{LCSO2}}$, $\overline{\text{LCSO3}}$ ⁴⁾	4	O(Z)		6	Выборка банков внешней памяти 0 ... 3	W24, W25, Y23, Y25
$\overline{\text{LCSI}}$ ⁵⁾	1	I			Выборка внутренней локальной памяти процессора	N23
$\overline{\text{LOE}}$ ⁴⁾	1	O(Z)		6	Разрешение чтения из внешней памяти	U23
$\overline{\text{LWE_AL}}$ ⁴⁾	1	O(Z)		6	Разрешение записи в 32 младших разряда внешней асинхронной памяти	T23
$\overline{\text{LWE_AH}}$ ⁴⁾	1	O(Z)		6	Разрешение записи в 32 старших разряда внешней асинхронной памяти	T25
$\overline{\text{LWE}}$ ³⁾	1	I/O		6	Разрешение записи во внешнюю синхронную память/ Разрешение записи во внутреннюю память процессора	T26
$\overline{\text{LRAS}}$ ⁴⁾	1	O(Z)		6	Строб адреса строки SDRAM	V25
$\overline{\text{LCAS}}$ ⁴⁾	1	O(Z)		6	Строб адреса столбца SDRAM	V24
$\overline{\text{LDQML}}$ ⁴⁾	1	I/O		6	Маскирование записи в 32 младших разряда внешней синхронной памяти	U24
$\overline{\text{LDQMH}}$ ⁴⁾	1	I/O		6	Маскирование записи в 32 старших разряда внешней синхронной памяти	V23

					ЮФКВ.431282.006РЭ			Лист
								209
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18061-4		 21.05.12		18061-3				

Продолжение таблицы 18- 1

Обозна- чение 1)	Кол- во	Тип ²⁾	Pull- Up	Вых. ток, мА	Функциональное назначение	Выводы корпуса
Интерфейс с локальной шиной (продолжение)						
$\overline{\text{LRDY}}^{3)}$	1	I/O		4	Сигнал готовности внешнего устройства/ Сигнал готовности приёма запроса от внешнего устройства	R25
$\overline{\text{LSTRB}}^{3)}$	1	I/O		4	Строб данных	R24
$\overline{\text{LHOLDI}}^{5)}$	1	I			Запрос внешнего устройства на захват шины	P23
$\overline{\text{LHOLDO}}^{4)}$	1	O		4	Запрос процессора на захват шины	P24
$\overline{\text{LHOLDA}}^{3)}$	1	I/O	+	4	Разрешение захвата шины	P26
LSCLK	1	I			Входной синхросигнал шины	N25
LBIS ⁹⁾	1	I			Принадлежность шины после системного сброса	N24
Коммуникационный порт 0 (13 выводов)						
C0D0 ... C0D7 ³⁾	8	I/O		4	Шина данных	F1, F3, F4, E2, E3, E4, D1, D2
$\overline{\text{C0STRB}}^{3)}$	1	I/O		4	Строб данных	D3
$\overline{\text{C0RDY}}^{3)}$	1	I/O		4	Готовность к приёму данных	C2
$\overline{\text{C0HOLDI}}^{5)}$	1	I			Запрос внешнего устройства на передачу данных	C1
$\overline{\text{C0HOLDO}}^{4)}$	1	O		4	Запрос процессора на передачу данных	B1
C0IS ⁹⁾	1	I			Состояние порта после системного сброса	A2
Коммуникационный порт 1 (13 выводов)						
C1D0 ... C1D7 ³⁾	8	I/O		4	Шина данных	AC2, AC1, AB4, AB3, AB2, AA4, AA3, AA1
$\overline{\text{C1STRB}}^{3)}$	1	I/O		4	Строб данных	AC3
$\overline{\text{C1RDY}}^{3)}$	1	I/O		4	Готовность к приёму данных	AD1
$\overline{\text{C1HOLDI}}^{5)}$	1	I			Запрос внешнего устройства на передачу данных	AD2
$\overline{\text{C1HOLDO}}^{4)}$	1	O		4	Запрос процессора на передачу данных	AE1
C1IS ⁹⁾	1	I			Состояние порта после системного сброса	AF2

					ЮФКВ.431282.006РЭ			Лист
								210
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

Продолжение таблицы 18- 1

Обозна- чение 1)	Кол- во	Тип ²⁾	Pull- Up	Вых. ток, мА	Функциональное назначение	Выводы корпуса
Порты общего назначения (8 выводов)						
GPIO0 ... GPIO7 ³⁾	8	I/O		4	Программируемые входы/выходы	C26, D24, D25, D26, E23, E24, E25, F23
Выводы таймеров (2 вывода)						
TIMER0 ³⁾	1	I/O		4	Вход/выход таймера 0	B26
TIMER1 ³⁾	1	I/O		4	Вход/выход таймера 1	C25
JTAG интерфейс (5 выводов)						
TDO ⁷⁾	1	O(Z)		4	Выход данных тестового порта JTAG	AF25
TDI ⁸⁾	1	I			Вход данных тестового порта JTAG	AC26
TCK ⁸⁾	1	I			Тактовый сигнал тестового порта JTAG	AD25
TMS ⁸⁾	1	I			Выбор режима тестирования JTAG	AD26
TRST ⁸⁾	1	I			Сброс тестового порта JTAG	AE26
Общее управление (12 выводов)						
INT0 ... INT3 ⁵⁾	4	I			Входы маскируемых прерываний	AB24, AB25, AC24, AC25
NMI ⁵⁾	1	I			Вход немаскируемого прерывания	AB23
BOOTM0, BOOTM1 ⁹⁾	2	I			Режим начальной загрузки процессора	R1, P4
RST	1	I			Системный сброс	AA24
CLK	1	I			Тактовый сигнал процессора	AA26
PLLBP ⁹⁾	1	I			Вход управления режимом умножения тактовой частоты процессора	AA23
TM ⁶⁾	1	I			Режим тестирования процессора	Y26
VPD ⁶⁾	1	I			Управление статическим током	A25
Питание (155 выводов)						
AVD12	1	S			Напряжение питания блока PLL (1,2 В)	R26
VDDI	28	S			Напряжение питания ядра (1,2 В)	K10, K11, K12, K13, K14, K15, K16, K17, L10, L17, M10, M17, N10, N17, P10, P17, R10, R17, T10, T17, U10, U11, U12, U13, U14, U15, U16, U17

					ЮФКВ.431282.006РЭ			Лист
								211
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

Продолжение таблицы 18- 1

Обозна- чение 1)	Кол- во	Тип ²⁾	Pull- Up	Вых. ток, мА	Функциональное назначение	Выводы корпуса
Питание (продолжение)						
VDDE	45	S			Напряжение питания буферов ввода/вывода (3,3В)	A5, A14, A22, B6, B21, C3, C11, C16, C24, D4, D12, D15, D23, E1, E26, F2, F25, L3, L24, M4, M23, N1, N26, R4, R23, T3, T24, W26, AA2, AA25, AB1, AB26, AC4, AC12, AC15, AC23, AD3, AD11, AD16, AD24, AE6, AE21, AF5, AF13, AF22,
AVS12	1	S			Земля блока PLL	U26
VSS	80	S			Земля	A1, A9, A18, A26, B2, B10, B13, B17, B25, C7, C20, D8, D19, G3, G24, H4, H23, J1, J26, K2, K25, L11, L12, L13, L14, L15, L16, M11, M12, M13, M14, M15, M16, N11, N12, N13, N14, N15, N16, P2, P11, P12, P13, P14, P15, P16, P25, R11, R12, R13, R14, R15, R16, T11, T12, T13, T14, T15, T16, U2, U25, V1, V26, W4, W23, Y3, Y24, AC8, AC19, AD7, AD20, AE2, AE10, AE14, AE17, AE25, AF1, AF9, AF18, AF26

Примечания:

- 1) Для выводов со знаком инверсии активным является низкий уровень сигнала.
- 2) Используемые обозначения типов выводов:
I – вход,
- выход,
O(Z) - выход с высокоимпедансным состоянием,
I/O – двунаправленный вывод,
S –питание.
- 3) Каждый неиспользуемый вывод данного типа должен быть подключен к цепи VDDE через резистор номиналом 24 кОм.
- 4) Каждый неиспользуемый вывод данного типа должен быть оставлен неподключенным.
- 5) Каждый неиспользуемый вывод данного типа должен быть подключен к цепи VDDE.
- 6) Данный вывод должен быть подключен к цепи VSS.
- 7) Если порт JTAG не используется, то вывод оставить неподключенным.
- 8) Если порт JTAG не используется, то вывод должен быть подключен к цепи VSS.
- 9) Выбор уровней лог. 0 и 1 осуществляется подключением к цепям VSS и VDDE соответственно.

					ЮФКВ.431282.006РЭ					Лист
										212
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12			18061-3					

В Таблица 18-2 приведены выводы микросхемы, отсортированные по соответствующим им именам сигналов в алфавитном порядке.

Таблица 18-2 - Выводы процессора K1879BM5Я, отсортированные по соответствующим им именам сигналов

Сигнал	Вывод	Сигнал	Вывод	Сигнал	Вывод
AVD12	R26	GA3	G4	GD8	D6
AVS12	U26	GA4	H1	GD9	C6
BOOTM0	R1	GA5	H2	GD10	A6
BOOTM1	P4	GA6	H3	GD11	D7
C0D0	F1	GA7	J2	GD12	B7
C0D1	F3	GA8	J3	GD13	A7
C0D2	F4	GA9	J4	GD14	C8
C0D3	E2	GA10	K1	GD15	B8
C0D4	E3	GA11	K3	GD16	A8
C0D5	E4	GA12	K4	GD17	D9
C0D6	D1	GA13	L1	GD18	C9
C0D7	D2	GA14	L2	GD19	B9
$\overline{C0HOLDI}$	C1	GA15	L4	GD20	D10
$\overline{C0HOLDO}$	B1	GA16	M1	GD21	C10
$\overline{C0IS}$	A2	GA17	M2	GD22	A10
$\overline{C0RDY}$	C2	GA18	M3	GD23	D11
$\overline{C0STRB}$	D3	GA19	N2	GD24	B11
C1D0	AC2	GA20	N3	GD25	A11
C1D1	AC1	$\overline{GBIS}$	P1	GD26	C12
C1D2	AB4	$\overline{GCAS}$	W1	GD27	B12
C1D3	AB3	$\overline{GCSI}$	N4	GD28	A12
C1D4	AB2	$\overline{GCSO0}$	W3	GD29	D13
C1D5	AA4	$\overline{GCSO1}$	Y1	GD30	C13
C1D6	AA3	$\overline{GCSO2}$	Y2	GD31	A13
C1D7	AA1	$\overline{GCSO3}$	Y4	GD32	AC13
$\overline{C1HOLDI}$	AD2	GD0	B3	GD33	AD13
$\overline{C1HOLDO}$	AE1	GD1	A3	GD34	AE13
$\overline{C1IS}$	AF2	GD2	C4	GD35	AD12
$\overline{C1RDY}$	AD1	GD3	B4	GD36	AE12
$\overline{C1STRB}$	AC3	GD4	A4	GD37	AF12
CLK	AA26	GD5	D5	GD38	AC11
GA1	G1	GD6	C5	GD39	AE11
GA2	G2	GD7	B5	GD40	AF11

					ЮФКВ.431282.006РЭ				Лист
									213
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Продолжение таблицы 18- 2

Сигнал	Вывод	Сигнал	Вывод	Сигнал	Вывод
GD41	AC10	GPIO5	E24	LBIS	N24
GD42	AD10	GPIO6	E25	LCAS	V24
GD43	AF10	GPIO7	F23	LCSI	N23
GD44	AC9	GRAS	W2	LCSO0	W24
GD45	AD9	GRDY	T4	LCSO1	W25
GD46	AE9	GSCLK	P3	LCSO2	Y23
GD47	AD8	GSTRB	T2	LCSO3	Y25
GD48	AE8	GWE	U4	LD0	B24
GD49	AF8	GWE_AH	U3	LD1	A24
GD50	AC7	GWE_AL	U1	LD2	C23
GD51	AE7	INT0	AB24	LD3	B23
GD52	AF7	INT1	AB25	LD4	A23
GD53	AC6	INT2	AC24	LD5	D22
GD54	AD6	INT3	AC25	LD6	C22
GD55	AF6	LA1	F24	LD7	B22
GD56	AC5	LA2	F26	LD8	D21
GD57	AD5	LA3	G23	LD9	C21
GD58	AE5	LA4	G25	LD10	A21
GD59	AD4	LA5	G26	LD11	D20
GD60	AE4	LA6	H24	LD12	B20
GD61	AF4	LA7	H25	LD13	A20
GD62	AE3	LA8	H26	LD14	C19
GD63	AF3	LA9	J23	LD15	B19
GDQMH	V4	LA10	J24	LD16	A19
GDQML	V3	LA11	J25	LD17	D18
GHOLDA	T1	LA12	K23	LD18	C18
GHOLDI	R2	LA13	K24	LD19	B18
GHOLDO	R3	LA14	K26	LD20	D17
GOE	V2	LA15	L23	LD21	C17
GPIO0	C26	LA16	L25	LD22	A17
GPIO1	D24	LA17	L26	LD23	D16
GPIO2	D25	LA18	M24	LD24	B16
GPIO3	D26	LA19	M25	LD25	A16
GPIO4	E23	LA20	M26	LD26	C15

					ЮФКВ.431282.006РЭ				Лист
									214
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Продолжение таблицы 18-2

Сигнал	Вывод	Сигнал	Вывод	Сигнал	Вывод
LD27	B15	LD61	AF23	VDDE	C16
LD28	A15	LD62	AE24	VDDE	C24
LD29	D14	LD63	AF24	VDDE	D4
LD30	C14	$\overline{\text{LDQMH}}$	V23	VDDE	D12
LD31	B14	$\overline{\text{LDQML}}$	U24	VDDE	D15
LD32	AC14	$\overline{\text{LHOLDA}}$	P26	VDDE	D23
LD33	AD14	$\overline{\text{LHOLDI}}$	P23	VDDE	E1
LD34	AF14	$\overline{\text{LHOLDO}}$	P24	VDDE	E26
LD35	AD15	$\overline{\text{LOE}}$	U23	VDDE	F2
LD36	AE15	$\overline{\text{LRAS}}$	V25	VDDE	F25
LD37	AF15	$\overline{\text{LRDY}}$	R25	VDDE	L3
LD38	AC16	$\overline{\text{LSCLK}}$	N25	VDDE	L24
LD39	AE16	$\overline{\text{LSTRB}}$	R24	VDDE	M4
LD40	AF16	$\overline{\text{LWE}}$	T26	VDDE	M23
LD41	AC17	$\overline{\text{LWE_AH}}$	T25	VDDE	N1
LD42	AD17	$\overline{\text{LWE_AL}}$	T23	VDDE	N26
LD43	AF17	$\overline{\text{NMI}}$	AB23	VDDE	R4
LD44	AC18	$\overline{\text{PLLBP}}$	AA23	VDDE	R23
LD45	AD18	$\overline{\text{RST}}$	AA24	VDDE	T3
LD46	AE18	TCK	AD25	VDDE	T24
LD47	AD19	TDI	AC26	VDDE	W26
LD48	AE19	TDO	AF25	VDDE	AA2
LD49	AF19	TIMER0	B26	VDDE	AA25
LD50	AC20	TIMER1	C25	VDDE	AB1
LD51	AE20	TM	Y26	VDDE	AB26
LD52	AF20	TMS	AD26	VDDE	AC4
LD53	AC21	$\overline{\text{TRST}}$	AE26	VDDE	AC12
LD54	AD21	VDDE	A5	VDDE	AC15
LD55	AF21	VDDE	A14	VDDE	AC23
LD56	AC22	VDDE	A22	VDDE	AD3
LD57	AD22	VDDE	B6	VDDE	AD11
LD58	AE22	VDDE	B21	VDDE	AD16
LD59	AD23	VDDE	C3	VDDE	AD24
LD60	AE23	VDDE	C11	VDDE	AE6

					ЮФКВ.431282.006РЭ				Лист
									215
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Продолжение таблицы 18- 2

Сигнал	Вывод	Сигнал	Вывод	Сигнал	Вывод
VDDE	AE21	VSS	B10	VSS	P14
VDDE	AF5	VSS	B13	VSS	P15
VDDE	AF13	VSS	B17	VSS	P16
VDDE	AF22	VSS	B25	VSS	P25
VDDI	K10	VSS	C7	VSS	R11
VDDI	K11	VSS	C20	VSS	R12
VDDI	K12	VSS	D8	VSS	R13
VDDI	K13	VSS	D19	VSS	R14
VDDI	K14	VSS	G3	VSS	R15
VDDI	K15	VSS	G24	VSS	R16
VDDI	K16	VSS	H4	VSS	T11
VDDI	K17	VSS	H23	VSS	T12
VDDI	L10	VSS	J1	VSS	T13
VDDI	L17	VSS	J26	VSS	T14
VDDI	M10	VSS	K2	VSS	T15
VDDI	M17	VSS	K25	VSS	T16
VDDI	N10	VSS	L11	VSS	U2
VDDI	N17	VSS	L12	VSS	U25
VDDI	P10	VSS	L13	VSS	V1
VDDI	P17	VSS	L14	VSS	V26
VDDI	R10	VSS	L15	VSS	W4
VDDI	R17	VSS	L16	VSS	W23
VDDI	T10	VSS	M11	VSS	Y3
VDDI	T17	VSS	M12	VSS	Y24
VDDI	U10	VSS	M13	VSS	AC8
VDDI	U11	VSS	M14	VSS	AC19
VDDI	U12	VSS	M15	VSS	AD7
VDDI	U13	VSS	M16	VSS	AD20
VDDI	U14	VSS	N11	VSS	AE2
VDDI	U15	VSS	N12	VSS	AE10
VDDI	U16	VSS	N13	VSS	AE14
VDDI	U17	VSS	N14	VSS	AE17
VPD	A25	VSS	N15	VSS	AE25
VSS	A1	VSS	N16	VSS	AF1
VSS	A9	VSS	P2	VSS	AF9
VSS	A18	VSS	P11	VSS	AF18
VSS	A26	VSS	P12	VSS	AF26
VSS	B2	VSS	P13		

					ЮФКВ.431282.006РЭ				Лист
									216
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

В Таблица 18-3 представлены выводы микросхемы, отсортированные по их номерам в алфавитном порядке.

Таблица 18-3 - Выводы процессора K1879BM5Я, отсортированные по их номерам

Вывод	Сигнал	Вывод	Сигнал	Вывод	Сигнал
A1	VSS	B10	VSS	C19	LD14
A2	C0IS	B11	GD24	C20	VSS
A3	GD1	B12	GD27	C21	LD9
A4	GD4	B13	VSS	C22	LD6
A5	VDDE	B14	LD31	C23	LD2
A6	GD10	B15	LD27	C24	VDDE
A7	GD13	B16	LD24	C25	TIMER1
A8	GD16	B17	VSS	C26	GPIO0
A9	VSS	B18	LD19	D1	C0D6
A10	GD22	B19	LD15	D2	C0D7
A11	GD25	B20	LD12	D3	C0STRB
A12	GD28	B21	VDDE	D4	VDDE
A13	GD31	B22	LD7	D5	GD5
A14	VDDE	B23	LD3	D6	GD8
A15	LD28	B24	LD0	D7	GD11
A16	LD25	B25	VSS	D8	VSS
A17	LD22	B26	TIMER0	D9	GD17
A18	VSS	C1	C0HOLDI	D10	GD20
A19	LD16	C2	C0RDY	D11	GD23
A20	LD13	C3	VDDE	D12	VDDE
A21	LD10	C4	GD2	D13	GD29
A22	VDDE	C5	GD6	D14	LD29
A23	LD4	C6	GD9	D15	VDDE
A24	LD1	C7	VSS	D16	LD23
A25	VPD	C8	GD14	D17	LD20
A26	VSS	C9	GD18	D18	LD17
B1	C0HOLDO	C10	GD21	D19	VSS
B2	VSS	C11	VDDE	D20	LD11
B3	GD0	C12	GD26	D21	LD8
B4	GD3	C13	GD30	D22	LD5
B5	GD7	C14	LD30	D23	VDDE
B6	VDDE	C15	LD26	D24	GPIO1
B7	GD12	C16	VDDE	D25	GPIO2
B8	GD15	C17	LD21	D26	GPIO3
B9	GD19	C18	LD18	E1	VDDE

					ЮФКВ.431282.006РЭ				Лист
									217
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Продолжение таблицы 18- 3

Вывод	Сигнал
E2	C0D3
E3	C0D4
E4	C0D6
E23	GPIO4
E24	GPIO5
E25	GPIO6
E26	VDDE
F1	C0D0
F2	VDDE
F3	C0D1
F4	C0D2
F23	GPIO7
F24	LA1
F25	VDDE
F26	LA2
G1	GA1
G2	GA2
G3	VSS
G4	GA3
G23	LA3
G24	VSS
G25	LA4
G26	LA5
H1	GA4
H2	GA5
H3	GA6
H4	VSS
H23	VSS
H24	LA6
H25	LA7
H26	LA8
J1	VSS
J2	GA7
J3	GA8
J4	GA9

Вывод	Сигнал
J23	LA9
J24	LA10
J25	LA11
J26	VSS
K1	GA10
K2	VSS
K3	GA11
K4	GA12
K10	VDDI
K11	VDDI
K12	VDDI
K13	VDDI
K14	VDDI
K15	VDDI
K16	VDDI
K17	VDDI
K23	LA12
K24	LA13
K25	VSS
K26	LA14
L1	GA13
L2	GA14
L3	VDDE
L4	GA15
L10	VDDI
L11	VSS
L12	VSS
L13	VSS
L14	VSS
L15	VSS
L16	VSS
L17	VDDI
L23	LA15
L24	VDDE
L25	LA16

Вывод	Сигнал
L26	LA17
M1	GA16
M2	GA17
M3	GA18
M4	VDDE
M10	VDDI
M11	VSS
M12	VSS
M13	VSS
M14	VSS
M15	VSS
M16	VSS
M17	VDDI
M23	VDDE
M24	LA18
M25	LA19
M26	LA20
N1	VDDE
N2	GA19
N3	GA20
N4	GCSI
N10	VDDI
N11	VSS
N12	VSS
N13	VSS
N14	VSS
N15	VSS
N16	VSS
N17	VDDI
N23	LCSI
N24	LBIS
N25	LSCLK
N26	VDDE
P1	GBIS
P2	VSS

					ЮФКВ.431282.006РЭ				Лист
									218
Изм.	Лист	№ докум.	Подп.	Дата					
					Инв.№подл.	Подп. и дата	Взам.инв.№	Инв.№дубл.	Подп. и дата
					18061-4	 21.05.12	18061-3		

Продолжение таблицы 18- 3

Вывод	Сигнал
P3	GSCLK
P4	BOOTM1
P10	VDDI
P11	VSS
P12	VSS
P13	VSS
P14	VSS
P15	VSS
P16	VSS
P17	VDDI
P23	$\overline{\text{LHOLDI}}$
P24	$\overline{\text{LHOLDO}}$
P25	VSS
P26	$\overline{\text{LHOLDA}}$
R1	BOOTM0
R2	$\overline{\text{GHOLDI}}$
R3	$\overline{\text{GHOLDO}}$
R4	VDDE
R10	VDDI
R11	VSS
R12	VSS
R13	VSS
R14	VSS
R15	VSS
R16	VSS
R17	VDDI
R23	$\overline{\text{VDDE}}$
R24	$\overline{\text{LSTRB}}$
R25	$\overline{\text{LRDY}}$
R26	AVD12
T1	$\overline{\text{GHOLDA}}$
T2	$\overline{\text{GSTRB}}$
T3	VDDE
T4	$\overline{\text{GRDY}}$

Вывод	Сигнал
T10	VDDI
T11	VSS
T12	VSS
T13	VSS
T14	VSS
T15	VSS
T16	VSS
T17	VDDI
T23	$\overline{\text{LWE_AL}}$
T24	$\overline{\text{VDDE}}$
T25	$\overline{\text{LWE_AH}}$
T26	$\overline{\text{LWE}}$
U1	$\overline{\text{GWE_AL}}$
U2	VSS
U3	$\overline{\text{GWE_AH}}$
U4	$\overline{\text{GWE}}$
U10	VDDI
U11	VDDI
U12	VDDI
U13	VDDI
U14	VDDI
U15	VDDI
U16	VDDI
U17	VDDI
U23	$\overline{\text{LOE}}$
U24	$\overline{\text{LDQML}}$
U25	VSS
U26	AVS12
V1	VSS
V2	$\overline{\text{GOE}}$
V3	$\overline{\text{GDQML}}$
V4	$\overline{\text{GDQMH}}$
V23	$\overline{\text{LDQMH}}$
V24	$\overline{\text{LCAS}}$

Вывод	Сигнал
V25	$\overline{\text{LRAS}}$
V26	$\overline{\text{VSS}}$
W1	$\overline{\text{GCAS}}$
W2	$\overline{\text{GRAS}}$
W3	$\overline{\text{GCSO0}}$
W4	$\overline{\text{VSS}}$
W23	$\overline{\text{VSS}}$
W24	$\overline{\text{LCSO0}}$
W25	$\overline{\text{LCSO1}}$
W26	$\overline{\text{VDDE}}$
Y1	$\overline{\text{GCSO1}}$
Y2	$\overline{\text{GCSO2}}$
Y3	$\overline{\text{VSS}}$
Y4	$\overline{\text{GCSO3}}$
Y23	$\overline{\text{LCSO2}}$
Y24	$\overline{\text{VSS}}$
Y25	$\overline{\text{LCSO3}}$
Y26	$\overline{\text{TM}}$
AA1	$\overline{\text{C1D7}}$
AA2	$\overline{\text{VDDE}}$
AA3	$\overline{\text{C1D6}}$
AA4	$\overline{\text{C1D5}}$
AA23	$\overline{\text{PLLBP}}$
AA24	$\overline{\text{RST}}$
AA25	$\overline{\text{VDDE}}$
AA26	$\overline{\text{CLK}}$
AB1	$\overline{\text{VDDE}}$
AB2	$\overline{\text{C1D4}}$
AB3	$\overline{\text{C1D3}}$
AB4	$\overline{\text{C1D2}}$
AB23	$\overline{\text{NMI}}$
AB24	$\overline{\text{INT0}}$
AB25	$\overline{\text{INT1}}$
AB26	$\overline{\text{VDDE}}$

					ЮФКВ.431282.006РЭ	Лист 219
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
18061-4		 21.05.12		18061-3		

Продолжение таблицы 18- 3

Вывод	Сигнал
AC1	C1D1
AC2	C1D0
AC3	C1STRB
AC4	VDDE
AC5	GD56
AC6	GD53
AC7	GD50
AC8	VSS
AC9	GD44
AC10	GD41
AC11	GD38
AC12	VDDE
AC13	GD32
AC14	LD32
AC15	VDDE
AC16	LD38
AC17	LD41
AC18	LD44
AC19	VSS
AC20	LD50
AC21	LD53
AC22	LD56
AC23	VDDE
AC24	INT2
AC25	INT3
AC26	TDI
AD1	C1RDY
AD2	C1HOLDI
AD3	VDDE
AD4	GD59
AD5	GD57
AD6	GD54
AD7	VSS
AD8	GD47
AD9	GD45

Вывод	Сигнал
AD10	GD42
AD11	VDDE
AD12	GD35
AD13	GD33
AD14	LD33
AD15	LD35
AD16	VDDE
AD17	LD42
AD18	LD45
AD19	LD47
AD20	VSS
AD21	LD54
AD22	LD57
AD23	LD59
AD24	VDDE
AD25	TCK
AD26	TMS
AE1	C1HOLDO
AE2	VSS
AE3	GD62
AE4	GD60
AE5	GD58
AE6	VDDE
AE7	GD51
AE8	GD48
AE9	GD46
AE10	VSS
AE11	GD39
AE12	GD36
AE13	GD34
AE14	VSS
AE15	LD36
AE16	LD39
AE17	VSS
AE18	LD46

Вывод	Сигнал
AE19	LD48
AE20	LD51
AE21	VDDE
AE22	LD58
AE23	LD60
AE24	LD62
AE25	VSS
AE26	TRST
AF1	VSS
AF2	C1IS
AF3	GD63
AF4	GD61
AF5	VDDE
AF6	GD55
AF7	GD52
AF8	GD49
AF9	VSS
AF10	GD43
AF11	GD40
AF12	GD37
AF13	VDDE
AF14	LD34
AF15	LD37
AF16	LD40
AF17	LD43
AF18	VSS
AF19	LD49
AF20	LD52
AF21	LD55
AF22	VDDE
AF23	LD61
AF24	LD63
AF25	TDO
AF26	VSS

					ЮФКВ.431282.006РЭ				Лист
									220
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата		
18061-4				21.05.12	18061-3				

18.2 Конструктивные характеристики

Процессор K1879BM5Я изготавливается в 416-выводном пластиковом корпусе типа Ball Grid Array. Внешний вид корпуса микросхемы представлен на Рисунок 18-2 с указанием сведений о габаритных и установочных размеров. Особенностью данного корпуса является наличие медной пластины на верхней поверхности корпуса, к которой приклеивается кристалл микросхемы. Это существенно понижает тепловое сопротивление корпуса.

Основные характеристики корпуса:

Механические характеристики:

- размер - 27×27 мм²;
- шаг выводов- 1,00 мм;
- размер вывода – 0,60 мм.
- масса корпуса – 2,7 грамм

Электрические характеристики:

- индуктивность вывода – не более 6,5 нГн;
- сопротивление вывода – не более 0,270 Ом;
- ёмкость вывода – не более 1,5 пФ.

Тепловые характеристики:

- Тепловое сопротивление при скорости обдува 0 м/с – 33 °С/Вт;
- Тепловое сопротивление при скорости обдува 1 м/с – 28 °С/Вт;
- Тепловое сопротивление при скорости обдува 3 м/с – 25 °С/Вт.

					ЮФКВ.431282.006РЭ			Лист
								221
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18061-4		 21.05.12		18061-3				

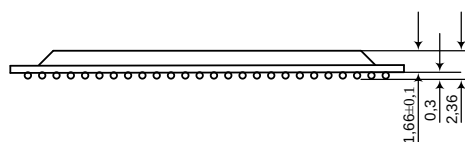
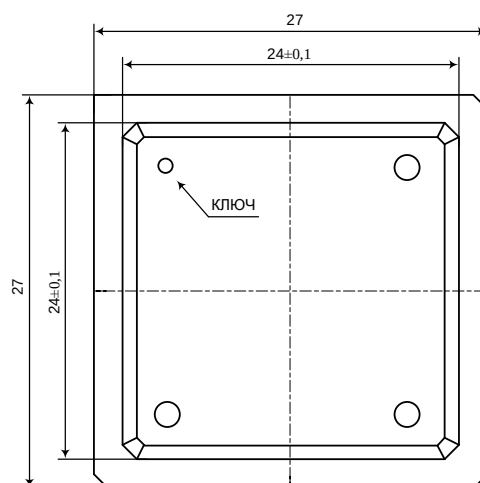
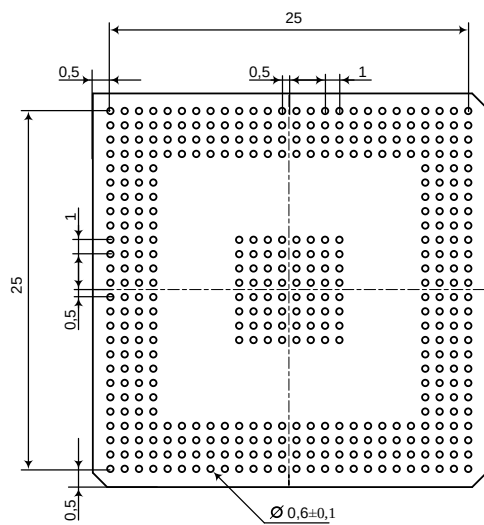


Рисунок 18-2 - Корпус процессора K1879BM5Я

					ЮФКВ.431282.006РЭ			Лист
								222
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата	
18061-4				21.05.12	18061-3			

18.3 Электрические характеристики

Данный раздел содержит следующие сведения: предельные режимы работы (см. Таблица 18-4), предельно допустимые режимы работы (см. Таблица 18-5), статические и динамические электрические характеристики в рекомендуемом диапазоне температур и напряжений (см. соответственно Таблица 18-6 и Таблица 18-7).

Таблица 18-4 - Предельные режимы работы

Обозначение	Условие / характеристика	Диапазон значений		Единица измерения
		не менее	не более	
VDD _I	Напряжение питания на входах VDDI	- 0,5	1,8	В
VDD _E	Напряжение питания на входах VDDE	- 0,5	4,0	В
VI	Напряжение на входах	- 0,5	VDD _E +0,5 (≤4,0В)	В
VO	Напряжение приложенное к выходу	- 0,5	VDD _E +0,5 (≤4,0В)	В
IO	Ток на цифровых выходах	- 13	13	мА
T _J	Температура на поверхности кристалла	- 40	125	°С
T _{ST}	Температура хранения	- 55	125	°С

- Примечания:**
- 1) Внешние воздействия, значения которых выходят за пределы указанных диапазонов, могут приводить к выходу из строя микросхемы.
 - 2) Значения всех напряжений приведены относительно выводов земли.

Таблица 18-5 - Предельно допустимые режимы работы

Обозначение	Параметр	Диапазон значений			Единица измерения
		не менее	Номинал	не более	
VDD _I	Напряжение питания на входах VDDI	1,1	1,2	1,3	В
VDD _E	Напряжение питания на входах VDDE	3,0	3,3	3,6	В
AVD _{PLL}	Напряжение питания на входе AVD12	1,1	1,2	1,3	В
VIH	Напряжение высокого уровня на входах микросхемы	2,0	-	VDD _E + 0,3	В
VIL	Напряжение низкого уровня на входах микросхемы	- 0,3	-	0,8	В
F _{CLK}	Частота опорного тактового сигнала CLK - при использовании PLL (PLL mode) - без использования PLL (PLL by-pass mode)				
		2,5	-	20	МГц
		0	-	200	МГц
F _{SCLK}	Частота синхросигнала внешней шины GSCLK (LSCLK)	0	-	125	МГц
T _J	Температура на поверхности кристалла	- 40	-	125	°С
T _{CASE}	Температура окружающей среды	- 40	-	85	°С

- Примечания:**
- 1) Внешние воздействия, значения которых выходят за пределы указанных диапазонов, могут приводить к сбоям в работе микросхемы.
 - 2) Значения всех напряжений приведены относительно выводов земли.

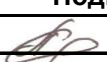
					ЮФКВ.431282.006РЭ				Лист
									223
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Таблица 18-6 - Статические электрические характеристики ($V_{DDI} = 1,2B \pm 0,1 B$, $V_{DDE} = 3,3B \pm 0,3 B$, $T_J = -40...125^\circ C$)

Обозначение	Параметр	Условия измерения	Диапазон значений			Единица измерения
			не менее	Номинал	не более	
V _{OH}	Напряжение высокого уровня на цифровых выходах	I _{OH} = -100 мкА	V _{DDE} - 0,2	-	V _{DDE}	В
V _{OL}	Напряжение низкого уровня на цифровых выходах	I _{OL} = 100 мкА	0	-	0,2	В
I _{OH}	Ток высокого уровня: 4 мА цифрового выхода, 6 мА цифрового выхода,	V _{OH} = V _{DDE} - 0,4В	- 4,0 - 6,0	- -	- -	мА мА
I _{OL}	Ток низкого уровня: 4 мА цифрового выхода, 6 мА цифрового выхода,	V _{OL} = 0,4В	4,0 6,0	- -	- -	мА мА
I _L	Ток утечки цифрового входа ²⁾		-	-	±4	мкА
R _p	Сопrotивление “pull- up” резистора на входах микросхемы		15	33	70	кОм
C _{IN}	Ёмкость входа	T _J = 25°C, V _I = 0 В, F = 1 МГц	-	-	16	пФ

Примечания:

- 1) Значения всех напряжений приведены относительно земли.
- 2) Для входов с “pull- up” резистором ток утечки может превышать указанную величину.
- 3) Имеется в виду ток короткого замыкания между выходом и питанием/землей в течение одной секунды.

Таблица 18-7 - Динамические электрические характеристики ($V_{DDI} = 1,2B \pm 0,1 B$, $V_{DDE} = 3,3B \pm 0,3 B$, $T_J = -40...125^\circ C$)

Обозначение	Параметр	Условия измерения	Диапазон значений			Единица измерения
			не менее	Номинал	не более	
I _{DDI}	Ток потребления по входам V _{DDI}	F _{CLK} = 20 МГц (PLL mode)	-	-	400	мА
I _{DDE}	Ток потребления по входам V _{DDE}	F _{SCLK} = 100 МГц, C _{LOAD} = 30 пФ	-	-	225	мА

					ЮФКВ.431282.006РЭ			Лист
								224
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

18.4 Временные характеристики

В данном разделе приведены временные диаграммы и временные параметры сигналов процессора K1879BM5Я. Временные параметры микросхемы определялись в полном диапазоне внешних воздействий (см. Таблица 18-8).

18.4.1 Временные диаграммы и временные параметры тактовых сигналов и сигналов общего назначения

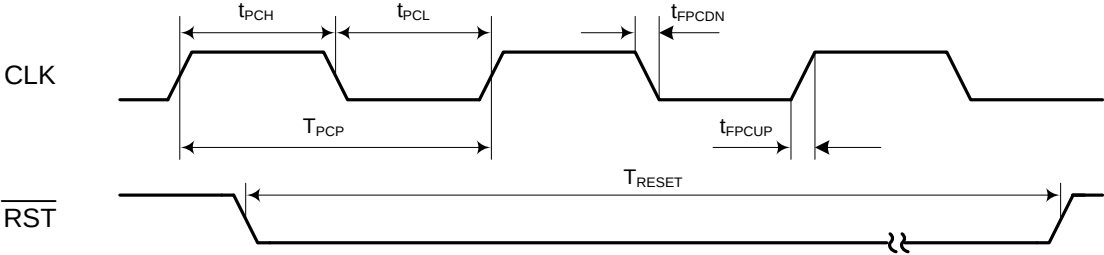


Рисунок 18-3 - Временная диаграмма тактового сигнала и сигнала сброса процессора

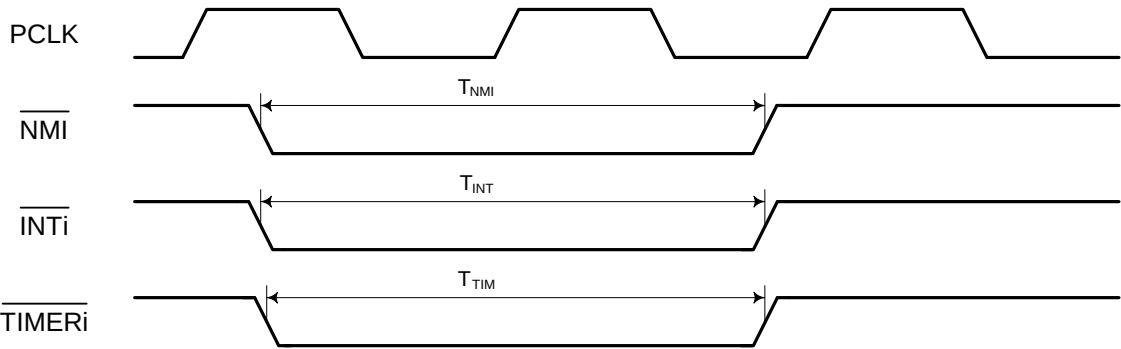


Рисунок 18-4 - Временная диаграмма входов прерываний и входов таймеров процессора

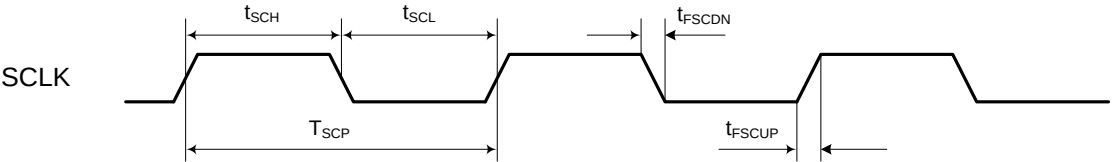


Рисунок 18-5 - Временная тактового сигнала внешней шины

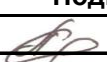
					ЮФКВ.431282.006РЭ			Лист
								225
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18061-4		 21.05.12		18061-3				

Таблица 18-8 - Временные параметры тактовых сигналов и входных сигналов общего назначения

Обозначение	Функциональное описание	Значение, нс	
		Не менее	Не более
PLL mode			
T _{PCP}	Период тактового сигнала на входе CLK процессора	50	400
t _{PCH}	Длительность сигнала высокого уровня на входе CLK	20	
t _{PCL}	Длительность сигнала низкого уровня на входе CLK	20	
t _{FPCUP}	Длительность фронта сигнала на входе CLK процессора		1
t _{FPCDN}	Длительность среза сигнала на входе CLK процессора		1
PLL by-pass mode			
T _{PCP}	Период тактового сигнала на входе CLK процессора	5	
t _{PCH}	Длительность сигнала высокого уровня на входе CLK	2.0	
t _{PCL}	Длительность сигнала низкого уровня на входе CLK	2.0	
t _{FPCUP}	Длительность фронта сигнала на входе CLK процессора		1
t _{FPCDN}	Длительность среза сигнала на входе CLK процессора		1
T _{RESET}	Длительность сигнала системного сброса процессора	50* T _{PCP}	
T _{NMI}	Длительность сигнала низкого уровня на входе немаскируемого прерывания	1.5*P	
T _{INT}	Длительность сигнала низкого уровня на входе маскируемых прерываний	1.5*P	
T _{TIMER}	Длительность сигнала низкого уровня на входе таймеров процессора	1.5*P	
T _{SCP}	Период сигнала тактового сигнала на входах GSCLK / LSCLK процессора	8.0	
t _{SCH}	Длительность сигнала высокого уровня на входах GSCLK / LSCLK процессора	3.5	
t _{SCL}	Длительность сигнала низкого уровня на входе GSCLK / LSCLK процессора	3.5	
t _{FSCUP}	Длительность фронта сигнала на входах GSCLK / LSCLK процессора		1
t _{FSCDN}	Длительность среза сигнала на входах GSCLK / LSCLK процессора		1

Примечания: Параметр P равен периоду внутреннего тактового сигнала процессора. Период внутреннего тактового сигнала процессора равен:

- T_{PCP} / 16 - PLL mode
- 2 * T_{PCP} - PLL by-pass mode

					ЮФКВ.431282.006РЭ			Лист
								226
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

18.4.2 Временные диаграммы и временные параметры работы процессора с внешней памятью

Временные диаграммы и временные параметры работы блоков локального и глобального интерфейсов процессора идентичны, поэтому ниже представлены обобщенные диаграммы работы с внешней памятью. Префиксы L или G в обозначениях внешних выводов процессора опущены.

Временные параметры работы интерфейса процессора определялись при следующих внешних условиях:

- Фронты входных сигналов процессора - 1,5 нс.
- Емкости нагрузки на выходах микросхемы приведены в Таблица 18-9

Таблица 18-9 - Емкости нагрузки на выходах интерфейса процессора при определении временных параметров обмена с внешней памятью

Обозначение вывода	Емкость на выходе, пФ.
D63...D0	15
A20...A1	25
	25
$\overline{\text{CSO}}_i$ ($i = 0, \dots, 3$), $\overline{\text{RAS}}$, $\overline{\text{CAS}}$, $\overline{\text{WE_AL}}$, $\overline{\text{WE_AH}}$	15
$\overline{\text{OE}}$, $\overline{\text{DQMH}}$, $\overline{\text{DQML}}$	20
$\overline{\text{RDY}}$, $\overline{\text{STRB}}$	10
$\overline{\text{HOLDO}}$, $\overline{\text{HOLDA}}$	10

18.4.2.1 Временные диаграммы и временные параметры циклов чтения из внешней памяти

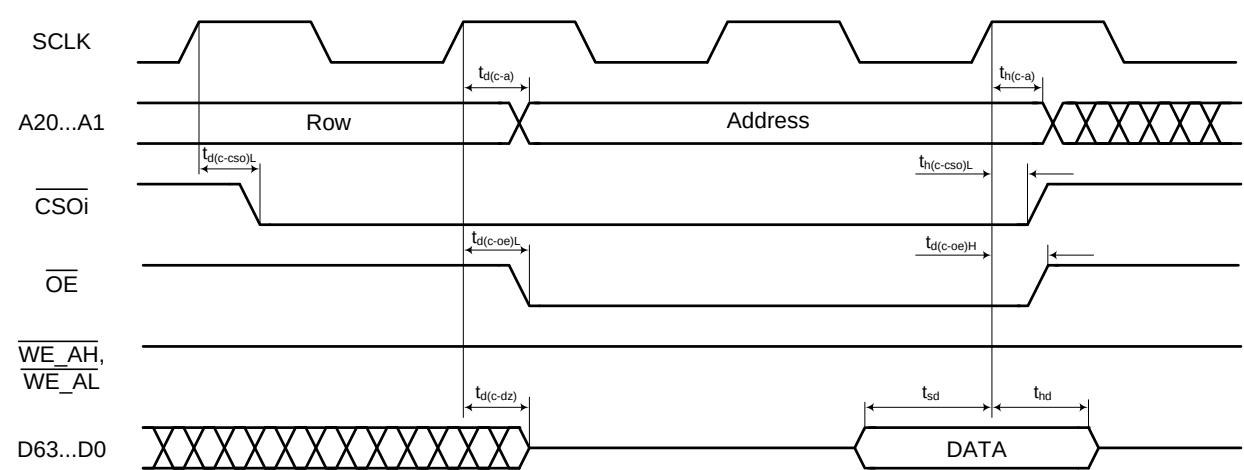


Рисунок 18-6 - Временные диаграммы циклов чтения из внешней памяти типа SRAM

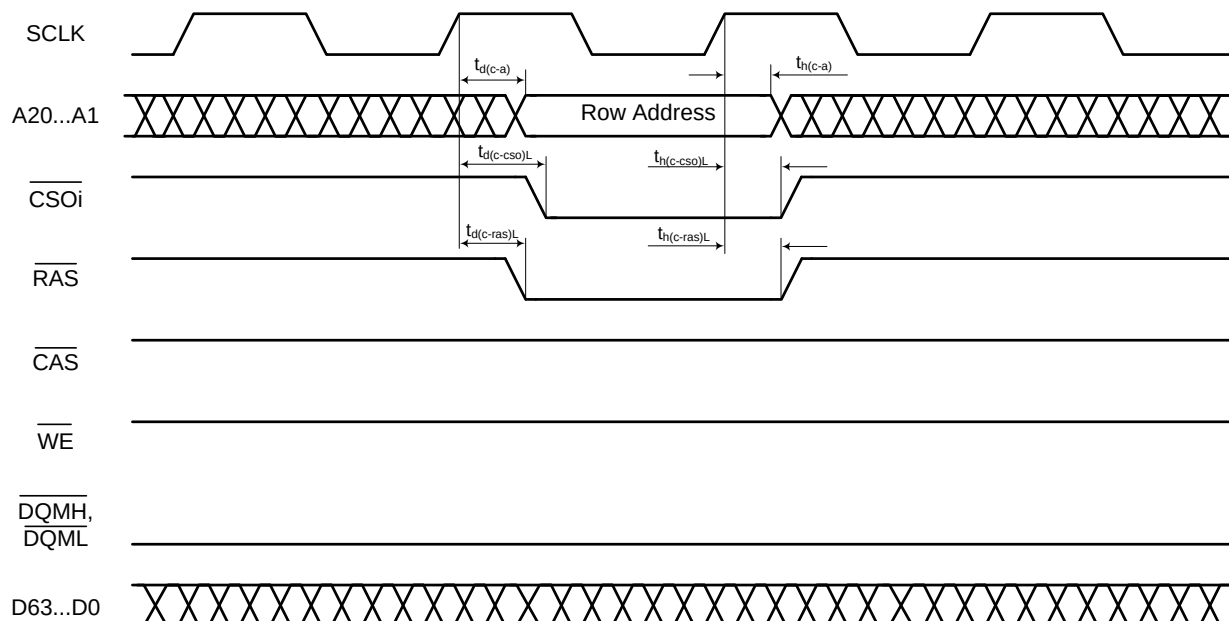


Рисунок 18-7 - Временная диаграмма процедуры открытия новой строки памяти типа SDRAM

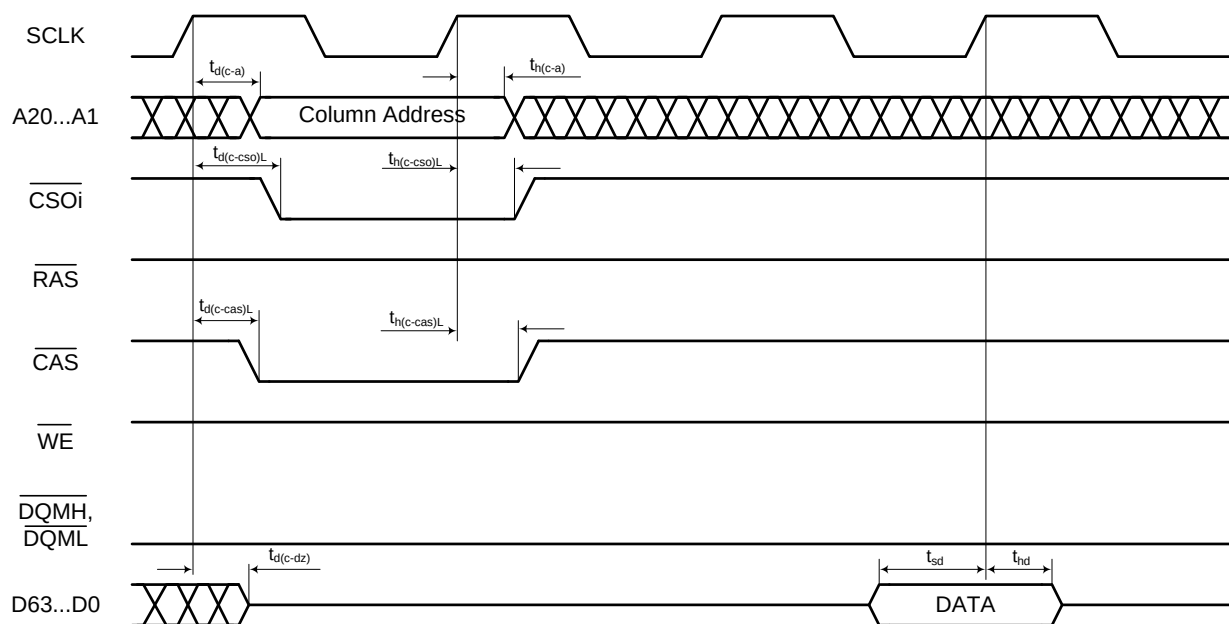


Рисунок 18-8 - Временные диаграммы цикла чтения из внешней памяти типа SDRAM (параметр Cas Latency равен 2 тактам)

					ЮФКВ.431282.006РЭ			Лист
								228
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18061-4		 21.05.12		18061-3				

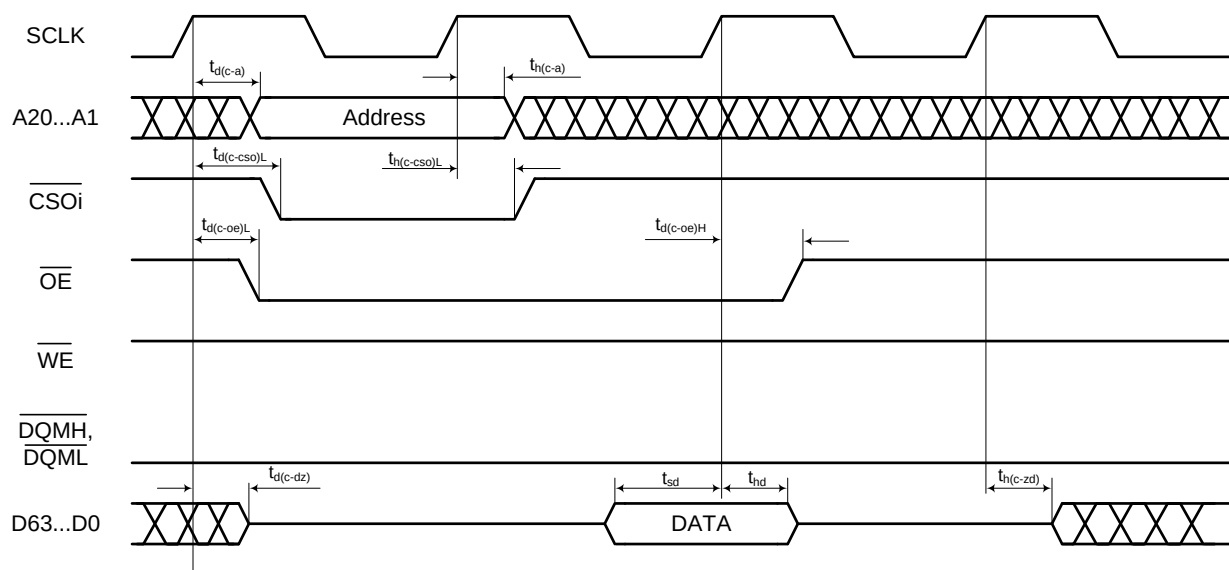


Рисунок 18-9 - Временные диаграммы цикла чтения из внешней памяти типа SSRAM (тип SSRAM – Flow- Through)

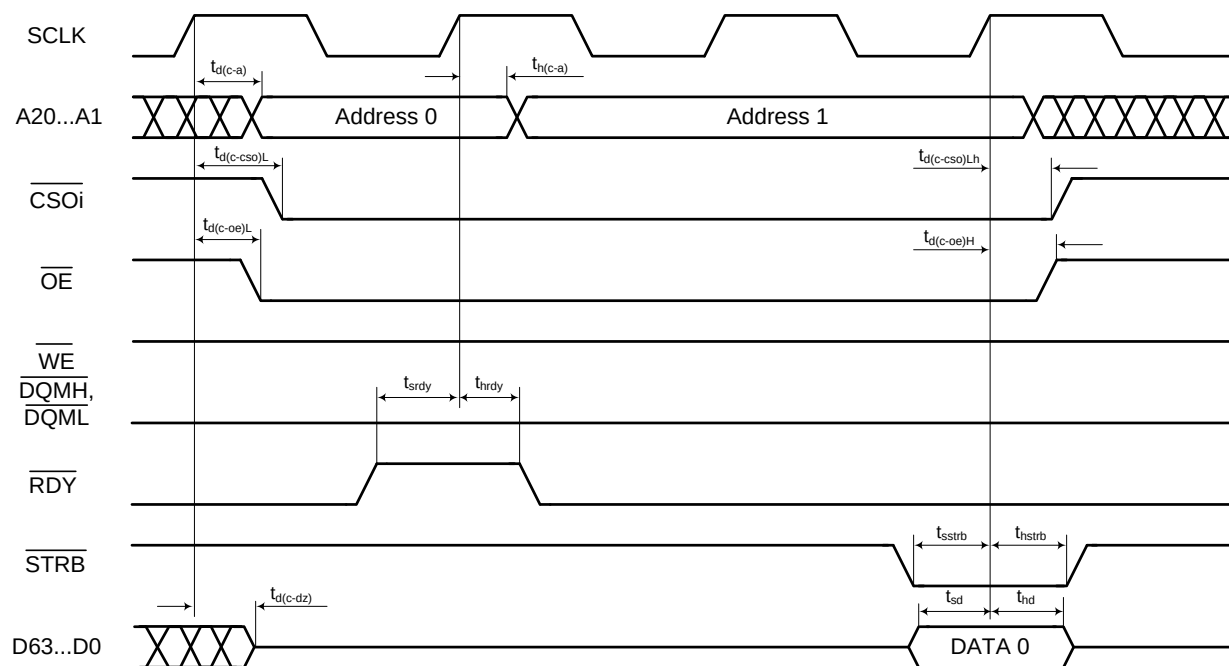


Рисунок 18-10 - Временные диаграммы циклов чтения в режиме “Master” с использованием сигнала RDY (конвейерный тип обмена по шине)

					ЮФКВ.431282.006РЭ				Лист
									229
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4				21.05.12	18061-3				

Таблица 18-10 - Временные параметры сигналов при чтении из внешней памяти

Обозначение	Функциональное описание	Значение, нс	
		Не менее	Не более
$t_{d(C-A)}$	Задержка переключения шины адреса относительно фронта сигнала SCLK		7,5
$t_{h(C-A)}$	Время удержания шины адреса относительно фронта сигнала SCLK	2,2	
$t_{d(C-DZ)}$	Задержка перехода шины данных в высокоимпедансное состояние относительно фронта сигнала SCLK		4,5
t_{sD}	Время предустановки данных относительно фронта сигнала SCLK	0	
t_{hD}	Время удержания данных относительно фронта сигнала SCLK	2,0	
$t_{d(C-CSO_i)L}$	Задержка выдачи сигнала низкого уровня на выходах $\overline{CSO_i}$ относительно фронта сигнала SCLK		6,7
$t_{h(C-CSO_i)L}$	Время удержания сигнала низкого уровня на выходах $\overline{CSO_i}$ и относительно фронта сигнала SCLK	2,2	
$t_{d(C-OE)L}$	Задержка выдачи сигнала низкого уровня на выходе $\overline{OE}$ относительно фронта сигнала SCLK		7,4
$t_{d(C-OE)H}$	Задержка выдачи сигнала высокого уровня на выходе $\overline{OE}$ относительно фронта сигнала SCLK		6,9
$t_{d(C-RAS)L}$	Задержка выдачи сигнала низкого уровня на выходе $\overline{RAS}$ относительно фронта сигнала SCLK		6,8
$t_{h(C-RAS)L}$	Время удержания сигнала низкого уровня на выходе $\overline{RAS}$ относительно фронта сигнала SCLK	2,2	
$t_{d(C-CAS)L}$	Задержка выдачи сигнала низкого уровня на выходе $\overline{CAS}$ относительно фронта сигнала SCLK		6,8
$t_{h(C-CAS)L}$	Время удержания сигнала низкого уровня на выходе $\overline{CAS}$ относительно фронта сигнала SCLK	2,2	
t_{sRDY}	Время предустановки сигнала $\overline{RDY}$ относительно фронта сигнала SCLK	0	
t_{hRDY}	Время удержания сигнала $\overline{RDY}$ относительно фронта сигнала SCLK	2,0	
t_{sSTROB}	Время предустановки сигнала $\overline{STRB}$ относительно фронта сигнала SCLK	0	
t_{hSTROB}	Время удержания сигнала $\overline{STRB}$ относительно фронта сигнала SCLK	2,0	

					ЮФКВ.431282.006РЭ				Лист
									230
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

18.4.2.2 Временные диаграммы и временные параметры циклов записи во внешнюю память

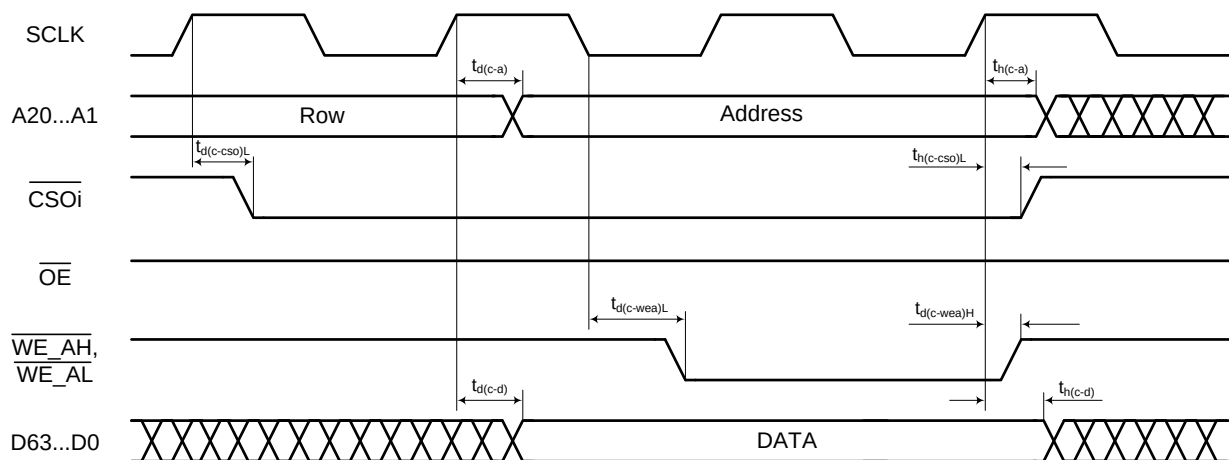


Рисунок 18-11 - Временные диаграммы цикла записи во внешнюю память типа SRAM

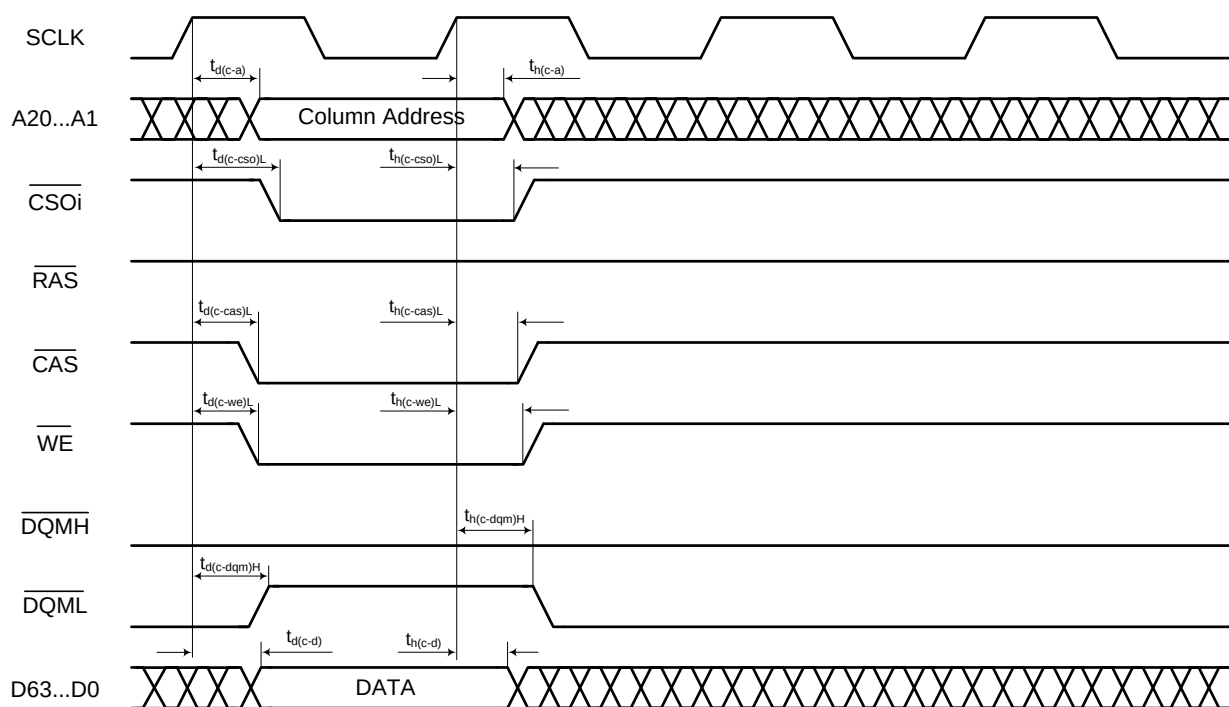


Рисунок 18-12 - Временные диаграммы цикла записи во внешнюю память типа SDRAM (параметр Cas Latency равен 2 тактам)

					ЮФКВ.431282.006РЭ				Лист
									231
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4				21.05.12	18061-3				

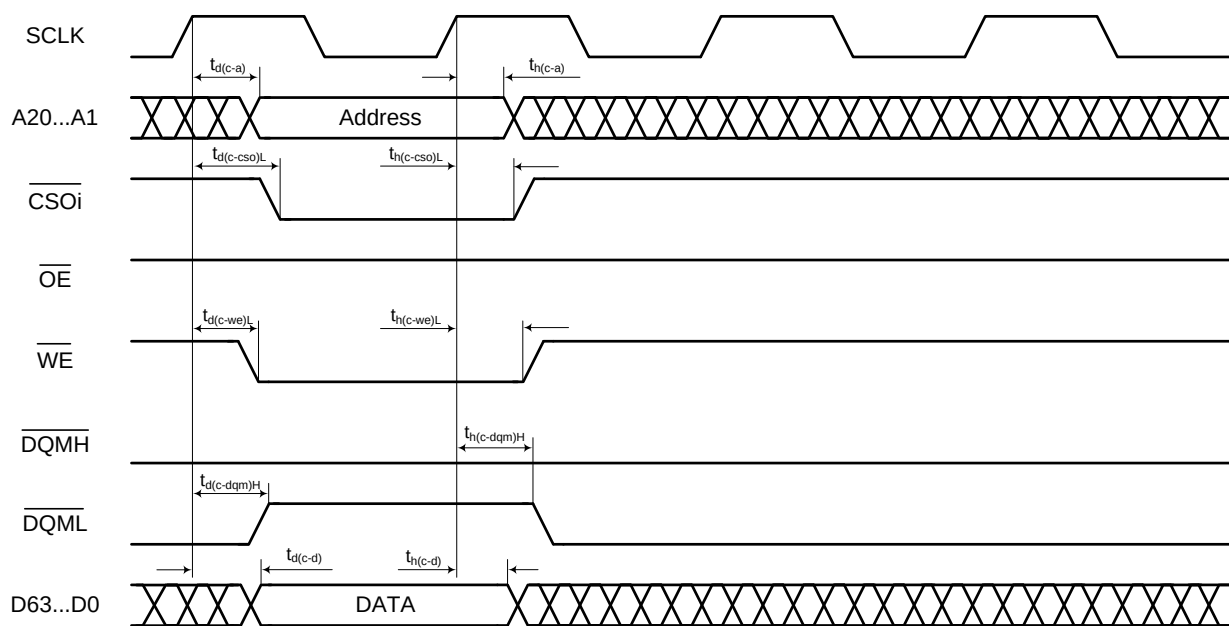


Рисунок 18-13 - Временные диаграммы цикла записи во внешнюю память типа SSRAM (тип SSRAM – Flow- Through)

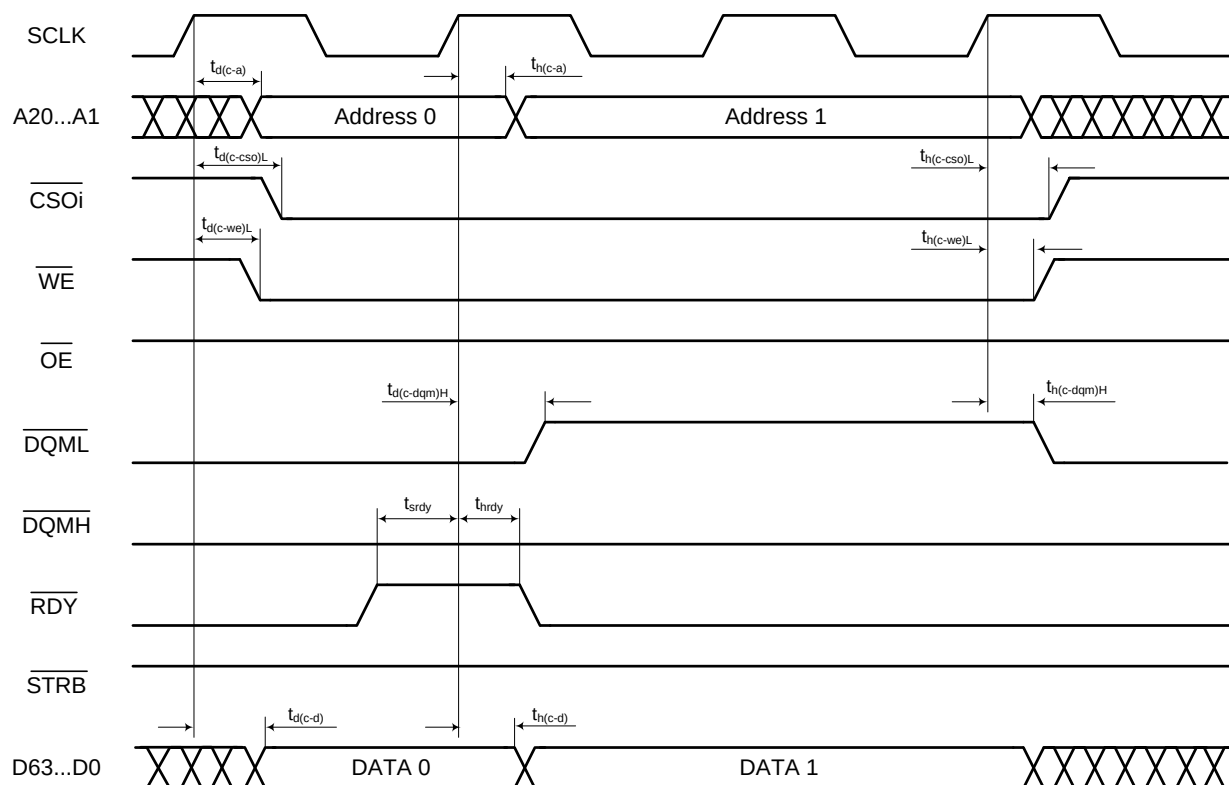


Рисунок 18-14 - Временные диаграммы циклов записи в режиме “Master” с использованием сигнала RDY (конвейерный тип обмена по шине)

					ЮФКВ.431282.006РЭ				Лист
									232
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18061-4		21.05.12		18061-3					

Таблица 18-11 - Временные параметры сигналов при записи данных во внешнюю память

Обозначение	Функциональное описание	Значение, нс	
		Не менее	Не более
$t_{d(C-A)}$	Задержка переключения шины адреса относительно фронта сигнала SCLK		7,5
$t_{h(C-A)}$	Время удержания шины адреса относительно фронта сигнала SCLK	2,2	
$t_{d(C-D)}$	Задержка переключения шины данных относительно фронта сигнала SCLK		7,1
$t_{h(C-D)}$	Время удержания шины данных относительно фронта сигнала SCLK	2,3	
$t_{h(C-ZD)}$	Время удержания шины данных в высокоимпедансном состоянии относительно фронта сигнала SCLK	1,5	
$t_{d(C-CSO)L}$	Задержка выдачи сигнала низкого уровня на выходах CS0i относительно фронта сигнала SCLK		6,7
$t_{h(C-CSO)L}$	Время удержания сигнала низкого уровня на выходах CS0i относительно фронта сигнала SCLK	2,0	
$t_{d(C-WEA)L}$	Задержка выдачи сигнала низкого уровня на выходе WE_Ai относительно среза сигнала SCLK		5,6
$t_{d(C-WEA)H}$	Задержка выдачи сигнала высокого уровня на выходе WE_Ai относительно фронта сигнала SCLK		5,7
$t_{d(C-CAS)L}$	Задержка выдачи сигнала низкого уровня на выходе CAS относительно фронта сигнала SCLK		6,8
$t_{h(C-CAS)L}$	Время удержания сигнала низкого уровня на выходе CAS относительно фронта сигнала SCLK	2,2	
$t_{d(C-WE)L}$	Задержка выдачи сигнала низкого уровня на выходе WE относительно фронта сигнала SCLK		7,7
$t_{h(C-WE)L}$	Время удержания сигнала низкого уровня на выходе WE относительно фронта сигнала SCLK	2,2	
$t_{d(C-DQM)H}$	Задержка выдачи сигнала высокого уровня на выходах DQM _i относительно фронта сигнала SCLK		6,9
$t_{h(C-DQM)H}$	Время удержания сигнала высокого уровня на выходах DQM _i относительно фронта сигнала SCLK	2,2	
t_{sRDY}	Время предустановки сигнала RDY относительно фронта сигнала SCLK	0	
t_{hRDY}	Время удержания сигнала RDY относительно фронта сигнала SCLK	2,0	

					ЮФКВ.431282.006РЭ			Лист
								233
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

18.4.2.3 Временные диаграммы и временные параметры циклов чтения из внутренней памяти процессора K1879BM5Я (режим “Slave”)

Таблица 18-12 - Временные параметры сигналов при чтении данных из внутренней памяти процессора K1879BM5Я (режим “Slave”)

Обозначение	Функциональное описание	Значение, нс	
		Не менее	Не более
t_{sADR}	Время предустановки адреса относительно фронта сигнала SCLK	0	
t_{hADR}	Время удержания адреса относительно фронта сигнала SCLK	2,0	
$t_{d(C-D)}$	Задержка переключения шины данных относительно фронта сигнала SCLK		7,1
$t_{h(C-D)}$	Время удержания шины данных относительно фронта сигнала SCLK	2,3	
$t_{h(C-ZD)}$	Время удержания шины данных в высокоимпедансном состоянии относительно фронта сигнала SCLK	1,5	
t_{sCSI}	Время предустановки сигнала CSI относительно фронта сигнала SCLK	0	
t_{hCSI}	Время удержания сигнала CSI относительно фронта сигнала SCLK	2,0	
$t_{d(C-STRB)L}$	Задержка выдачи сигнала низкого уровня на выходе STRB относительно фронта сигнала SCLK		6,5
$t_{h(C-STRB)L}$	Время удержания сигнала низкого уровня на выходе STRB относительно фронта сигнала SCLK	2,4	
$t_{d(C-RDY)H}$	Задержка выдачи сигнала высокого уровня на выходе RDY относительно фронта сигнала SCLK		6,5
$t_{d(C-RDY)L}$	Задержка выдачи сигнала низкого уровня на выходе RDY относительно фронта сигнала SCLK		6,7

					ЮФКВ.431282.006РЭ			Лист
								234
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

18.4.2.4 Временные диаграммы и временные параметры сигналов при записи данных во внутреннюю память процессора K1879BM5Я (режим “Slave”)

Таблица 18-13 - Временные параметры сигналов при записи данных во внутреннюю память процессора K1879BM5Я (режим “Slave”)

Обозначение	Функциональное описание	Значение, нс	
		Не менее	Не более
t_{sADR}	Время предустановки адреса относительно фронта сигнала SCLK	0	
t_{hADR}	Время удержания адреса относительно фронта сигнала SCLK	2,0	
t_{sD}	Время предустановки данных относительно фронта сигнала SCLK	0	
t_{hD}	Время удержания данных относительно фронта сигнала SCLK	2,0	
t_{sCSI}	Время предустановки сигнала $\overline{CSI}$ относительно фронта сигнала SCLK	0	
t_{hCSI}	Время удержания сигнала $\overline{CSI}$ относительно фронта сигнала SCLK	2,0	
t_{sWE}	Время предустановки сигнала $\overline{WE}$ относительно фронта сигнала SCLK	0	
t_{hWE}	Время удержания сигнала $\overline{WE}$ относительно фронта сигнала SCLK	2,0	
$t_{d(C-RDY)H}$	Задержка выдачи сигнала высокого уровня на выходе $\overline{RDY}$ относительно фронта сигнала SCLK		6,5
$t_{d(C-RDY)L}$	Задержка выдачи сигнала низкого уровня на выходе $\overline{RDY}$ относительно фронта сигнала SCLK		6,7

					ЮФКВ.431282.006РЭ			Лист
								236
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18061-4		 21.05.12		18061-3				

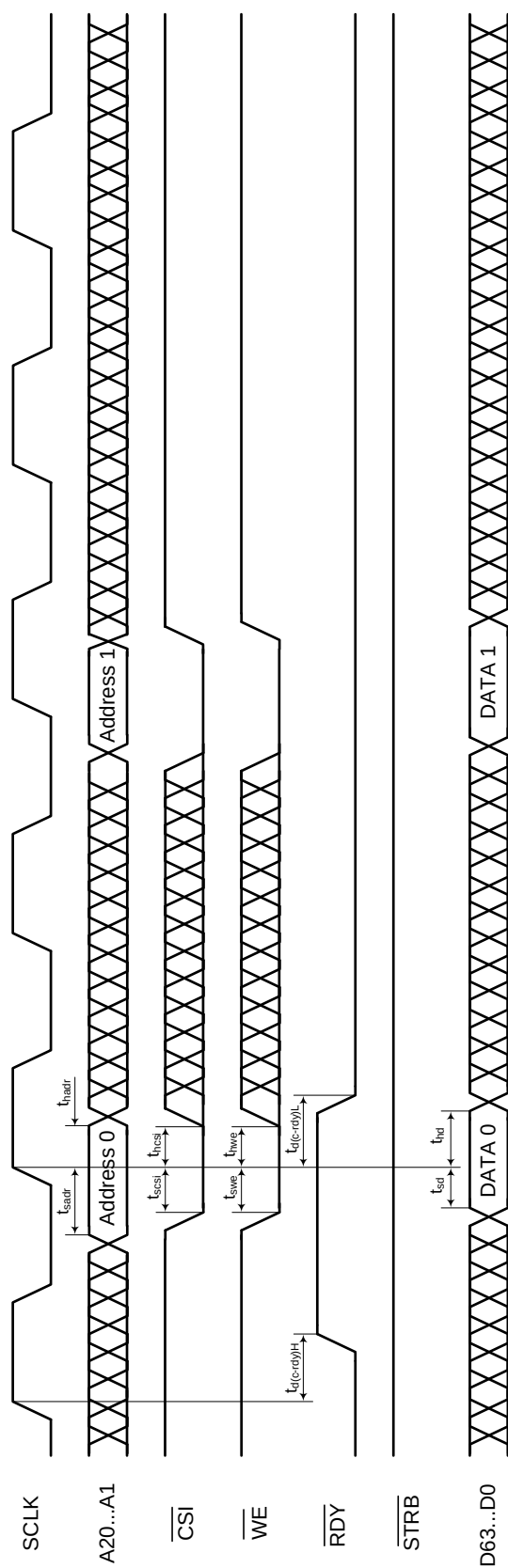


Рисунок 18-16 - Временные диаграммы операций записи во внутреннюю память процессора (режим "Slave")

					ЮФКВ.431282.006РЭ			Лист
								237
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата	
18061-4				21.05.12	18061-3			

18.4.2.5 Временные диаграммы и временные параметры сигналов при передаче управления внешней шиной

Таблица 18-14 - Временные параметры сигналов при передаче управления внешней шиной

Обозначение	Функциональное описание	Значение, нс	
		Не менее	Не более
$t_{d(C-AZ)}$	Задержка перехода шины адреса в высокоимпедансное состояние относительно фронта сигнала SCLK		4,5
$t_{d(C-ZA)}$	Задержка перехода шины адреса в активное состояние относительно фронта сигнала SCLK		7,5
$t_{d(C-DZ)}$	Задержка перехода шины данных в высокоимпедансное состояние относительно фронта сигнала SCLK		4,6
$t_{d(C-ZD)}$	Задержка перехода шины данных в активное состояние относительно фронта сигнала SCLK		8,0
$t_{d(C-CSOZ)}$	Задержка перехода выводов $\overline{CSO_i}$ в высокоимпедансное состояние относительно фронта сигнала SCLK		4,2
$t_{d(C-ZCSO)H}$	Задержка перехода выводов $\overline{CSO_i}$ из высокоимпедансного состояния в режим выдачи напряжения высокого уровня относительно фронта сигнала SCLK		6,9
$t_{d(C-OEZ)}$	Задержка перехода вывода $\overline{OE}$ в высокоимпедансное состояние относительно фронта сигнала SCLK		4,4
$t_{d(C-ZOE)H}$	Задержка перехода вывода $\overline{OE}$ из высокоимпедансного состояния в режим выдачи напряжения высокого уровня относительно фронта сигнала SCLK		7,4
$t_{d(C-WEAZ)}$	Задержка перехода вывода $\overline{WE_Ai}$ в высокоимпедансное состояние относительно фронта сигнала SCLK		4,3
$t_{d(C-ZWEA)H}$	Задержка перехода вывода $\overline{WE_Ai}$ из высокоимпедансного состояния в режим выдачи напряжения высокого уровня относительно фронта сигнала SCLK		6,9

					ЮФКВ.431282.006РЭ				Лист
									238
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Продолжение таблицы 18- 13

Обозначение	Функциональное описание	Значение, нс	
		Не менее	Не более
$t_{d(C-RASZ)}$	Задержка перехода вывода $\overline{RAS}$ в высокоимпедансное состояние относительно фронта сигнала SCLK		4,5
$t_{d(C-ZRAS)H}$	Задержка перехода вывода $\overline{RAS}$ из высокоимпедансного состояния в режим выдачи напряжения высокого уровня относительно фронта сигнала SCLK		6,8
$t_{d(C-DQMZ)}$	Задержка перехода выводов $\overline{DQM_i}$ в высокоимпедансное состояние относительно фронта сигнала SCLK		4,4
$t_{d(C-ZDQM)L}$	Задержка перехода выводов $\overline{DQM_i}$ из высокоимпедансного состояния в режим выдачи напряжения низкого уровня относительно фронта сигнала SCLK		7,4
$t_{d(C-STRBZ)}$	Задержка перехода вывода $\overline{STRB}$ в высокоимпедансное состояние относительно фронта сигнала SCLK		4,3
$t_{d(C-ZSTRB)H}$	Задержка перехода вывода $\overline{STRB}$ из высокоимпедансного состояния в режим выдачи напряжения высокого уровня относительно фронта сигнала SCLK		6,7
$t_{d(C-RDYZ)}$	Задержка перехода вывода $\overline{RDY}$ в высокоимпедансное состояние относительно фронта сигнала SCLK		4,3
$t_{d(C-ZRDY)H}$	Задержка перехода вывода $\overline{RDY}$ из высокоимпедансного состояния на выдачу относительно фронта сигнала SCLK		6,6
$t_{d(C-HOLDA)L}$	Задержка выдачи сигнала низкого уровня на выходе $\overline{HOLDA}$ относительно фронта сигнала SCLK		8,4
$t_{d(C-HOLDA)H}$	Задержка выдачи сигнала высокого уровня на выходе $\overline{HOLDA}$ относительно фронта сигнала SCLK		8,6

					ЮФКВ.431282.006РЭ				Лист
									239
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

Продолжение таблицы 18- 13

Обозначение	Функциональное описание	Значение, нс	
		Не менее	Не более
$t_{d(C- \text{HOLDA})Z}$	Задержка перехода вывода <u>HOLDA</u> в высокоимпедансное состояние относительно фронта сигнала SCLK		4,3
$t_{d(C- \text{ZHOLDA})H}$	Задержка перехода вывода <u>HOLDA</u> из высокоимпедансного состояния в режим выдачи напряжения высокого уровня относительно фронта сигнала SCLK		8,4
$t_{d(C- \text{HOLDO})L}$	Задержка выдачи сигнала низкого уровня на выходе <u>HOLDO</u> относительно фронта сигнала SCLK		8,6
$t_{d(C- \text{HOLDO})H}$	Задержка выдачи сигнала высокого уровня на выходе <u>HOLDO</u> относительно фронта сигнала SCLK		8,3

					ЮФКВ.431282.006РЭ				Лист
									240
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18061-4		 21.05.12		18061-3					

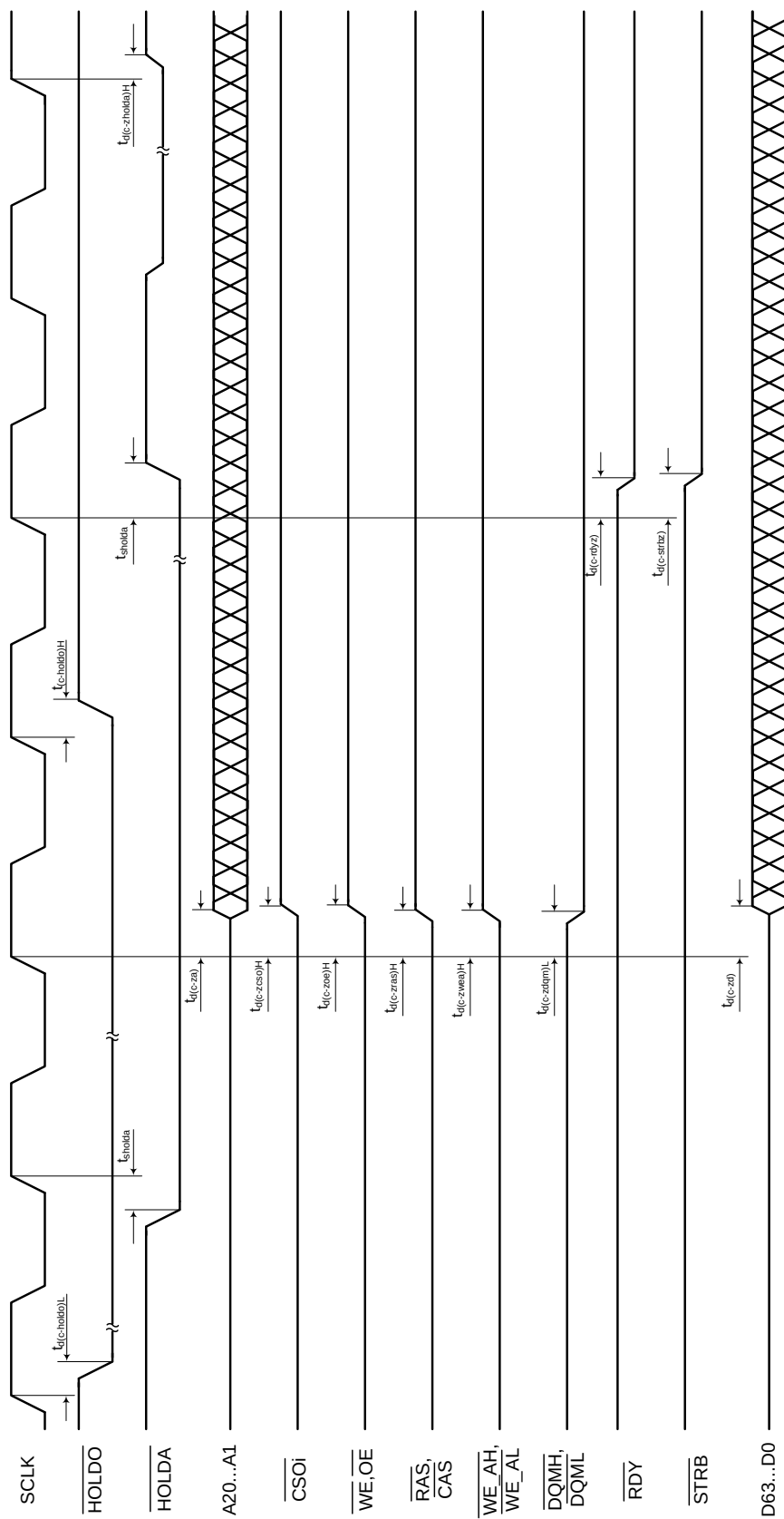


Рисунок 18-18 - Временные диаграммы передачи управления шиной от внешнего устройства к процессору

					ЮФКВ.431282.006РЭ				Лист
									242
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инов.№дубл.	Подп. и дата		
Инв.№подл.		Подп. и дата			Взам.инв.№		Инов.№дубл.		Подп. и дата
18061-4		 21.05.12			18061-3				

18.4.3 Временные диаграммы и временные параметры сигналов при обмене данными по коммуникационному порту

Временные диаграммы и временные параметры работы коммуникационных портов процессора идентичны, поэтому ниже представлены обобщенные диаграммы работы коммуникационного порта.

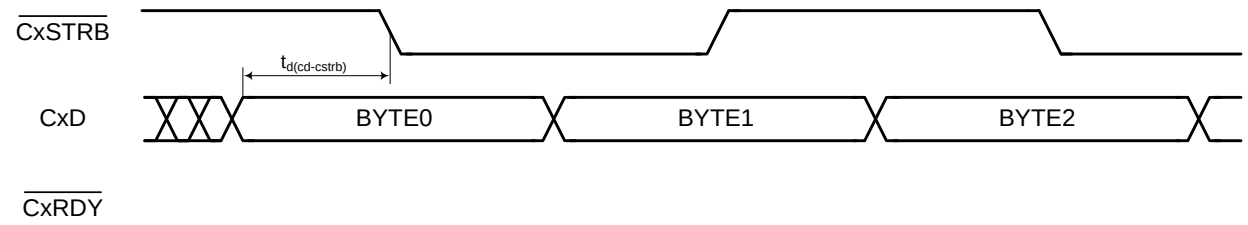


Рисунок 18-19 - Временные диаграммы передачи данных по коммуникационному порту

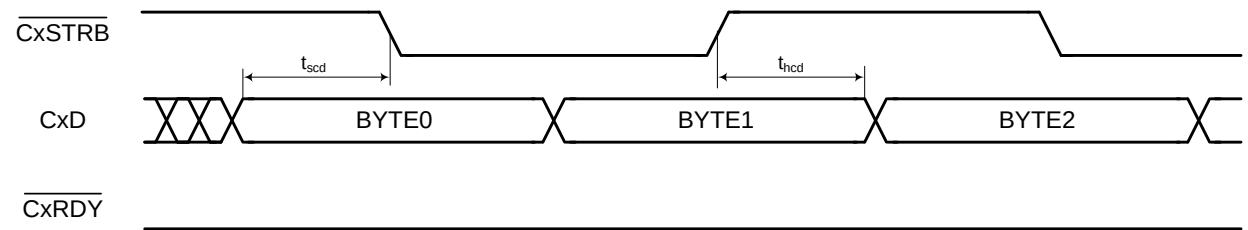


Рисунок 18-20 - Временные диаграммы приема данных по коммуникационному порту

Таблица 18-15 - Временные параметры сигналов при обмене данными по коммуникационному порту

Обозначение	Функциональное описание	Значение, нс	
		Не менее	Не более
$t_{d(CD- CSTRB)}$	Задержка выдачи сигнала $\overline{CxSTRB}$ относительно выдачи данных	$P - 0.6$	$P + 0.5$
t_{sCD}	Предустановок принимаемых данных относительно фронта сигнала $\overline{CxSTRB}$	0.5	
t_{hCD}	Удержание принимаемых данных относительно фронта сигнала $\overline{CxSTRB}$	0.4	

- Примечания:
1. При обозначении выводов символ “х” для коммуникационного порта COM0 принимает значение 0, а для коммуникационного порта COM1 принимает значение 1.
 2. Параметр P равен периоду внутреннего тактового сигнала процессора (PCLK). Период внутреннего тактового сигнала процессора равен:
 - $T_{PCP} / 16$ - PLL mode
 - $2 * T_{PCP}$ - PLL by-pass mode, где T_{PCP} – период опорного тактового сигнала на входе CLK процессора

Лист регистрации изменений

[illegible]

					ЮФКВ.431282.006РЭ	Лист
						244
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
18061-4		 21.05.12		18061-3		